



Studienarbeit/ Diplomarbeit

Entwicklung eines Arbeitsablaufes zur systematischen FEM Analyse von Kommutierungsinduktivitäten auf Leiterplatten

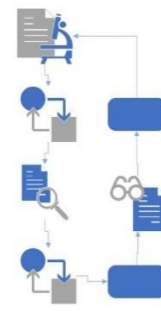
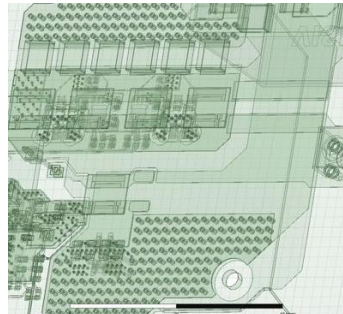
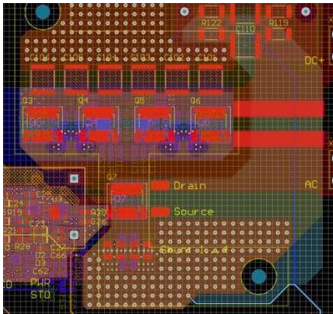


Abb.: Beispiel-Layout in der Software zur Leiterplattenentwicklung (links), 3D FEM Analyse des Layouts (mitte), Beispiel Workflow-Chart (rechts)

Um die Eigenschaften von diskreten, schnellschaltenden Leistungshalbleitern auf der Basis von Galliumnitrid (GaN) optimal ausnutzen zu können und Schaltüberspannungen zu minimieren muss die Kommutierungszelle sehr niederinduktiv ausgelegt sein. Um ein möglichst optimales Design bei der Entwicklung zu erzielen ist ein standardisierter Arbeitsablauf zur systematischen FEM Analyse eines Leiterplattenlayouts, sowie zur Parametrisierung und Sensitivitätsanalyse der Geometrie wünschenswert. Ziel der Arbeit ist eine automatisierte, parametrierbare Berechnung parasitärer Eigenschaften eines gegebenen Leiterplattenlayouts mithilfe von Altium Designer und ANSYS Q3D Extractor.

Daraus ergeben sich folgende Teilaufgaben:

- Einarbeitung in die Thematik
- Auswahl und Programmierung geeigneter Schnittstellen für die Datenverarbeitung zwischen der Software zur Leiterplattenentwicklung und dem FEM Analyseprogramm
- Entwicklung des Arbeitsablaufes zur systematischen Sensitivitätsanalyse der Leiterplattengeometrie und Erstellung eines Handbuchs
- Dokumentation der Ergebnisse

Voraussetzung:

- Erfahrung im Umgang mit Altium Designer und Ansys Q3D Extractor
- Gute Programmierkenntnisse in Matlab oder Python, evtl. C/C++

Ansprechpartner: Jan Schmitz, M.Sc. (jan.schmitz@tu-dresden.de)
Tel.: 0351/463-35273, GÖR 109

01.11.2021

