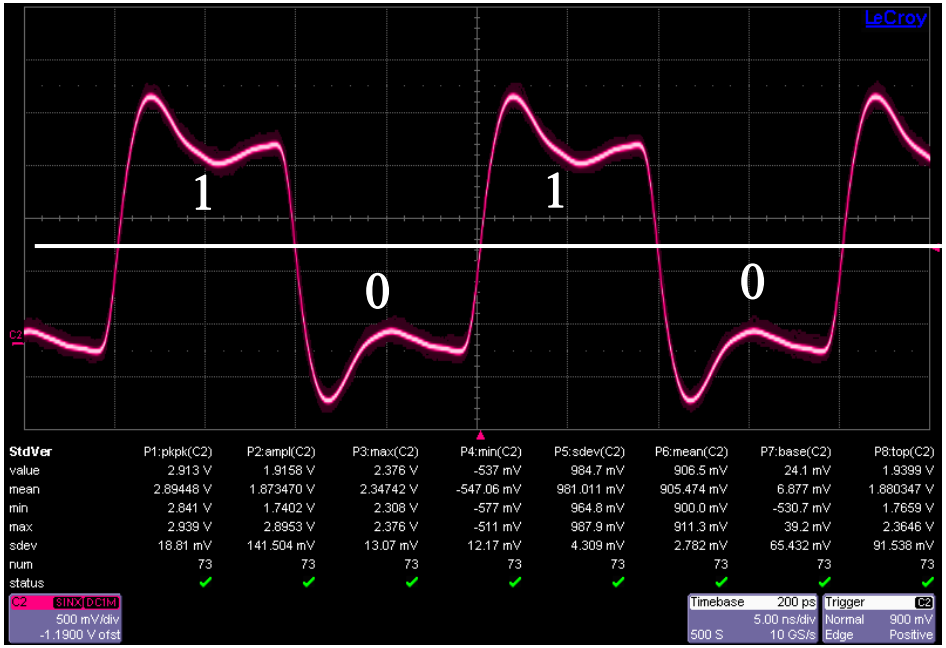
Schaltkreis- und Systementwurf

Teil 2: Digitale Systeme

FAKULTÄT **ELEKTROTECHNIK** UND **INFORMATIONSTECHNIK**

Logikschaltungen

- Zweiwertige Darstellung:
  - 0, LOW, L, FALSE
  - 1, HIGH, H, TRUE
- Elektrische Repräsentation als Spannungssignal:
  - $V_{sig} > V_{th} \rightarrow 1$
  - $V_{sig} < V_{th} \rightarrow 0$



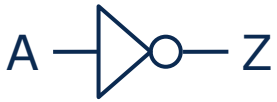
- Verknüpfung von Eingangsgrößen zu Ausgangsgrößen

$$\boldsymbol{(Z_1, Z_{2,} \cdots) = F(A_1, A_{2,} \cdots)}$$

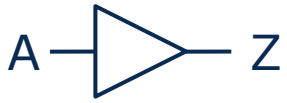
- Darstellungsformen:
  - Logikgleichung
  - Wahrheitswerttabelle
  - Gatter-Netzliste

- Realisierung von logischen Verknüpfungen durch Logikzellen (Gatter, Gates)
- Beispiele:

INV: $Z = \bar{A}$

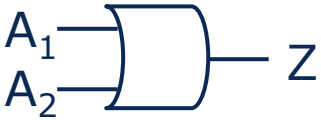


BUF: $Z = A$

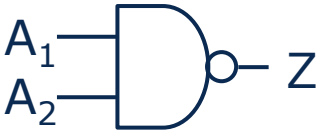


AND2: $Z = A_1 \cdot A_2$

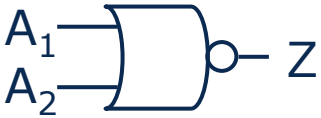
OR2: $Z = A_1 + A_2$



NAND2: $Z = \overline{A_1 \cdot A_2}$

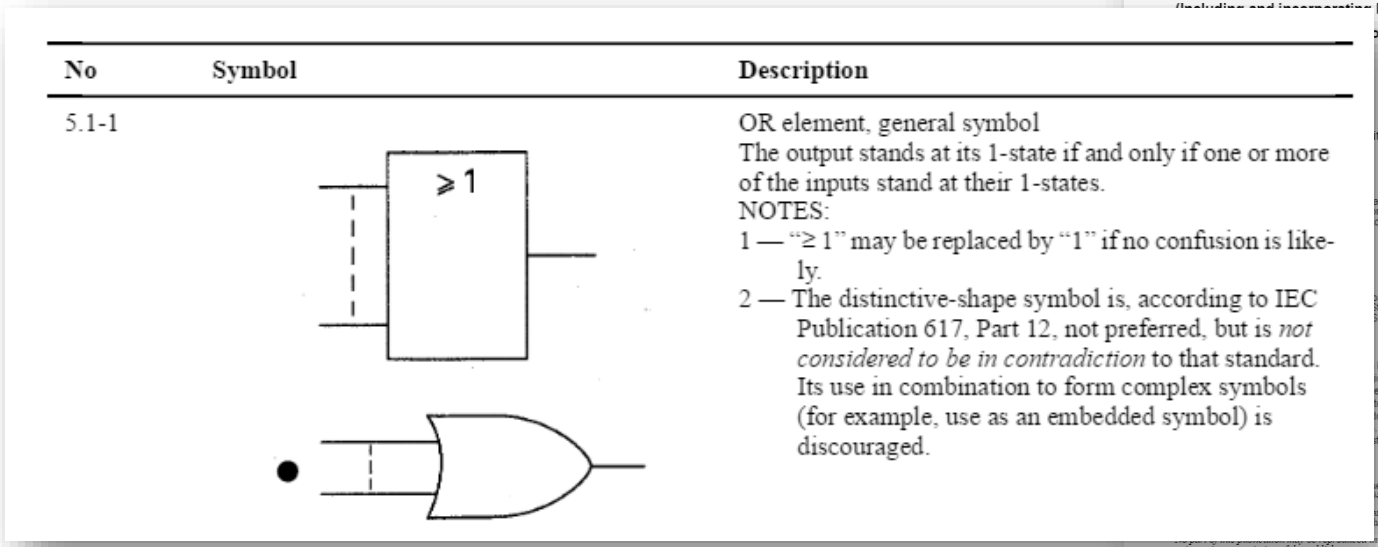


NOR2: $Z = \overline{A_1 + A_2}$

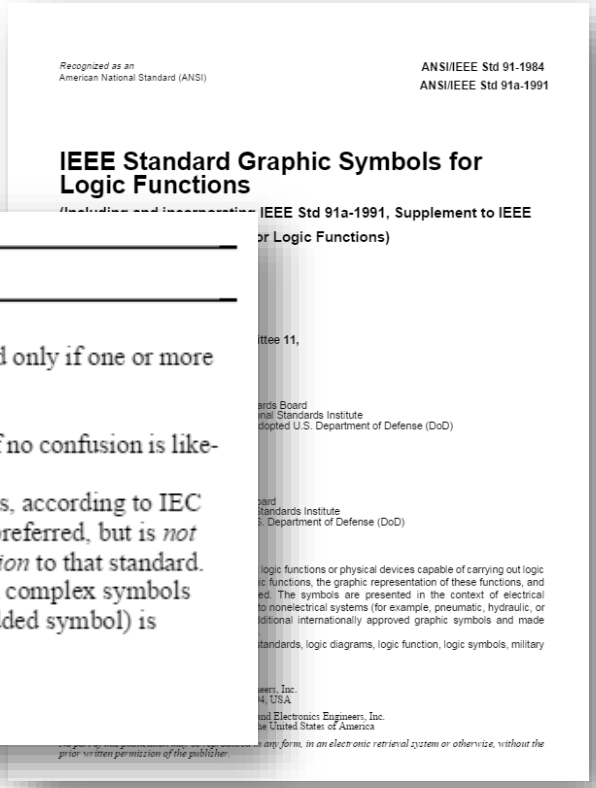


- Logikzellenbibliotheken beinhalten zusätzlich komplexe Gatter mit >2 Eingängen
  - Adder, Multiplexer, AOI, OAI

- Standardisierte Darstellung von Logiksymbolen
  - IEC 60617-12 : 1997
  - ANSI/IEEE Std 91/91a-1991



No	Symbol	Description
5.1-1	≥1	OR element, general symbol The output stands at its 1-state if and only if one or more of the inputs stand at their 1-states. NOTES: 1 — "≥ 1" may be replaced by "1" if no confusion is likely. 2 — The distinctive-shape symbol is, according to IEC Publication 617, Part 12, not preferred, but is *not considered to be in contradiction* to that standard. Its use in combination to form complex symbols (for example, use as an embedded symbol) is discouraged.



Recognized as an
American National Standard (ANSI)

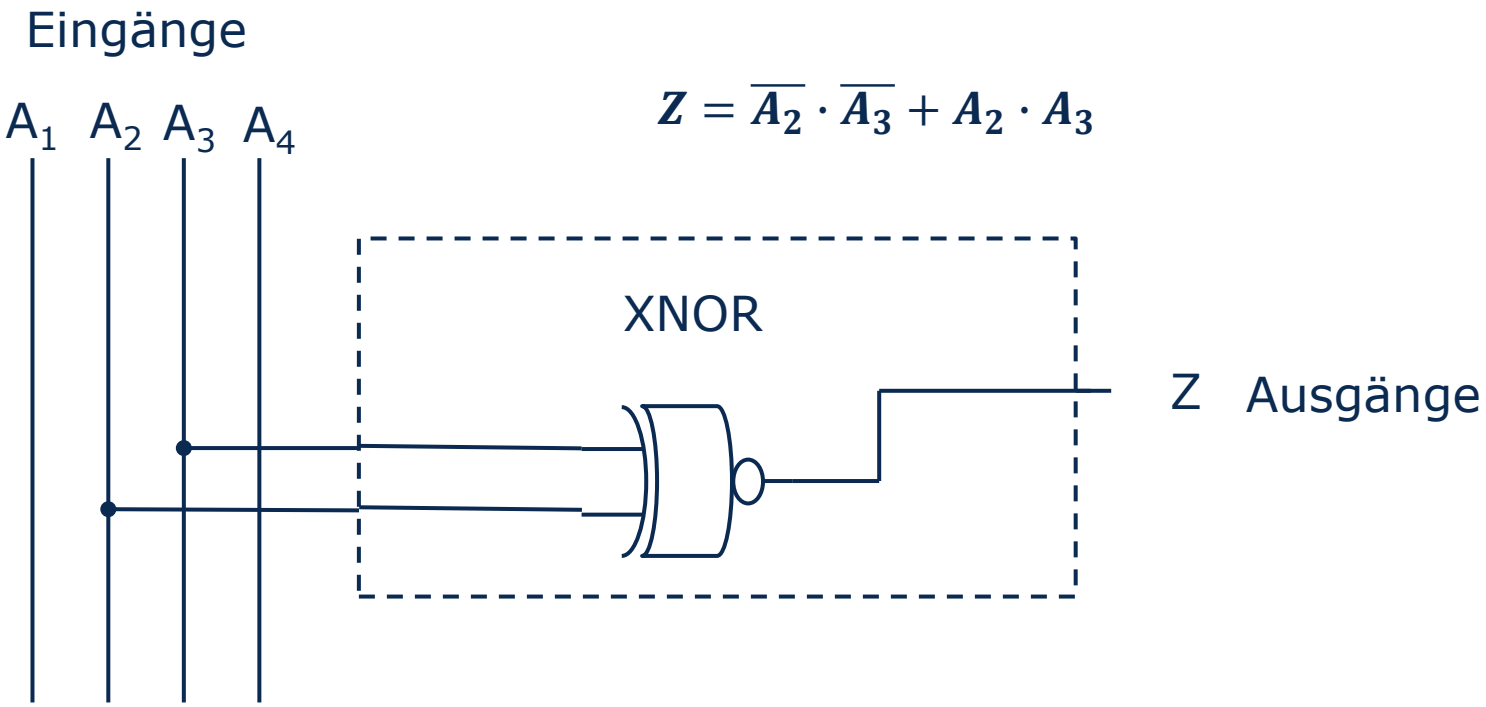
ANSI/IEEE Std 91-1984
ANSI/IEEE Std 91a-1991

IEEE Standard Graphic Symbols for Logic Functions

IEEE Std 91a-1991, Supplement to IEEE
or Logic Functions)

- Weit verbreitete Verwendung der „distinctive-shape symbols" in Handbüchern, Standardzellenbibliotheken, wiss. Publikationen
- *„ … im englischen Sprachraum waren und sind die amerikanischen Symbole (mittlere Spalte) üblich. Die IEC-Symbole sind international auf beschränkte Akzeptanz gestoßen und werden in der amerikanischen Literatur (fast) durchgängig ignoriert. "*
  https://de.wikipedia.org/wiki/Logikgatter (23.10.2015)

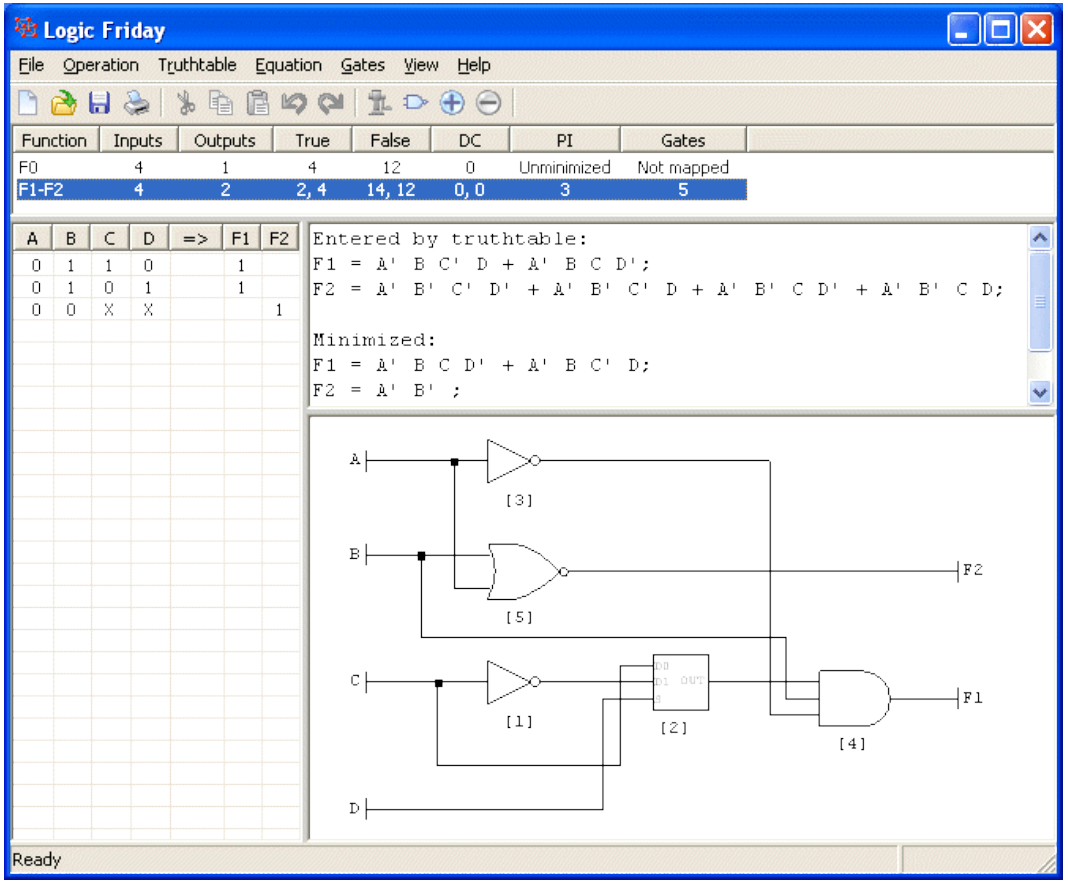
- Darstellung der Logikfunktion durch Gatterschaltung



- Darstellung der Logikfunktion abhängig von verfügbarer Gatterbibliothek
- → Schaltungssynthese, Mapping

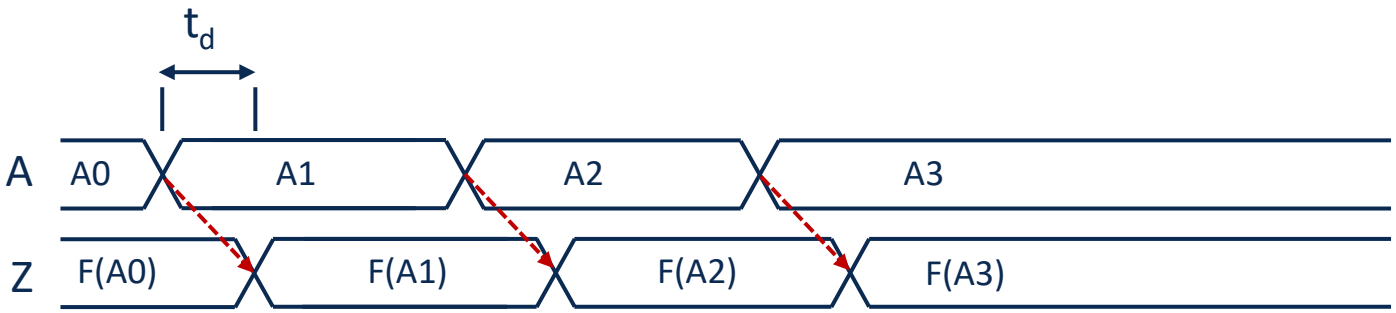
Software: Logic Friday

- Freeware Logic Friday → **www.sontrak.com**
- Darstellung, Vereinfachung und Optimierung von Logikfunktionen (Gleichung, Tabelle, Gatternetzliste)



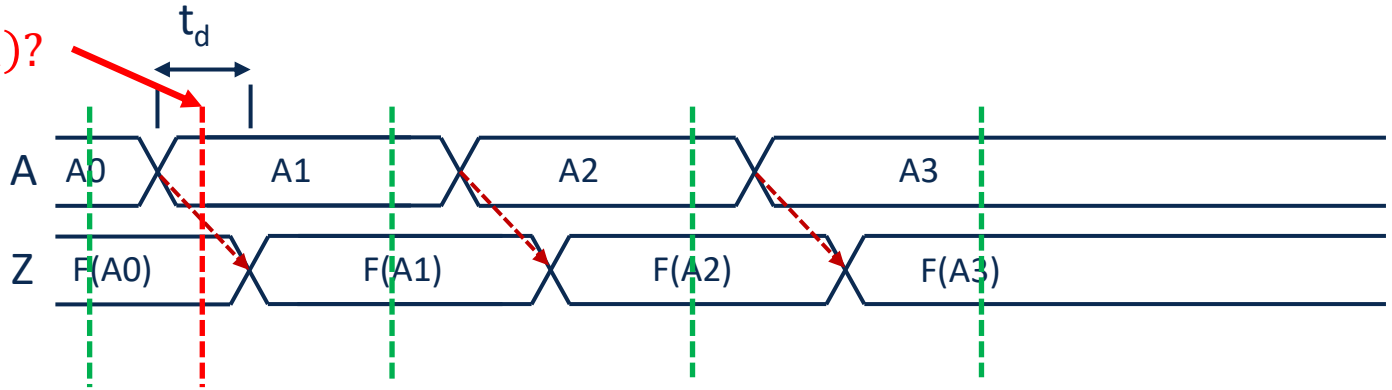
Quelle: www.sontrak.com

- Der Ausgangswert ändert sich **bei Änderung** der Eingangswerte nach einer Verzögerungszeit t_d (Delay)
- Die ideale Delay-Zeit ist $t_d=0$
- Signalpfade in Schaltungen mit mehreren Ein-und Ausgängen können individuell unterschiedliche Delays haben.

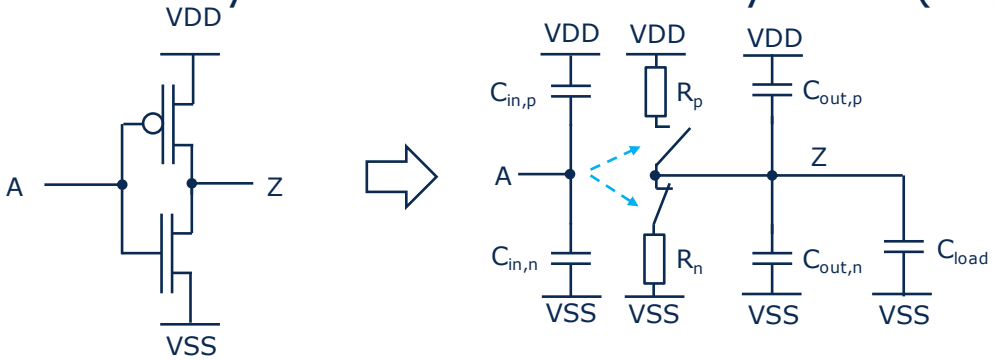


- Kombinatorische Schaltungen beinhalten **keine getakteten Speicher**
- $Z = F(A)$

- $Z = F(A)?$



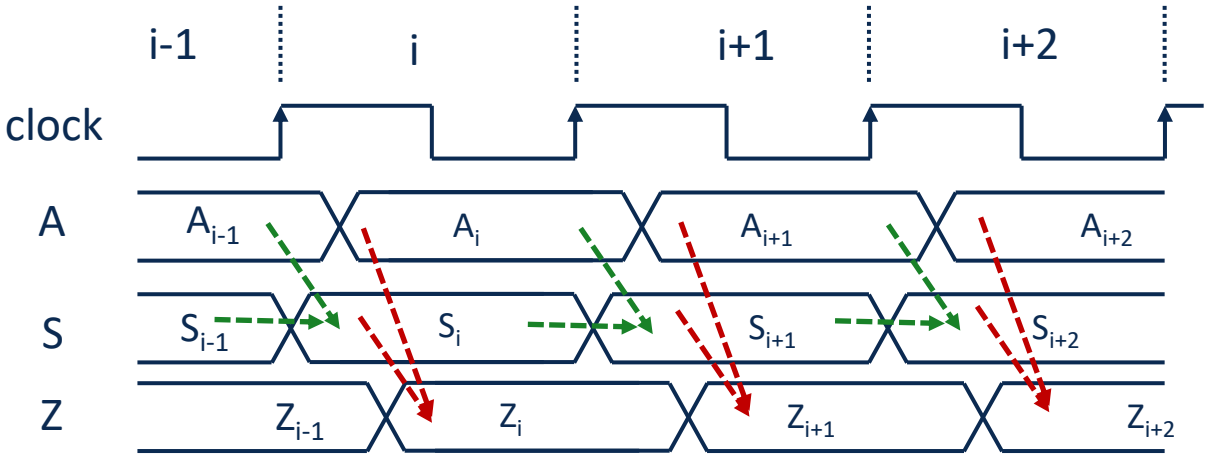
- Kombinatorische Schaltungen beinhalten **keine getakteten Speicher**
- **ABER:** Sie beinhalten dynamische elektrische Systeme (RC) mit Speicher



- → Betrachtung der Signale zu **definierten Zeitpunkten** bei denen $Z = F(A)$ gilt
- → Anwendung der Theorie der kombinatorischen Logik **ohne Speicher**.

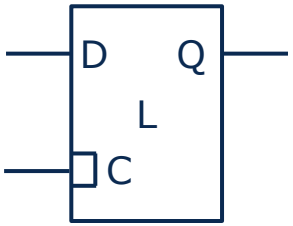
- Sequentielle Logikschaltungen **beinhalten getaktete Speicher**
- Speicher Zustand S
- Betrachtung des Systems zu Zeitpunkten (i,i+1,i+2,…), z.B. realisiert durch ein Taktsignal (clock)

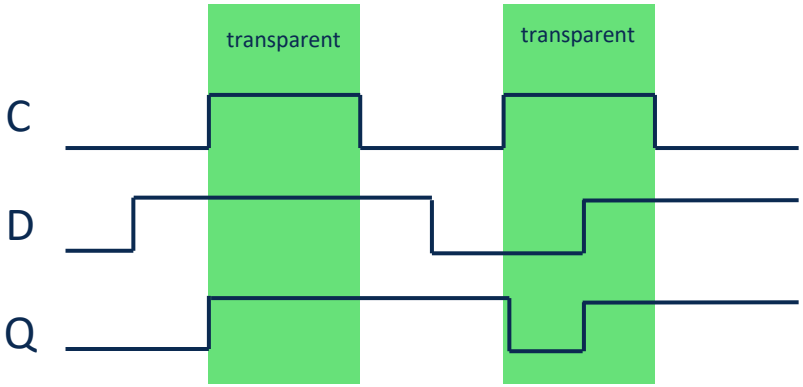
$$S_{i+1} = G(A_i, S_i)$$
$$Z_i = F(A_i, S_i)$$



Zustandsgesteuerter Speicher: D-Latch

- Zustandsgesteuertes Speicherelement
- Eingänge:
  - D: Dateneingang
  - C: Clock (alternativ auch E: Enable)
    - C=1 schaltet das Latch transparent (Speicher wird geschrieben)
- Ausgang:
  - Q: Datenausgang

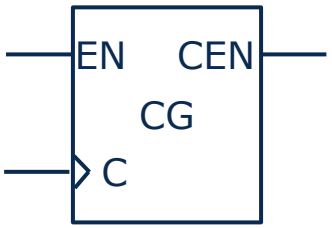




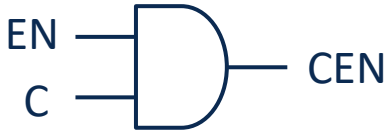
D	C	Q
0	1	0
1	1	1
X	0	Q_{i-1}

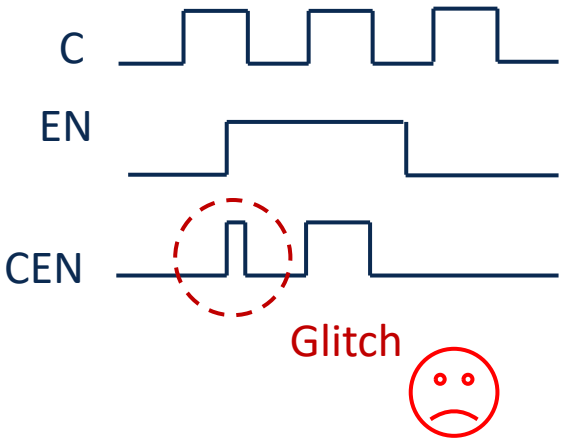
Beispiel: Clock Gate

- Unterbrechen des Taktsignals durch ein Steuersignal EN (enable)
- EN=0 → CEN=0
- Reduktion der Verlustleistung temporär ungenutzter Schaltungsteile

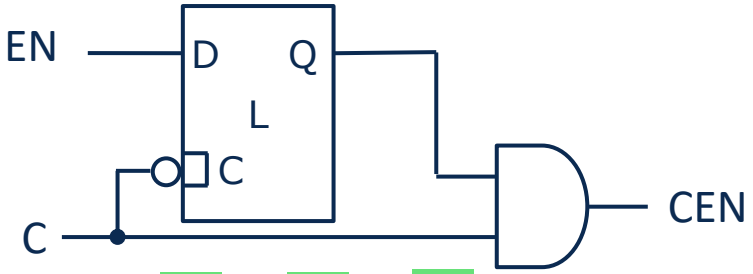


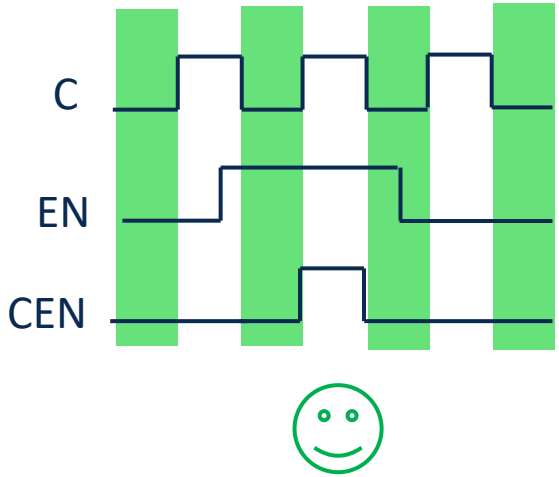
Lösung A



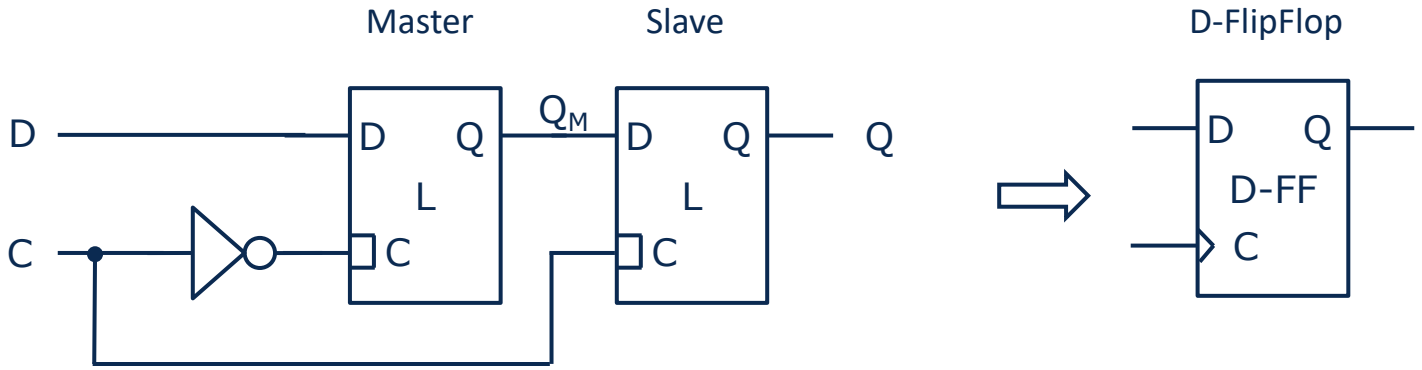


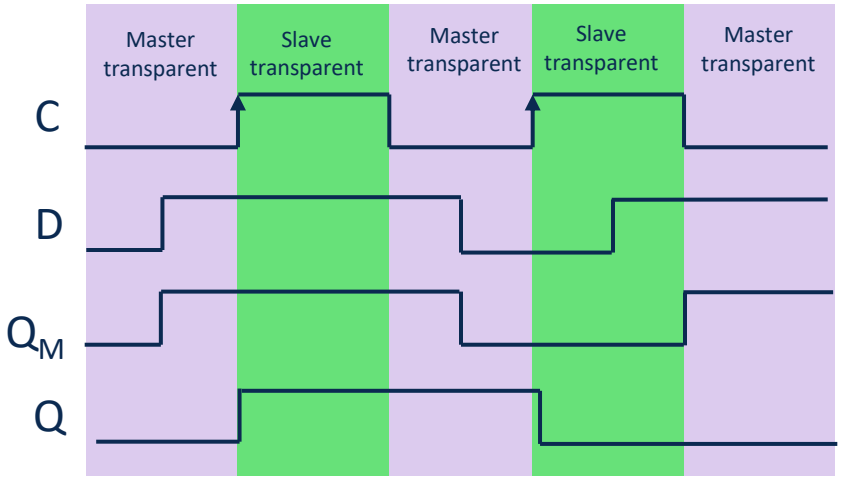
Lösung B





Flankengesteuerter Speicher: Master-Slave FlipFlop

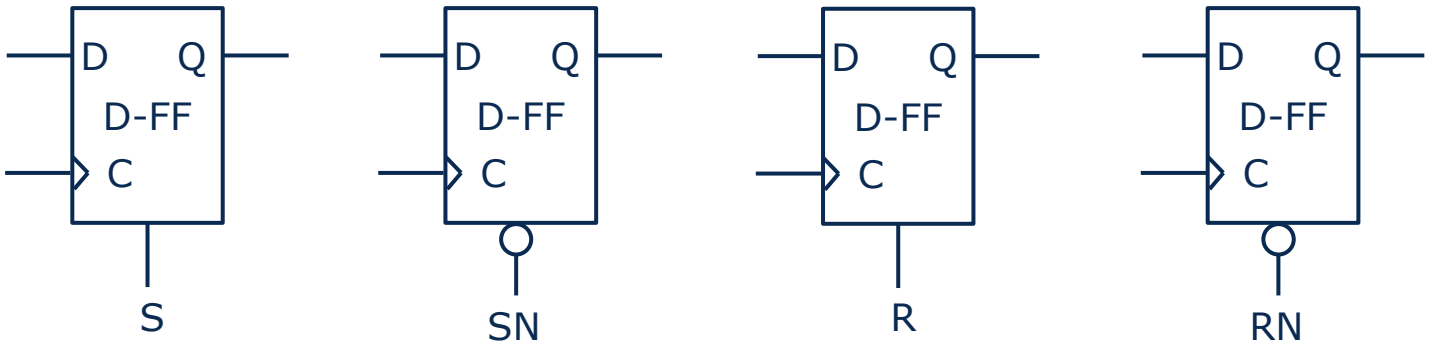




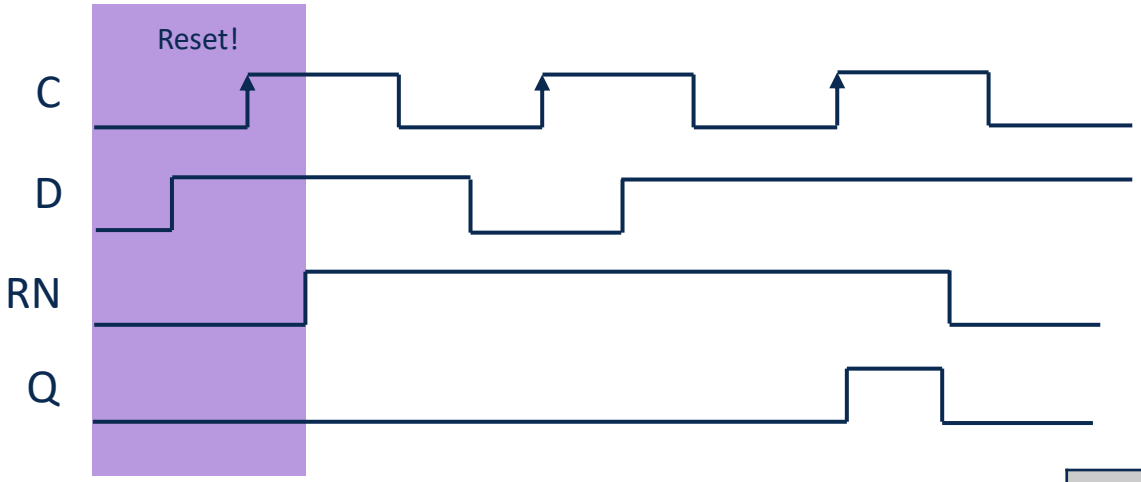
D	C	Q
0	↑	0
1	↑	1
X	↓	Q_{i-1}

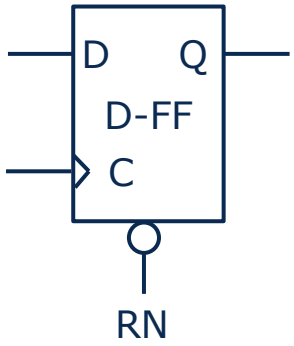
Asynchrones Set und Reset

- Zusätzlicher asynchroner Eingang zum definieren eines Anfangszustandes **unabhängig vom Clock C**
- Möglich bei Latches und FlipFlops
- Aktiv nur auf einen Logikpegel (High-aktiv (1), Low-aktiv (0))
  - High-aktives Set S: aktiv bei S=1 → $Q_0 = 1$
  - Low-aktives Set SN: aktiv bei SN=0 → $Q_0 = 1$
  - High-aktives Reset R: aktiv bei R=1 → $Q_0 = 0$
  - Low-aktives Reset RN: aktiv bei RN=0 → $Q_0 = 0$



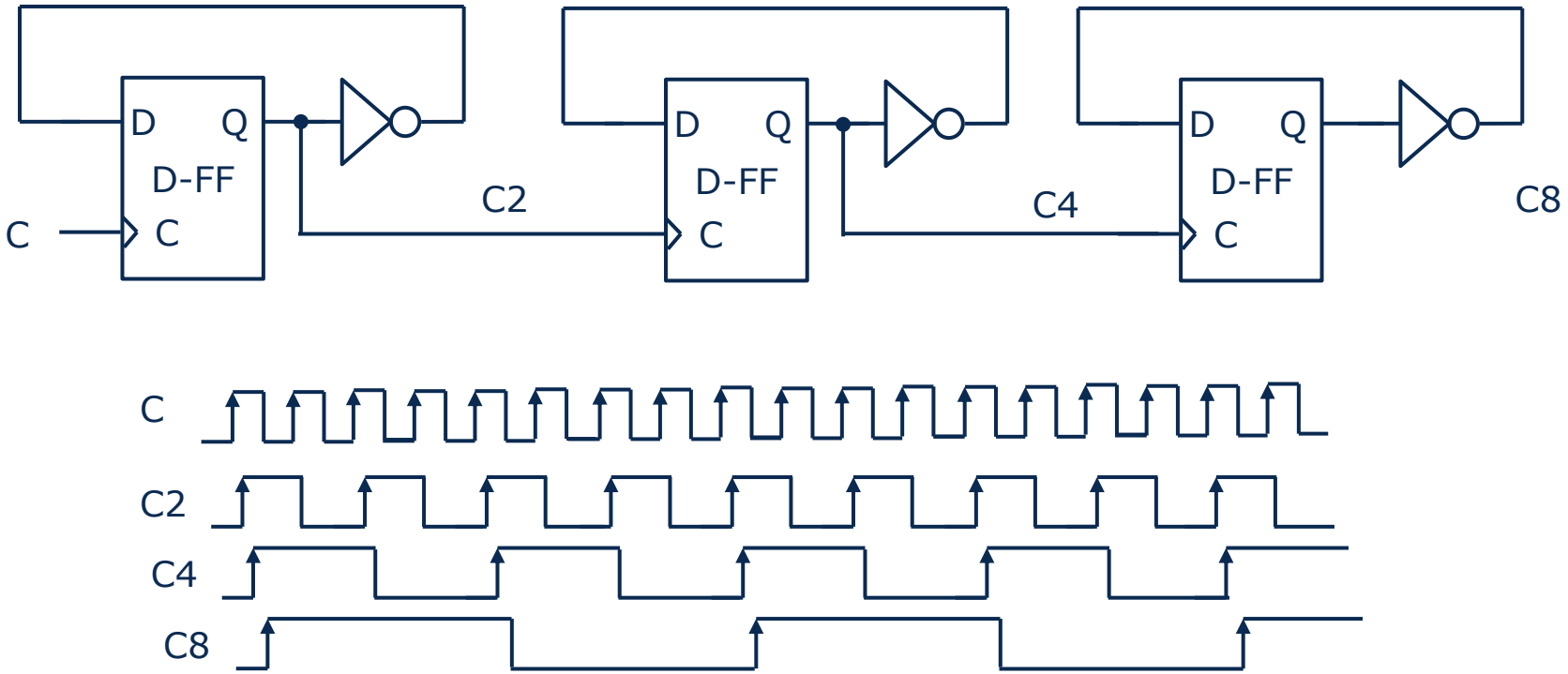
Beispiel: D-FlipFlop mit asynchronem low-aktivem Reset



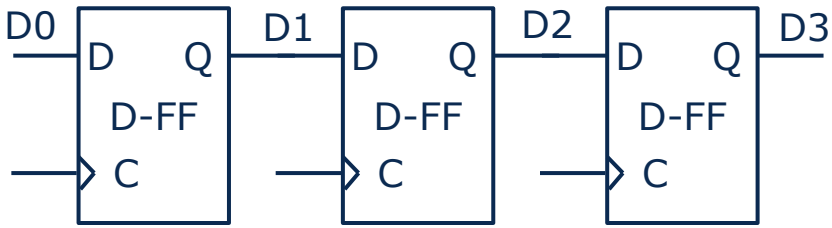


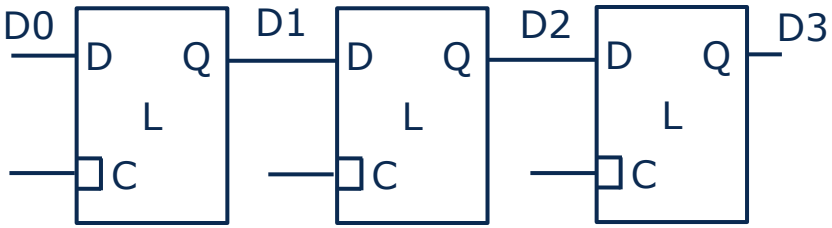
RN	D	C	Q
1	0	↑	0
1	1	↑	1
1	X	↓	Q_{i-1}
0	X	X	0

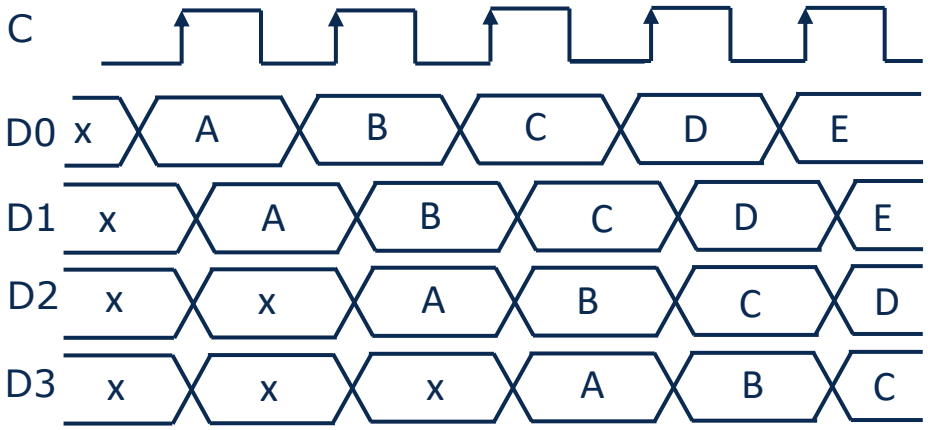
Beispiel: Binärer Frequenzteiler

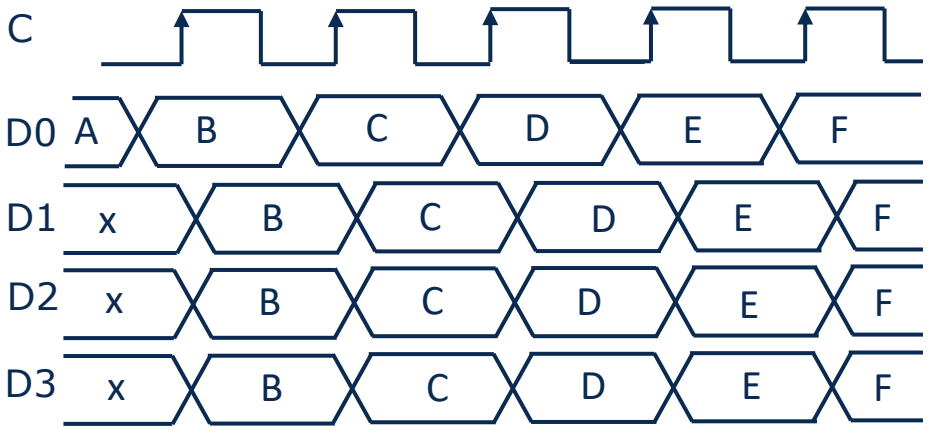


Beispiel: Schieberegister

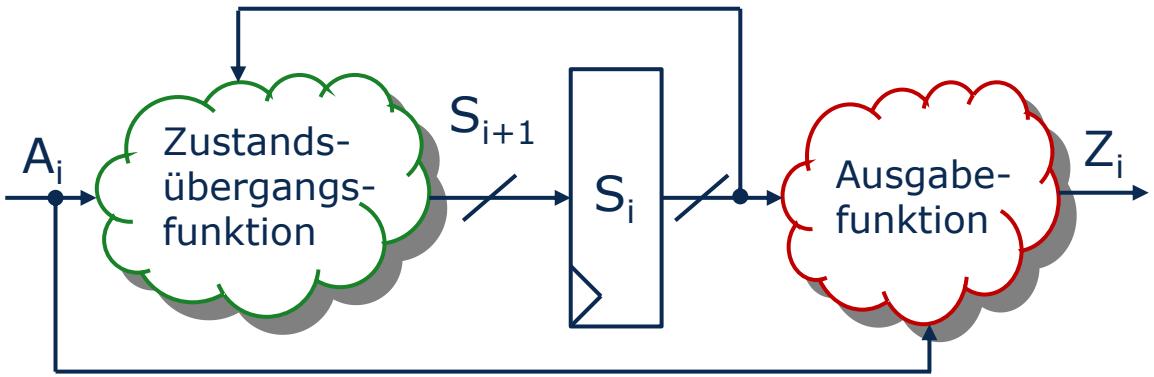




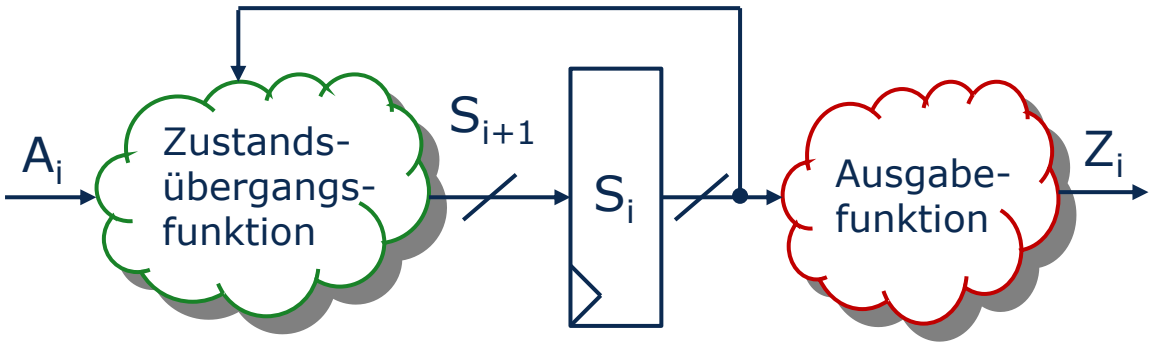




- Zustandsautomaten (Finite-State Machines (FSM)) sind Grundbestandteil digitaler Steuerwerke
- FSMs sind sequentielle digitale Systeme
- **Mealy Automat**
  - $S_{i+1} = G(A_i, S_i)$
  - $Z_i = F(A_i, S_i)$

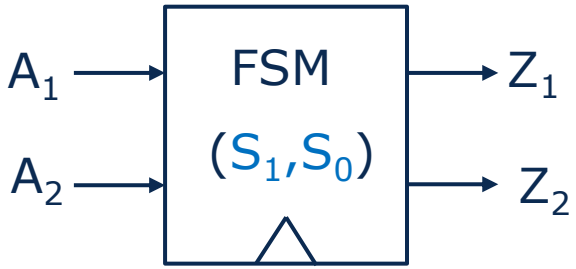


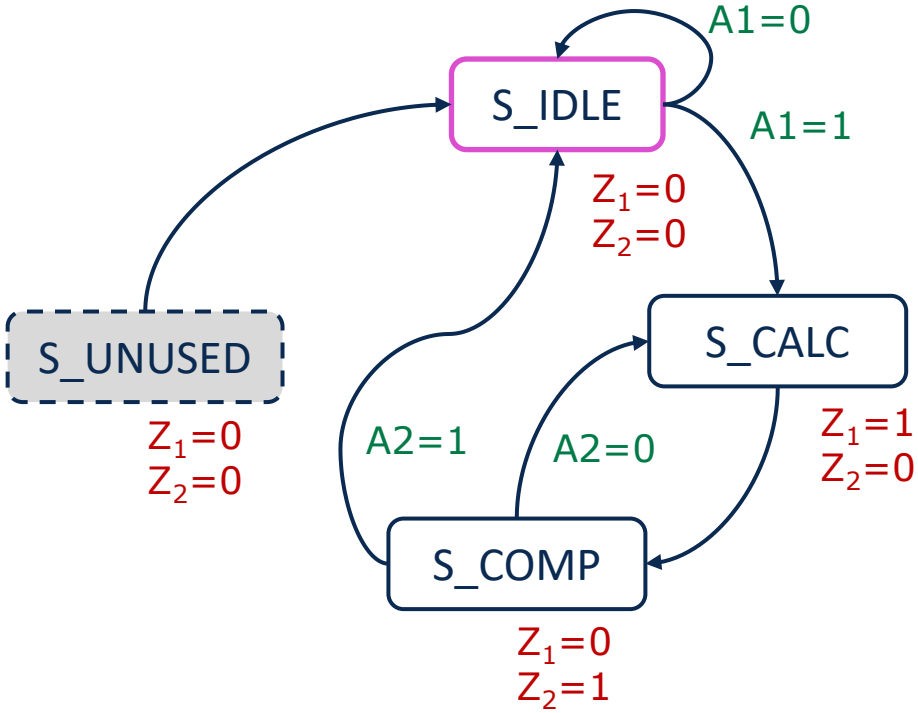
- **Moore Automat**
  - $S_{i+1} = G(A_i, S_i)$
  - $Z_i = F(S_i)$



Zustandssübergangsdiagramm

- Darstellung der Zustände und ihrer Übergänge
- Eindeutige Benennung der Zustände
- Kennzeichnung des Reset Zustandes





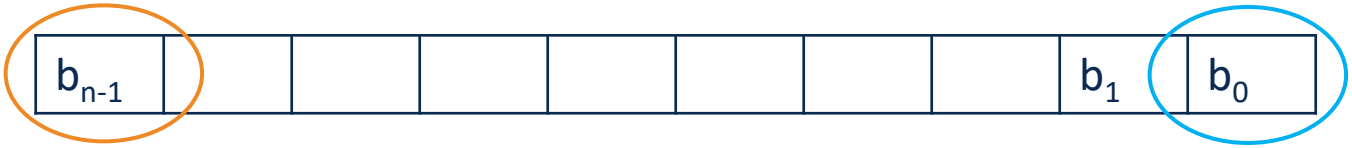
Schritte beim Entwurf einer FSM

1. Zustandsübergangsdiagramm aufstellen
2. Bestimmung der Anzahl der Zustandsbits und Zustandskodierung
3. Zustandsübergangstabelle und Ausgangstabelle
4. Vereinfachung der Logik (Schaltungssynthese, Karnaugh, Gleichung)
5. Gatternetzliste erstellen

→ Details siehe Vorlesung digitale Schaltungstechnik

Arithmetik Zahlenformate und Schaltungen

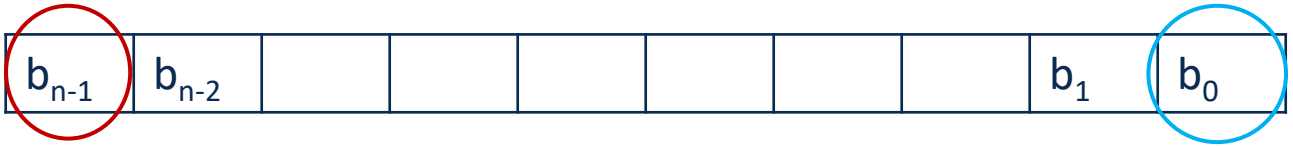
- Darstellung vorzeichenloser (unsigned) ganzer Zahlen als n-bit Vektor
- $b \in (0; 1)$
- Dezimaler Wert: $D = \sum_{i=0}^{n-1} b_i \cdot 2^i$
- Wertebereich: $0 \leq D \leq 2^n - 1$



„most significant bit“ (MSB)

„least significant bit“ (LSB)

- Darstellung vorzeichenbehafteter (signed), ganzer Zahlen als n-bit Vektor
- $b \in (0;1)$
- Zweierkomplement Darstellung
- Dezimaler Wert:
  - positive Zahl: wenn $b_{n-1}=0$: $D = \sum_{i=0}^{n-1} b_i \cdot 2^i$
  - negative Zahl: wenn $b_{n-1}=1$: $D = -1 \cdot (\sum_{i=0}^{n-1} \overline{b_i} \cdot 2^i + 1)$
- Wertebereich: $-2^{n-1} \leq D \leq 2^{n-1} - 1$

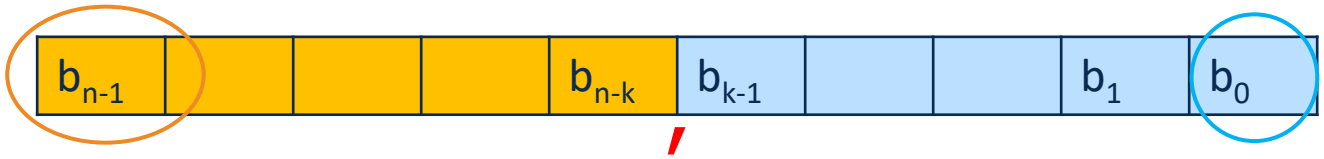


„sign bit“

„least significant bit“ (LSB)

Festkomma Darstellung (Fixed-Point)

- Darstellung von Zahlen mit Nachkommastellen als n-bit Vektor
- k Nachkommastellen und n-k Vorkommastellen
- Wertigkeit des LBS: 2^{-k}
- Dezimaler Wert: $D = \sum_{i=0}^{n-1} b_i \cdot 2^{i-k}$
- Wertebereich: $0 \leq D \leq (2^n - 1) \cdot 2^{-k}$

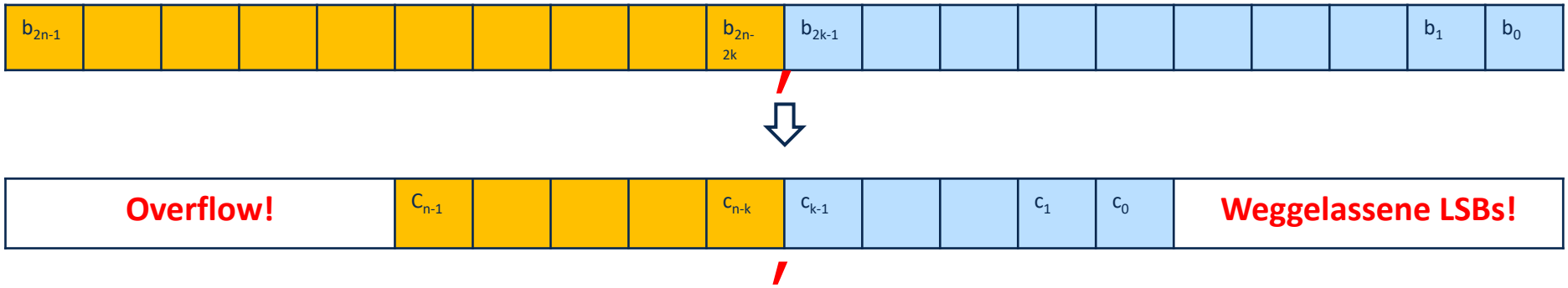


„most significant bit" (MSB) „Komma" „least significant bit" (LSB)

Darstellung vorzeichenbehafteter Fixed-Point Zahlen analog zu ganzen Zahlen (Skalierung mit 2^{-k})

Skalierung des Ergebnisses

- Multiplikation von n-Bit Werten → 2n-Bit Ergebnis
- Bei n-Bit Datenbussen ist Skalierung notwendig c=Scale(b)



- Im Praktikum:
  - **SCALER64_to_32**: Ermittlung von Overflows (signed, unsigned)
  - Angabe der Anzahl k LSBs
  - Nur Verwenden wenn Overflow Signale benötigt werden
  - Sonst: Direktes Verdrahten der Bussignale

Fixed-Point Division

- Division von n-Bit Fixed-Point Zahlen:
  - $A=a\cdot 2^{-k}$, $B=b\cdot 2^{-k} \rightarrow A/B=(a/b)\cdot 2^{-k+k}=a/b$
- Bei n-Bit Operanden:
  - n-Bit ganzzahliges Ergebnis + n-Bit **Rest (Modulo)**
    - Beispiel: 0b1101 / 0b0011 (13/3) = 0b0100 Rest: 0b0001
    - Praktikum: **DIV_FIXED32_signed** und **DIV_FIXED32_unsigned**
  - n-Bit ganzzahliges Ergebnis + unendlich viele Nachkommastellen
    - Beispiel: 0b1101 / 0b0011 (13/3) =0b0100,010101… (4,33333…)
    - Im Praktium: **DIV_FIXED64_signed (**32 Vorkomma, und Nachkommastellen, begrenzte Genauigkeit!)

Fließkommadarstellung (Floating Point)

- Probleme bei Festkommadarstellung:
  - Eingeschränkter Wertebereich
  - Fixed-Point: Kompromiss zwischen Wertebereich und Genauigkeit

- Zahlendarstellung in der Form: $X = S \cdot M \cdot 2^E$
  - Basis: 2
  - S: Vorzeichen (sign) → 1-Bit
  - M: Mantisse → unsigned fixed-point
  - E: Exponent (variabel) → signed integer

- Sehr hohe Präzision bei kleinen Zahlen
- Sehr großer Wertebereich bei großen Zahlen (bei geringerer Präzision)

- Fließkommadarstellungen sind Näherungen!

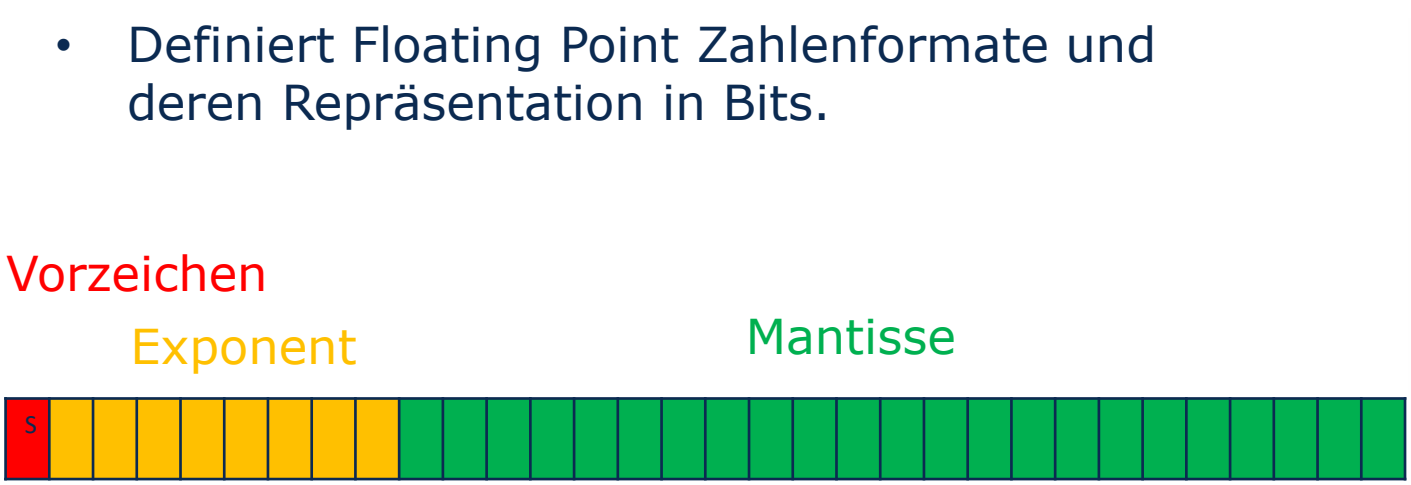
Beispiel Floating Point

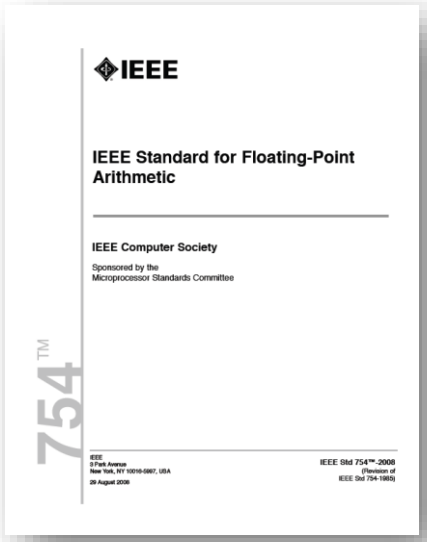
- Beispiel: Zahl 5 als Fließkommadarstellung
  - $5= +1 \cdot 1{,}25 \cdot 2^2$
  - $S=0$
  - $M=0b1{,}01\_0000\_0000\_0000\_0000\_0000$
  - $E=0b00000010$

- Aber auch: $5= +1 \cdot 0{,}625 \cdot 2^3$, $5= +1 \cdot 0{,}3125 \cdot 2^4$, $5= +1 \cdot 0{,}15625 \cdot 2^5$, …
- Die Fließkommadarstellungen ist nicht eindeutig bestimmt

- → Normierung des Wertebereichs der Mantisse
- z.B. $1 \leq M < 2$

- Definiert Floating Point Zahlenformate und deren Repräsentation in Bits.





	Bits	Mantisse (Bit)	Exponent (Bit)	Bias	Wertebereich	Genauigkeit (Dezimale Nachkommastellen)
Single (float)	32	23	8	127	10^{-38} bis 10^{38}	≈7
Double	64	52	11	1023	10^{-308} bis 10^{308}	≈16