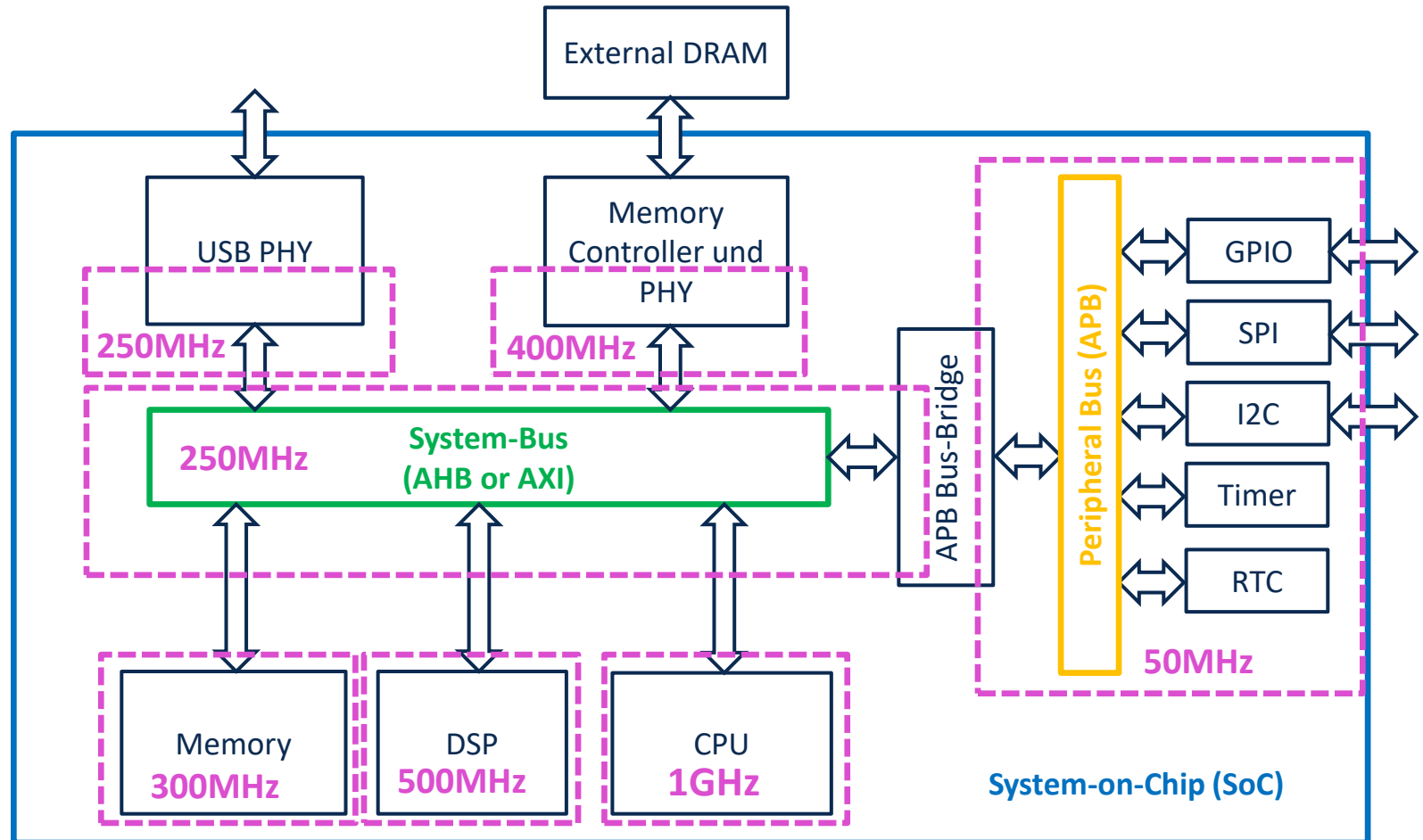
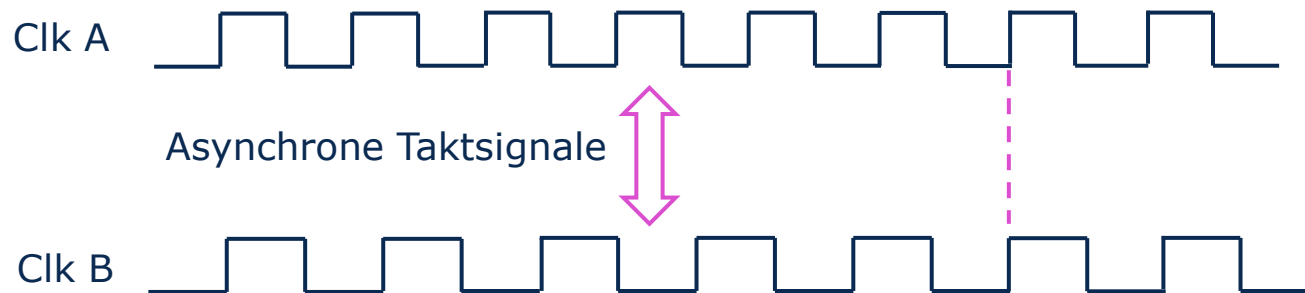


Asynchrone Taktübergänge

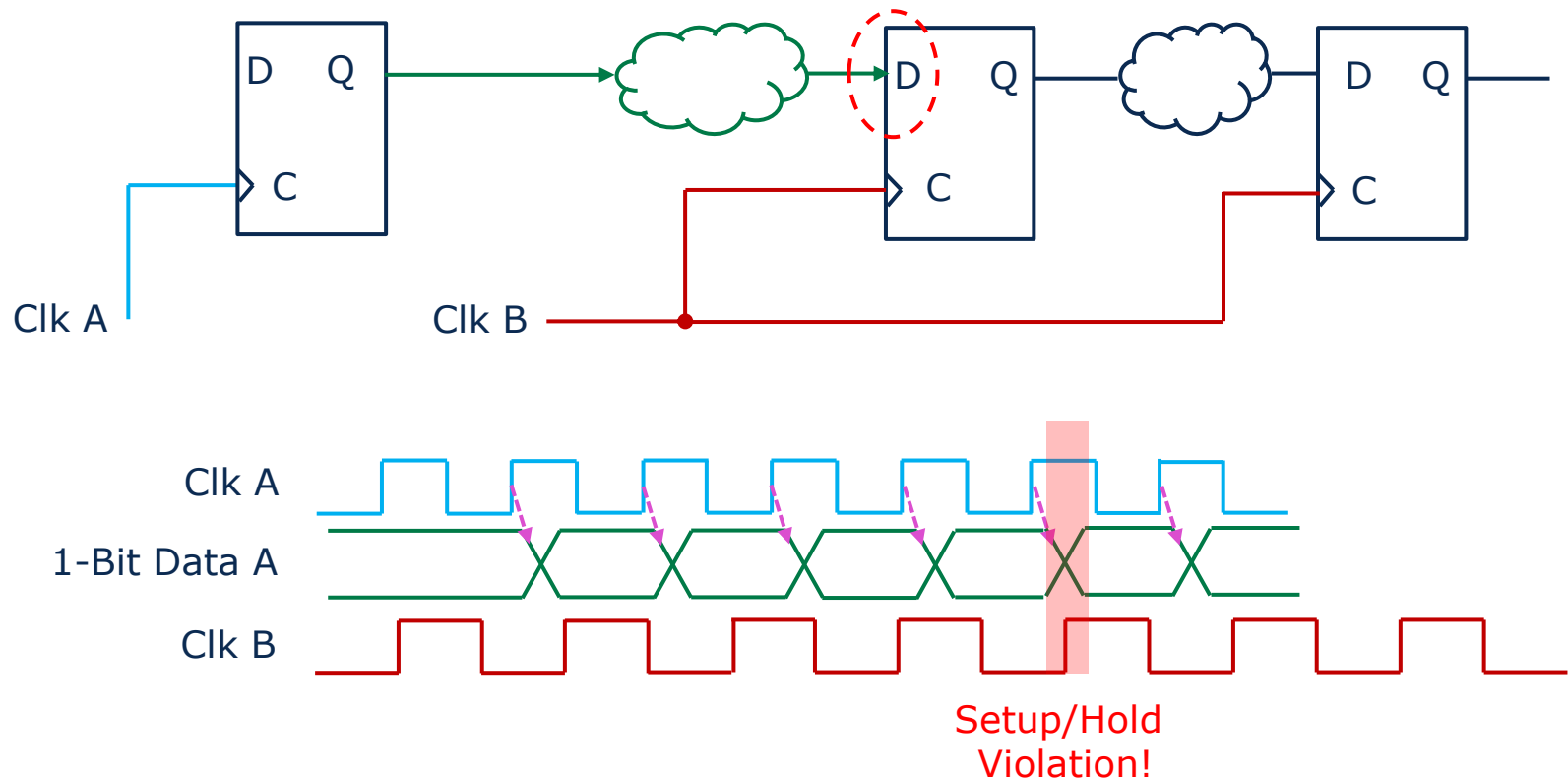
- Komplexe SoCs bestehen aus mehreren Takt-Domänen
 - Separate Takterzeugung **unterschiedlicher Taktfrequenzen** für einzelne Systemkomponenten
 - Separate Place&Route Makros mit unterschiedlichen Größen und unterschiedlichen **Takt-Baum Tiefen**
 - **Verschiedene Takt-Signale** auf realisierten Takt-Bäumen (z.B. Mission-Mode Clk versus Scan Test Clock)
- Herausforderungen:
 - Timing Sign-off mit verschiedenen Takt-Domänen
 - Datenübergänge zwischen verschiedenen Takt-Domänen



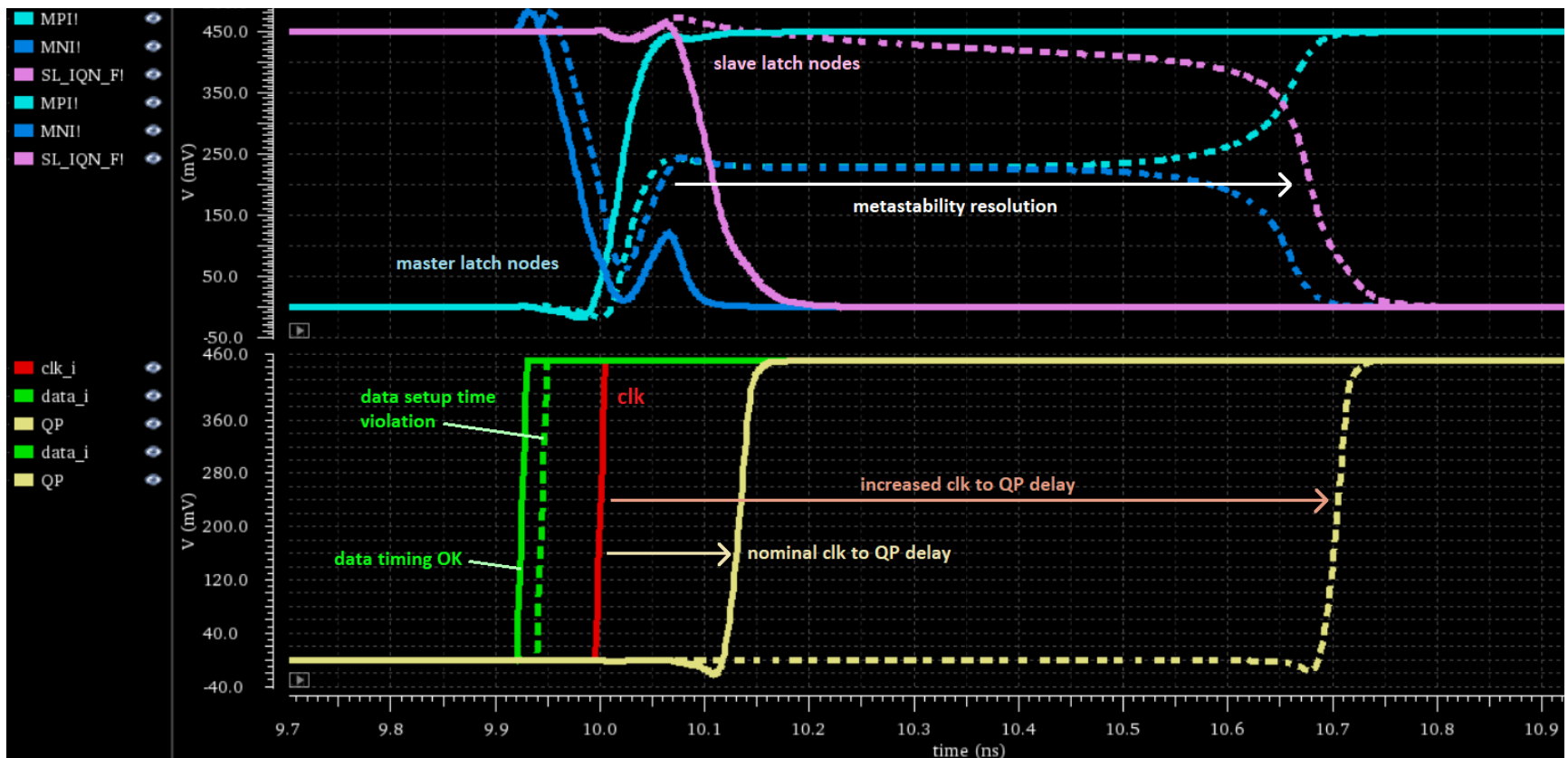
- Asynchrone Taktsignale:
 - → **unterschiedliche Frequenz und Phase**
- Mesosynchrone Taktsignale:
 - → **gleiche Frequenz, unterschiedliche Phase**

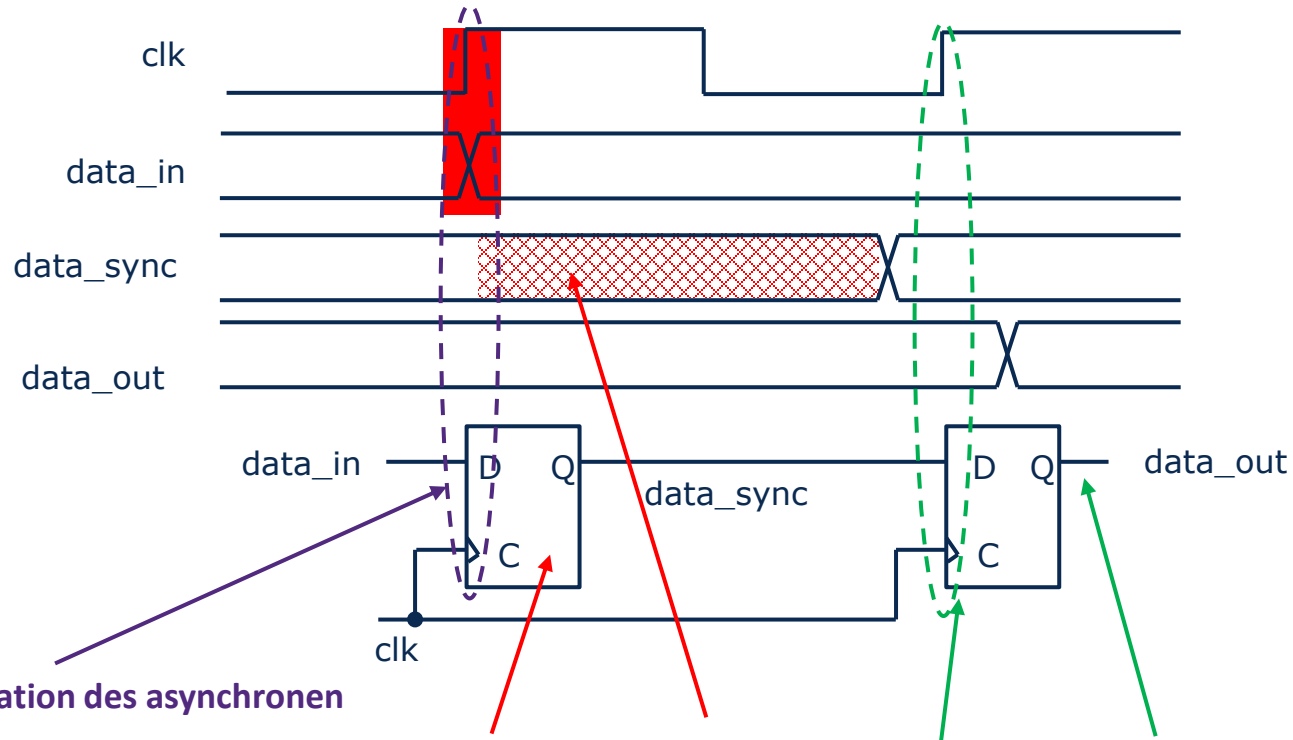


- Synchrones Daten Signal:
 - „Launch“ und „Capture“ auf Flanken **des selben** Taktes
- Asynchrone Signale:
 - „Launch“ und „Capture“ auf Flanken **verschiedener asynchroner** Takte



- Setup/Hold Violation können **Metastabilität** in FlipFlops/Latches verursachen
- Interne Speicherknotten verbleiben längere Zeit auf mittleren Signalpegeln (nicht stabil)
- **Erhöhung der Clock-2-Q Delay Zeit** des FlipFlops → mögliche weitere Timing Violations





Setup/Hold Violation des asynchronen Datensignals

Timing nicht in STA gechecked:

- Synthesis/P&R/STA: false path, async. clocks
- Gate-Level simulation: tcheck off

Interne
Knoten
werden
metastabil

CLK-2-Q delay
erhöht sich
(Recovery
Time)

Setup
/Hold
Clean

Korrektes
CLK-2-Q
Delay
gemäß .lib
File

- Berechnung der Wahrscheinlichkeit, dass eine Metastability-bezogene Timing Violation auftritt.
- Mean-Time-To-Failure MTTF
- Definitionen:
 - Zellen-spezifische Parameter:
 - T_w Metastability Zeitfenster
 - τ Latch interne Recovery Zeitkonstante
 - t_{di} CLD-2-Q Delay des Master Latches im FlipFlop
 - t_{do} Ausgangsdelay des FlipFlop
 - t_s Setup Zeit des FlipFlops
 - System-spezifische Parameter:
 - T_{clk} Clock period
 - α Data toggle rate

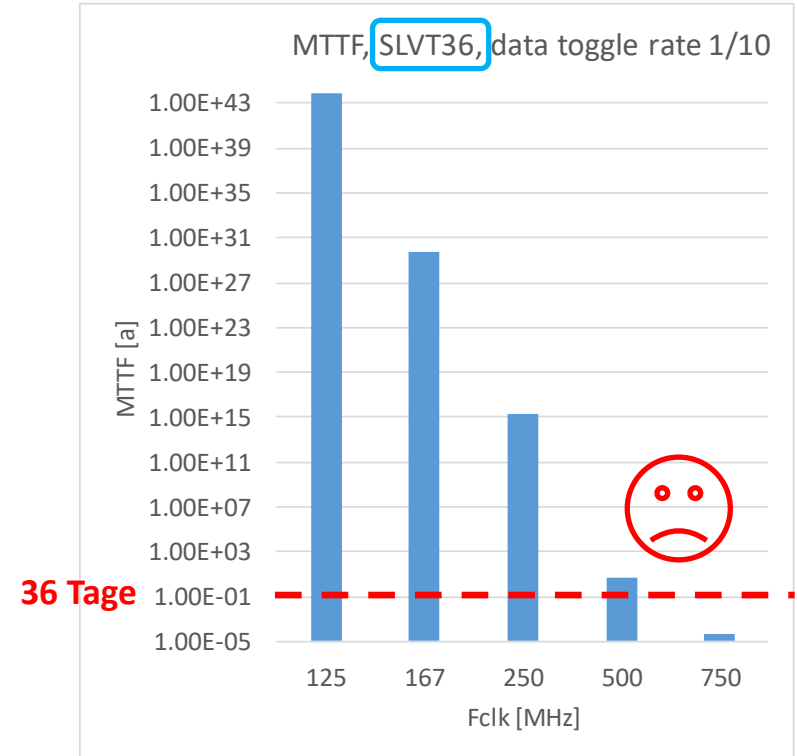
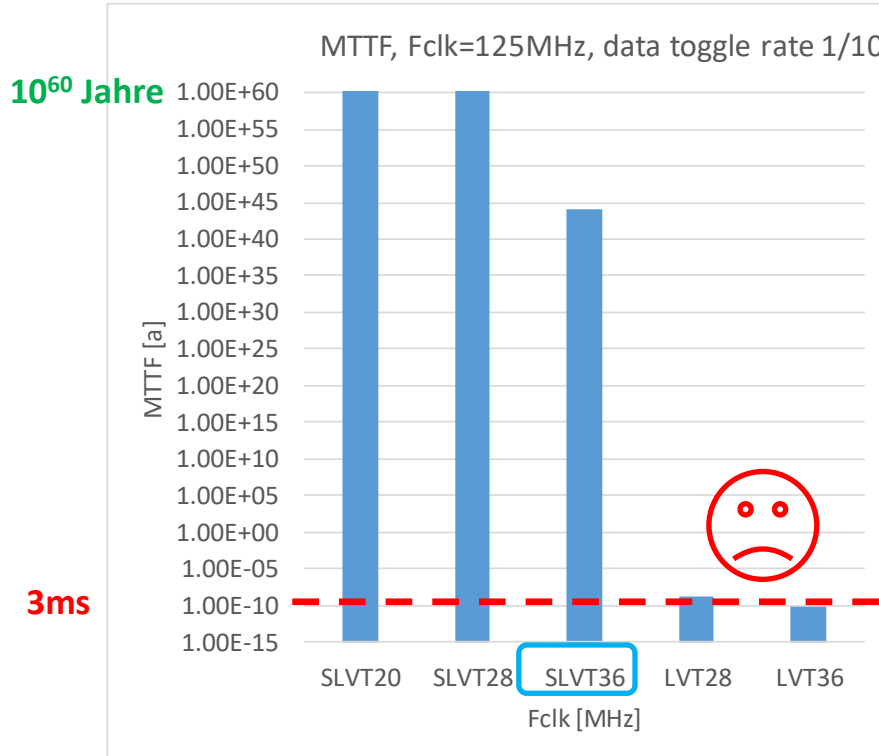
Mean-time-to-failure:

$$MTTF = \frac{1}{\alpha} \cdot T_{clk}^2 \cdot \tau \cdot \underbrace{\frac{1}{T_w^2} \cdot e^{(T_{clk}/2 - t_{di})/\tau}}_{\text{master latch recovery}} \cdot \underbrace{e^{(T_{clk}/2 - t_{do} - t_s)/\tau}}_{\text{slave latch recovery}}$$

System MTTF:

$$\frac{1}{MTTF_{\text{system}}} = \frac{1}{MTTF_1} + \frac{1}{MTTF_2} + \dots$$

- Beispiel: 2-Stage Synchronizer
 - Ultra-Low-Voltage Betrieb bei $V_{DD}=0.50V$
 - Analyse verschiedener Schwellspannungsoptionen und Gate-Längen L der FlipFlops



- Exponentielle Abhängigkeit der MTTF zur V_t -Option der FlipFlop Zellen
- → Synchronizer sollten kleine V_T nutzen
- → Die Taktfrequenz des zu synchronisierenden Signals sollte minimiert werden

- Wie synchronisiert man Multi-Bit Signale?
- Unterschiedliche Laufzeit der n Datenbits im Datenbus → Timing Skew
- n mal 1-Bit Synchronisation würde die Konsistenz der Daten zerstören
- → Synchronisation eines **zusätzlichen, 1-Bit Valid-Signals** in die Zieldomäne

