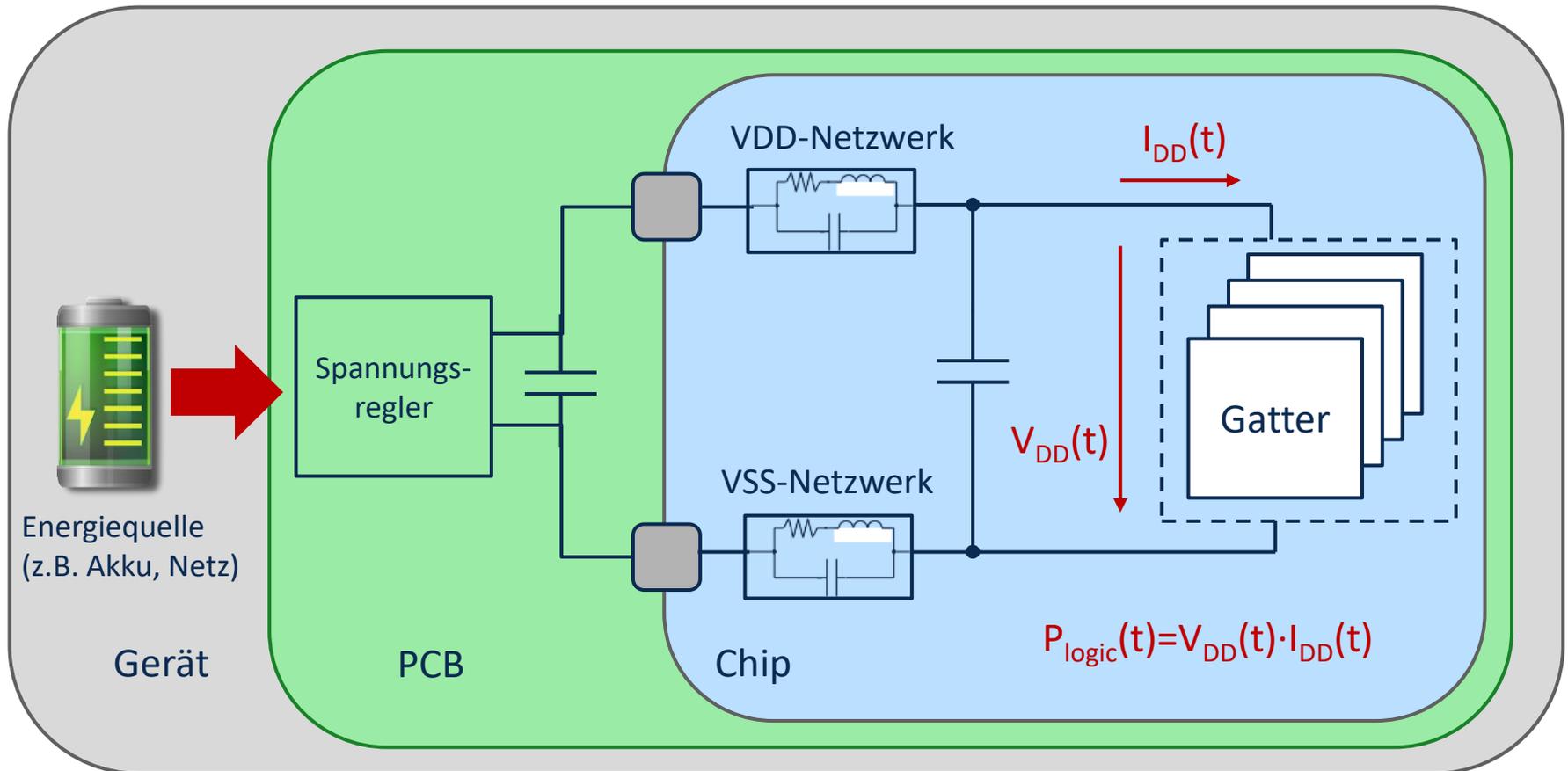
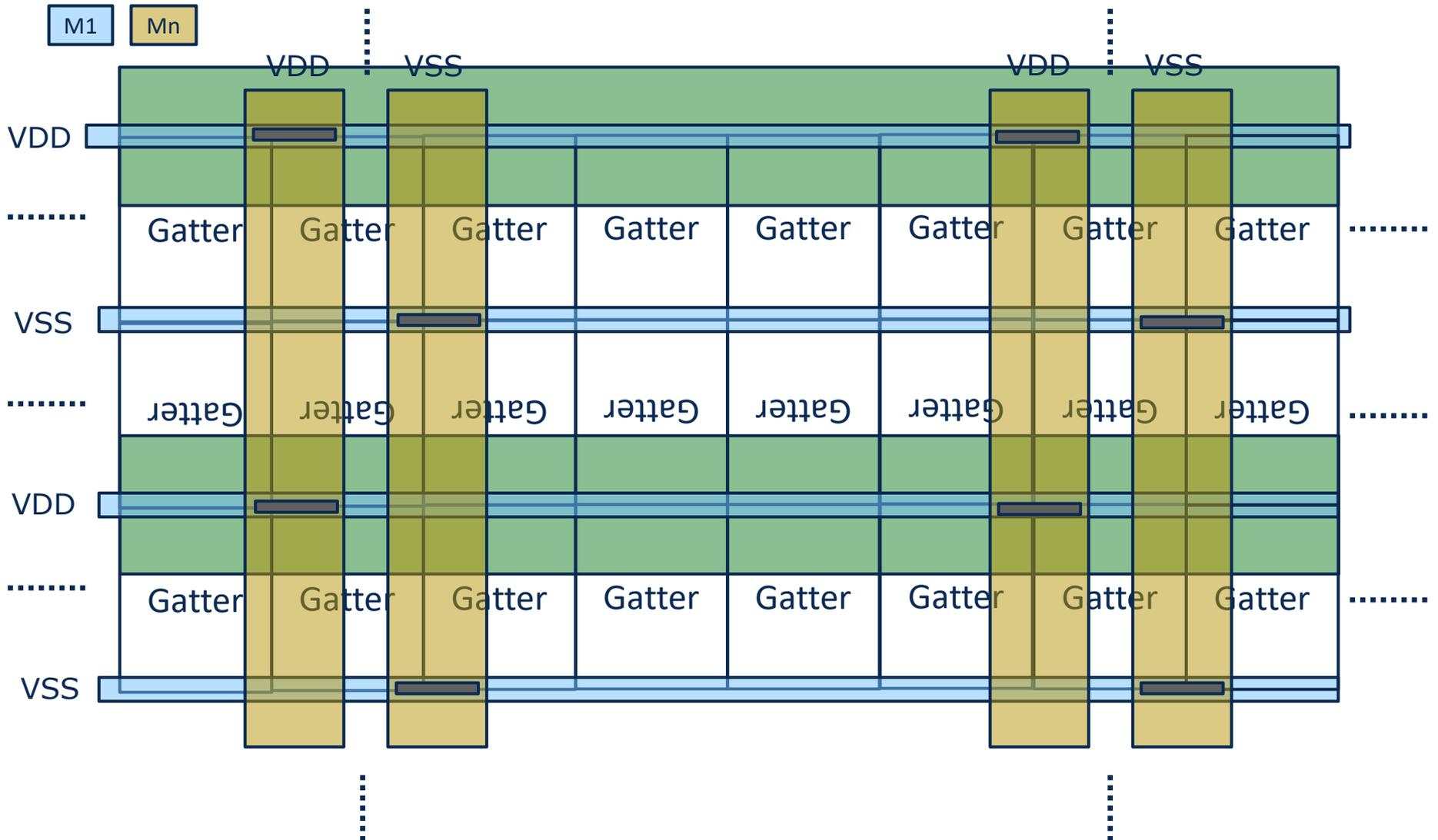
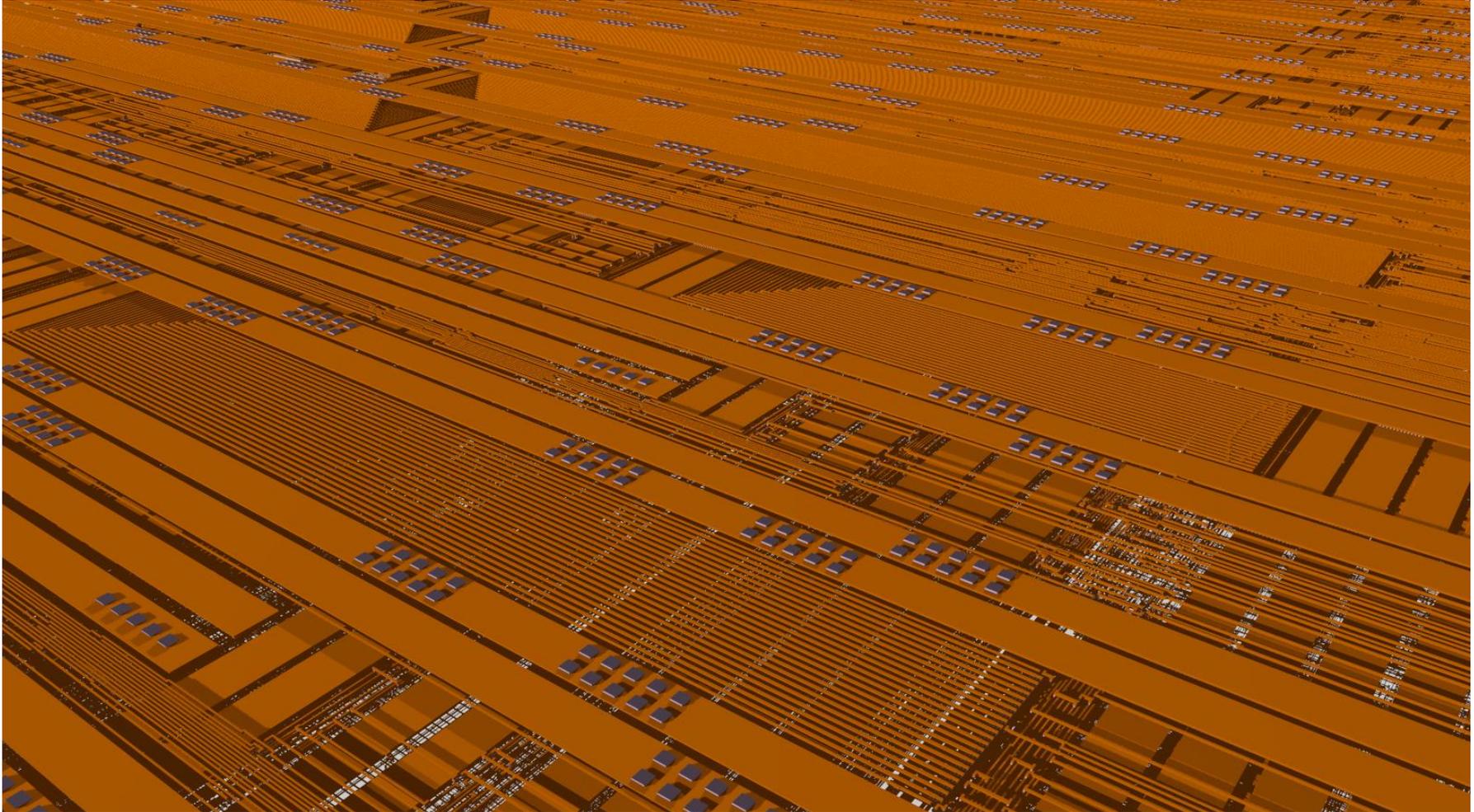
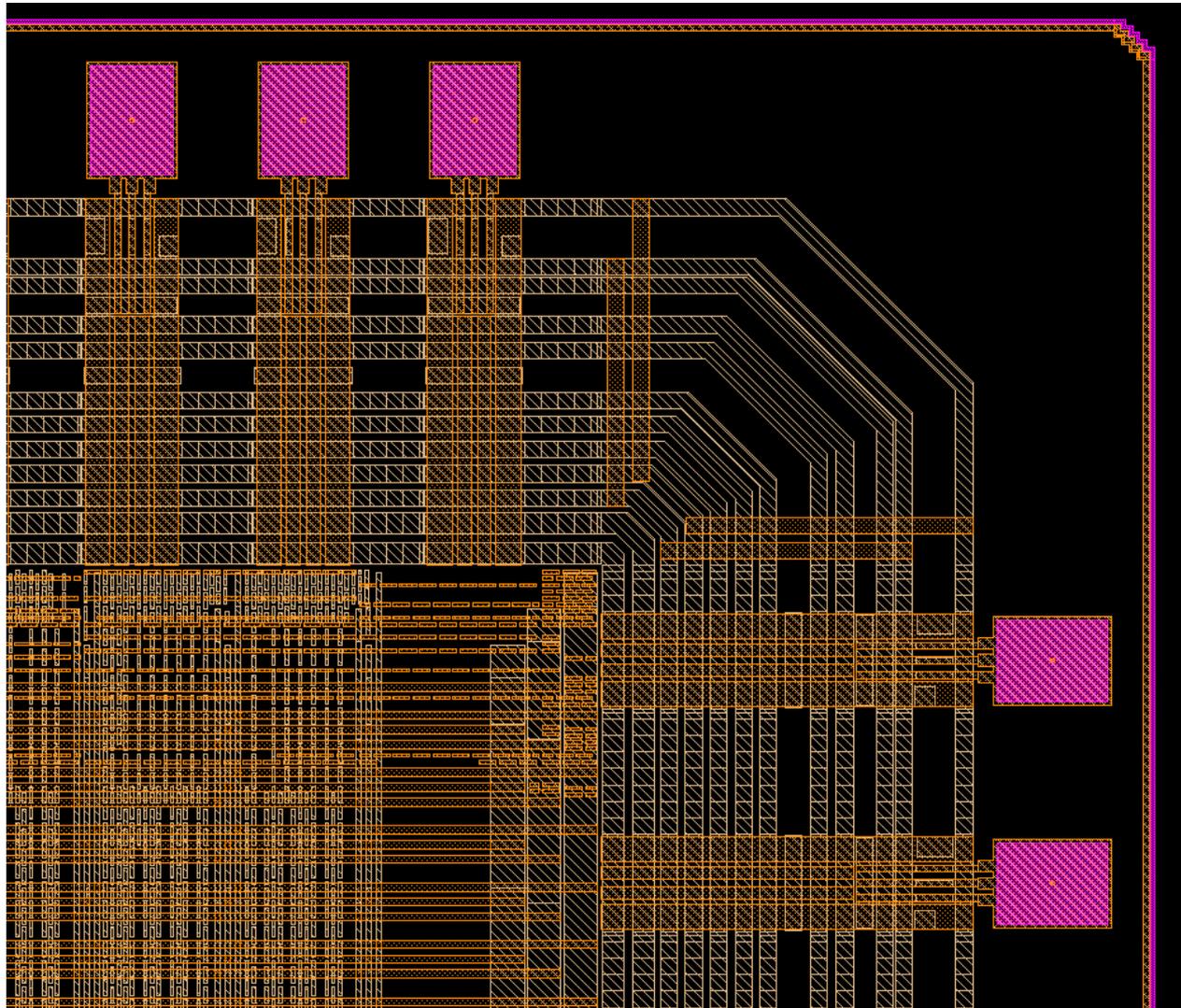


Verlustleistung von digitalen CMOS Schaltungen

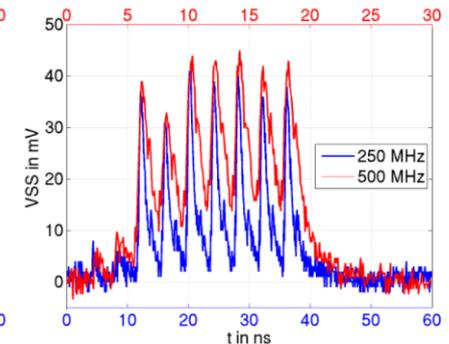
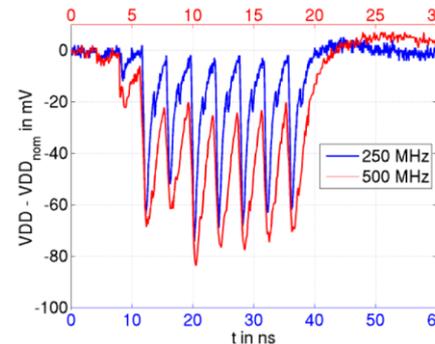
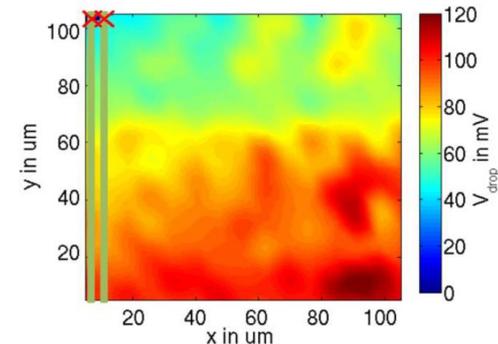
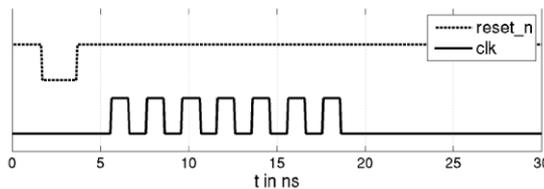








- IR-Drop beschreibt den Einbruch der Versorgungsspannung durch dynamische Stromaufnahme
 - Abhängig von Widerständen R , Induktivitäten L und Kapazitäten C im Netzwerk
 - IR-Drop ist ein **zeitliches** und **räumliches** Phänomen
- IR-Drop beeinflusst **Timing und Funktionalität** der CMOS Logik



[1] Dietel, S.; Hoppner, S.; Brauningner, T.; Fiedler, U.; Eisenreich, H.; Ellguth, G.; Hanzsche, S.; Henker, S.; Schüffny, R., "A compact on-chip IR-drop measurement system in 28 nm CMOS technology," in Circuits and Systems (ISCAS), 2014 IEEE International Symposium on , vol., no., pp.1219-1222, 1-5 June 2014

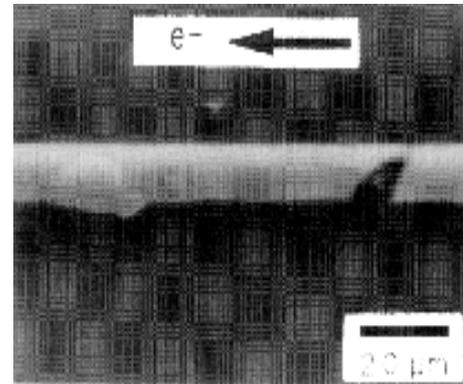
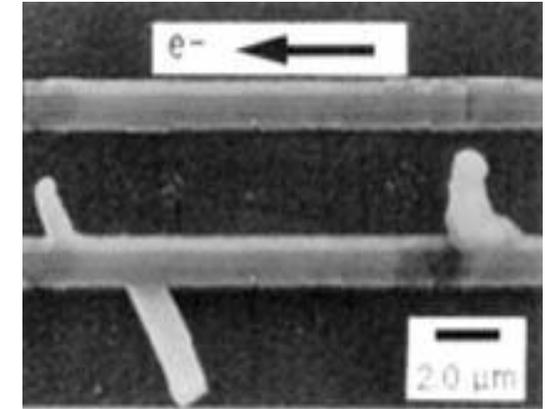
• Berücksichtigung im Design Flow:

- Statische und dynamische IR-Drop Analyse basierend auf Power Analysen

• → Details siehe Vorlesung VLSI Prozessorentwurf

- Materialtransport durch Stromfluss in metallischen Leitern
- Kritisch bei:
 - Leiterstrukturen mit konstanter Stromrichtung
 - Kleinen Leitungsgeometrien
 - Geometrien
 - Hohen Stromdichten
 - Hohen Temperaturen
- Elektromigration beeinflusst die **Lebensdauer** eines Chips

“Metal hillock”
→ Kurzschluss



“Metal void”
→ Unterbrechung
der Leitung

[1] – Synopsys University Courseware - 90-nm Physical Implementation Flow © 2015 Synopsys, Developed By: Vazgen Melikyan

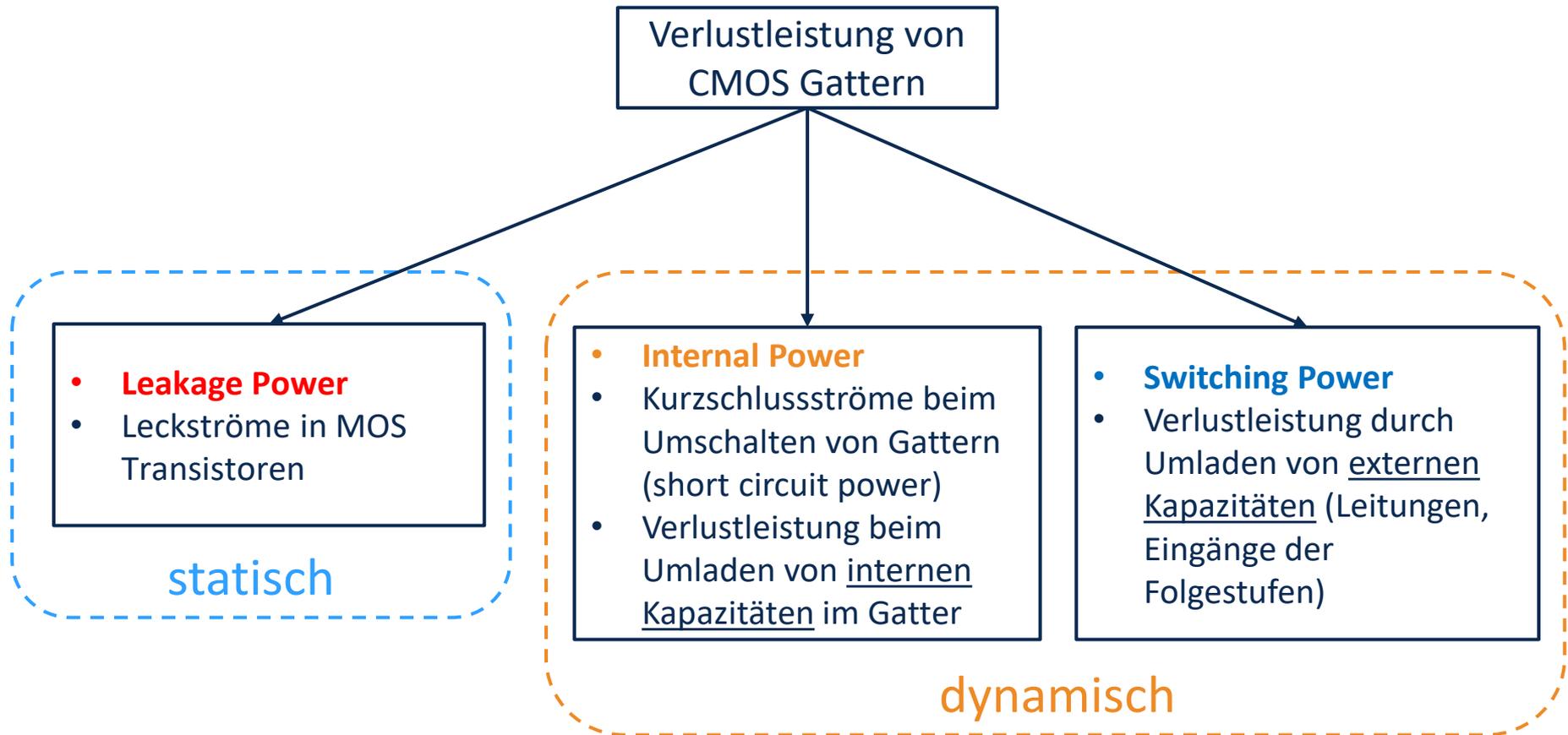
- **Berücksichtigung im Design Flow:**
 - Analyse der Elektromigration basierend auf Power Analysen

• → Details siehe Vorlesung VLSI Prozessorentwurf

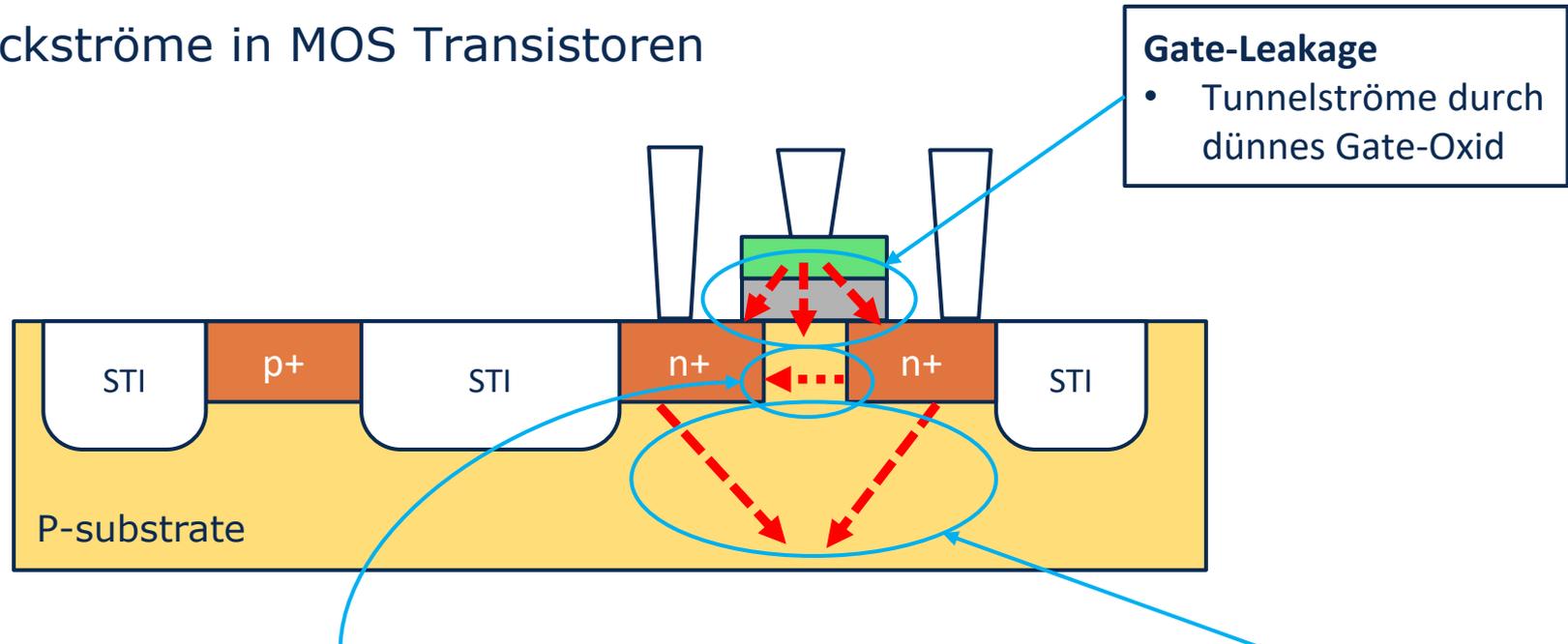
- Die Verlustleistungsaufnahme von CMOS Logik beeinflusst:
 - Das **Systemverhalten** (z.B. Akkulaufzeit)
 - Versorgungsspannung des Chips und damit **Funktionalität und Timing** (IR-Drop)
 - Die **Lebensdauer** des Systems (Elektromigration)
- Berücksichtigung der Verlustleistung bei der Dimensionierung des Versorgungsnetzwerkes
 - Aktive Elemente (z.B. Spannungsregler)
 - Passive Elemente (Layout, Leitungsbreiten, Kondensatoren)

Eine akkurate Power Analyse ist wichtig!

- Größen:
 - Stromstärke : $I(t) = \frac{dQ(t)}{dt}$
 - Spannung: $V(t)$
 - Verlustleistung: $P(t)$
 - Energie: $E(t) = \int_{t_0}^t P(t') dt'$



- Leckströme in MOS Transistoren



Gate-Leakage

- Tunnelströme durch dünnes Gate-Oxid

Sub-Threshold Leakage

- $V_{GS} < V_{th}$ (Kanal in weak Inversion)
- Diffusion von Ladungsträgern zwischen Drain und Source
- Exponentielle Abhängigkeit von V_{GS} und V_{DS} und T

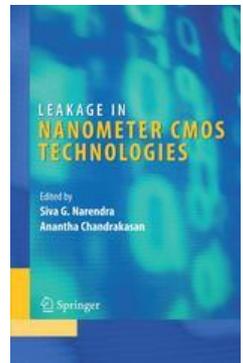
Reverse Biased Junction Leakage

- Leckströme durch gesperrte D-B Diode bzw. S-B Diode

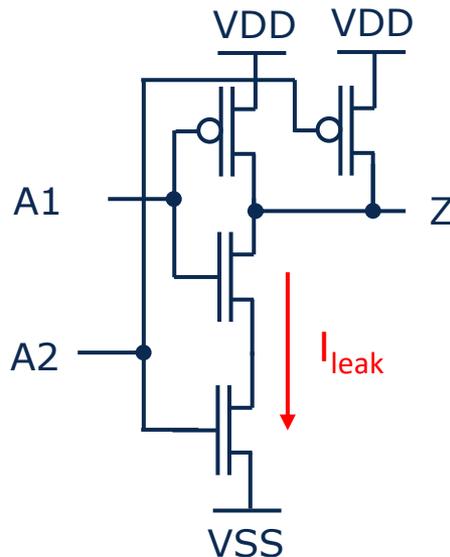
- Sub-Threshold Leckstrom:
 - $I_{leak,subth} \sim \phi_T^2 \cdot \frac{W}{L} \cdot e^{(V_{GS}-V_{th})/n\phi_T} \cdot (1 - e^{-V_{DS}/\phi_T})$ mit $\phi_T = kT/q$
- **Exponentielle** Abhängigkeit von Spannung und Temperatur
- Leakage Power ist kritisch bei hohen V_{DD} und hohen Temperaturen
- Reihenschaltung von Transistoren zeigt überproportional geringere Leckströme

- **Berücksichtigung im Design Flow:**
 - Modellierung der Leakage Power in der jeweiligen PVT Corner

- Literatur:
 - Buchkapitel: Leakage in CMOS Circuits – An Introduction; D. Helms, E. Schmidt, and W. Nebel, SPRINGER
 - Buch: Leakage in Nanometer CMOS Technologies; Editors: Narendra, Siva G., Chandrakasan, Anantha P. (Eds.), SPRINGER



- Abhängigkeit des Leckstromes von
 - Transistortyp (NMOS, PMOS)
 - der **Verschaltung** gesperrter Transistoren
- → Leakage Power eines Gatters abhängig von der Eingangsbelegung

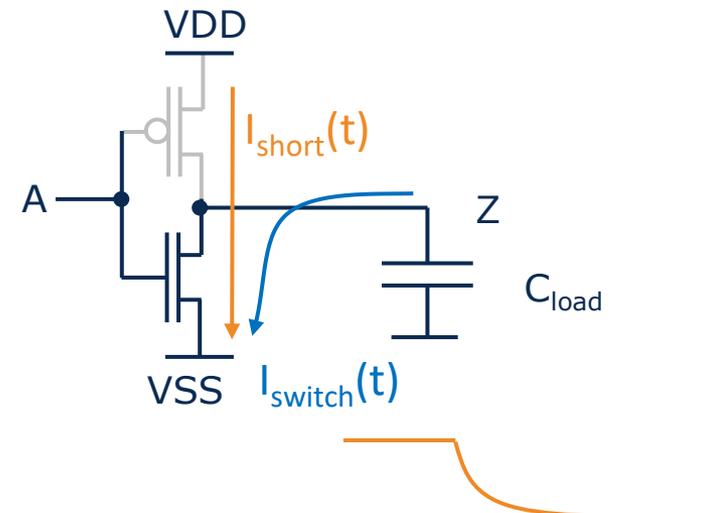
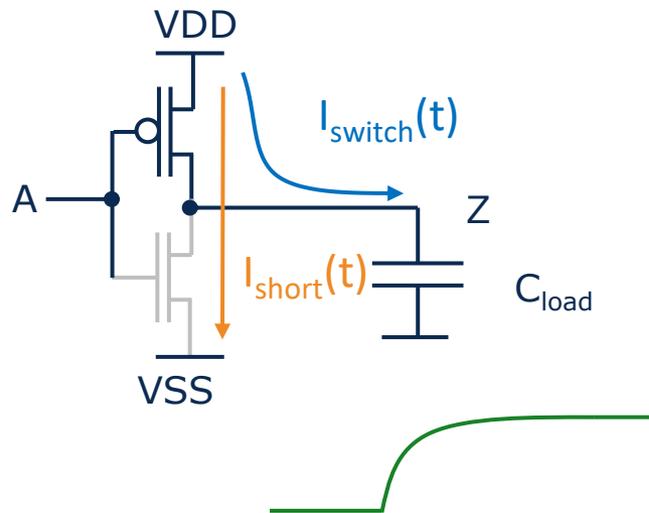


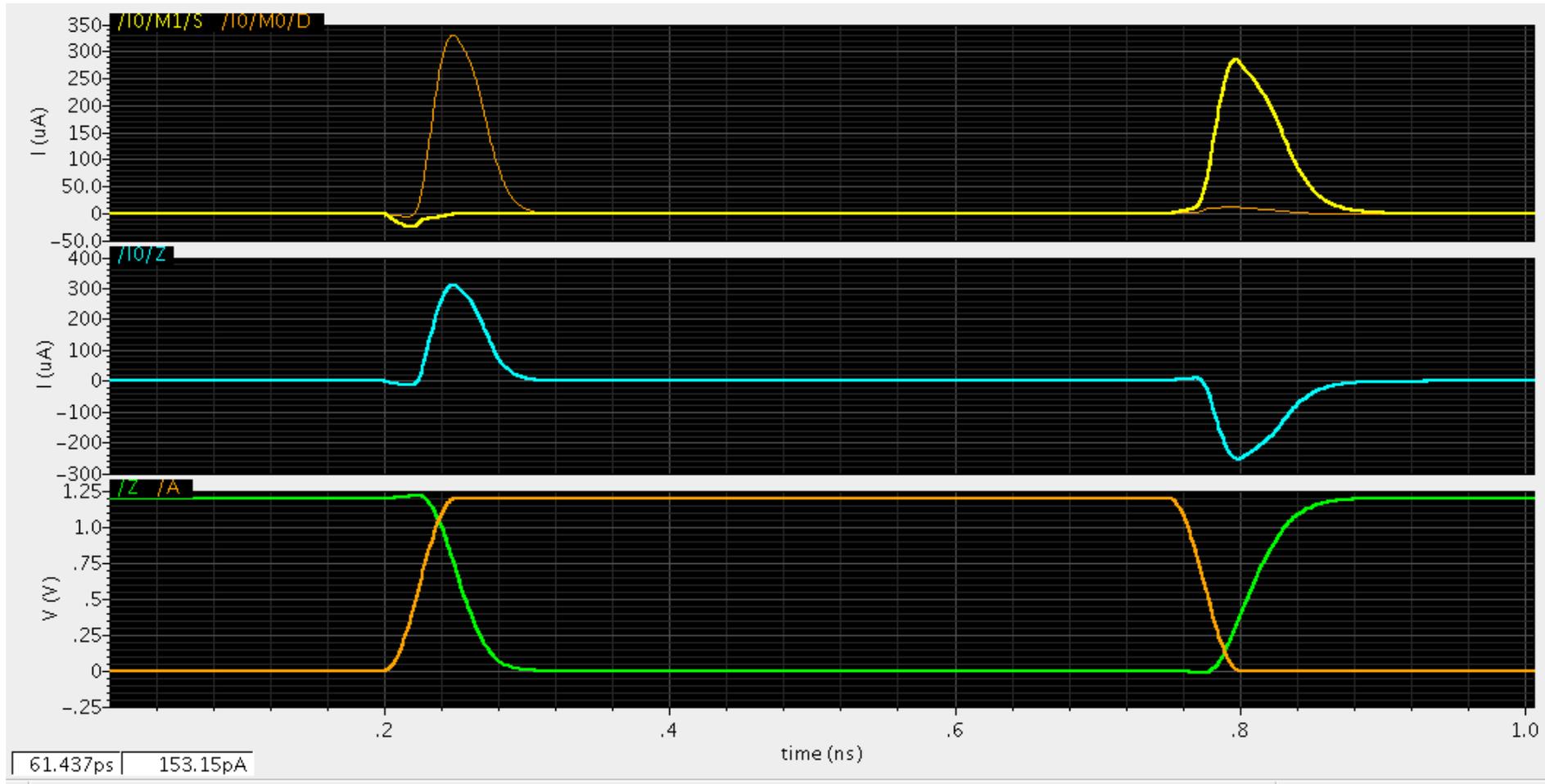
A1	A2	Z	$I_{leak}(\text{pA}) @25^\circ\text{C}$
0	0	1	9.2
0	1	1	49.6
1	0	1	61.6
1	1	0	124.1

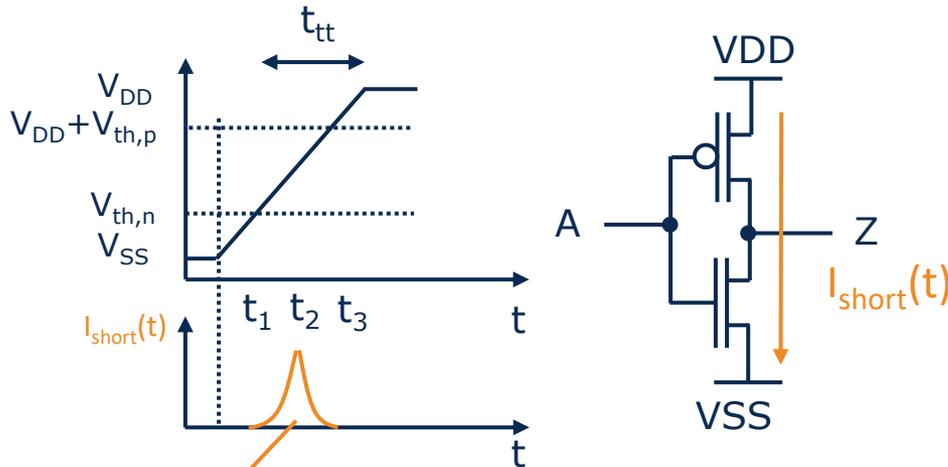
- **Berücksichtigung im Design Flow:**
 - Modellierung der Leakage Power in Abhängigkeit der Eingangssignale

- → Leakage Minimierung durch Wahl geeigneter Reset oder Low-Power Zustände in FlipFlops

- Dynamische Verlustleistung







$$Q_{short} = 2 \cdot \int_{t_1}^{t_2} \frac{\beta}{2} \cdot (V_{in}(t) - V_{th})^2 dt$$



$$Q_{short} = \frac{t_{tt}}{24} \cdot \frac{\beta}{V_{DD}} (V_{DD} - 2 \cdot V_{th})^3$$

→ Ladungsmenge Q_{short} pro Umschaltvorgang

• Annahmen:

- $\beta_n = \beta_p$
- $V_{th,n} = -V_{th,p}$

$$V_{in}(t) = \frac{V_{DD}}{t_{tt}} \cdot t$$

$$t_1 = \frac{V_{th}}{V_D} \cdot t_{tt}$$

$$t_2 = \frac{t_{tt}}{2}$$

→ Details siehe Vorlesung digitale Schaltungstechnik

[1] VEENDRICK, H.J.M. Short-Circuit Dissipation of Static CMOS Circuitry and its Impact on the Design of Buffer Circuits. IEEE Journal of Solid State Circuits, New York, v.SC-19, n.4, p. 468-473, Aug. 1984.

- Energie pro Umschaltvorgang aus V_{DD} : $E_{short} = V_{DD} \cdot Q_{short}$

- Verlustleistung: $P_{short} = \alpha \cdot f \cdot V_{DD} \cdot Q_{short}$

- Taktfrequenz $f = 1/T_{clk}$
- Toggle-Rate α
 - $\alpha = 1 \rightarrow$ Daten Toggle in jedem Takt

$$P_{short} = \alpha \cdot f \cdot \frac{t_{tt}}{24} \cdot \beta \cdot (V_{DD} - 2 \cdot V_{th})^3$$

- **Berücksichtigung im Design Flow:**

- Modellierung der internen **Energie pro Schaltvorgang** eines Gatters für einen toggle am Input
- abhängig von der Signalflanke und der Signalbelegung anderer Inputs (siehe AOI12)
- PVT Corner

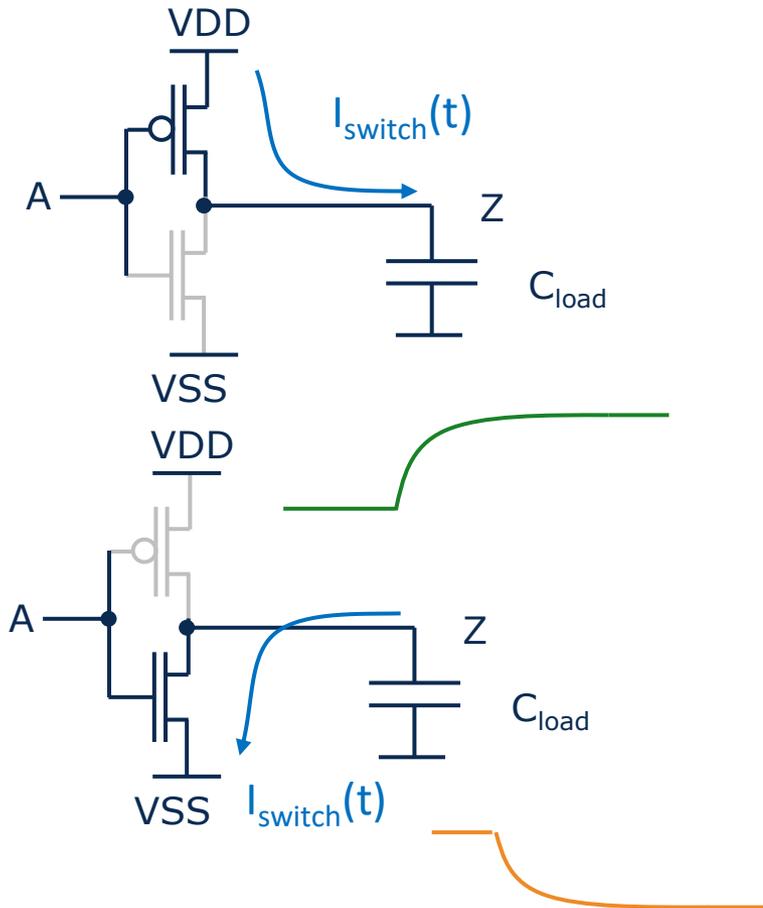
- Energie pro Umschaltvorgang aus V_{DD} :

$$E_{switch,rise} = V_{DD} \cdot Q_{load}$$

$$E_{switch,fall} = 0$$



$$P_{switch} = \alpha/2 \cdot f \cdot V_{DD}^2 \cdot C_{load}$$



Berücksichtigung im Design Flow:

- Berechnung der Energie pro Signalwechsel der externen Kapazitäten, Leitungen, Eingänge der Inputs
- abhängig von der Signalflanke
- PVT Corner

- Mittlere Verlustleistung einer CMOS Schaltung:

$$P(t) = \alpha \cdot f \cdot V_{DD} \cdot Q_{short}(V_{DD}) + \alpha/2 \cdot f \cdot C_{eff} \cdot V_{DD}^2 + V_{DD} \cdot I_{leak}(V_{DD})$$

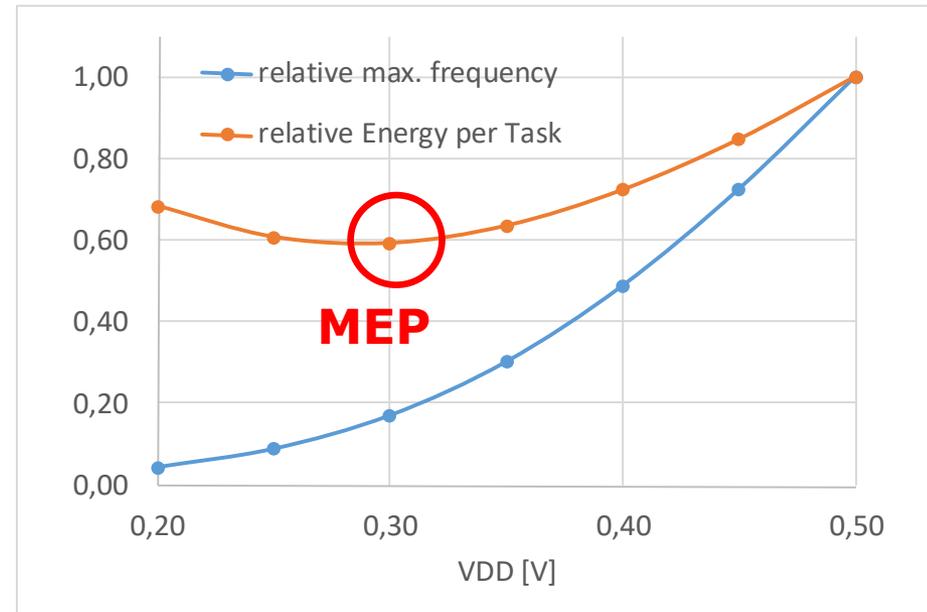
- **Task:**
 - Abfolge von n Takten mit Frequenz $f=1/T_{clk}$
 - mit n·a Toggles
- Energie pro Task:

$$E_{task} = \alpha \cdot n \cdot V_{DD} \cdot Q_{short}(V_{DD}) + \alpha/2 \cdot n \cdot C_{eff} \cdot V_{DD}^2 + V_{DD} \cdot I_{leak}(V_{DD}) \cdot n \cdot T_{CLK}$$

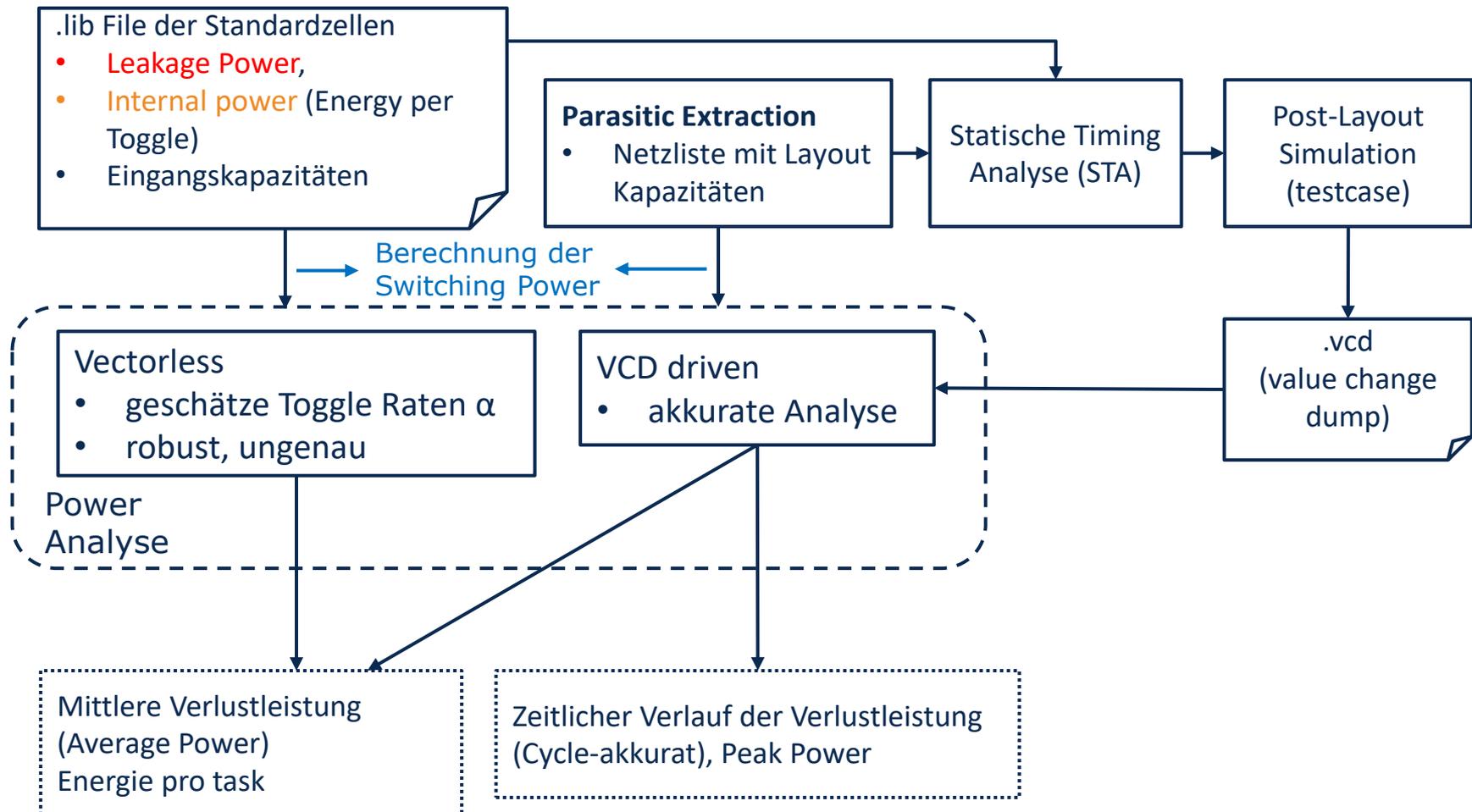
- Die Energie pro Task steigt mit kleinerer Taktfrequenz (bei konstanter VDD)!

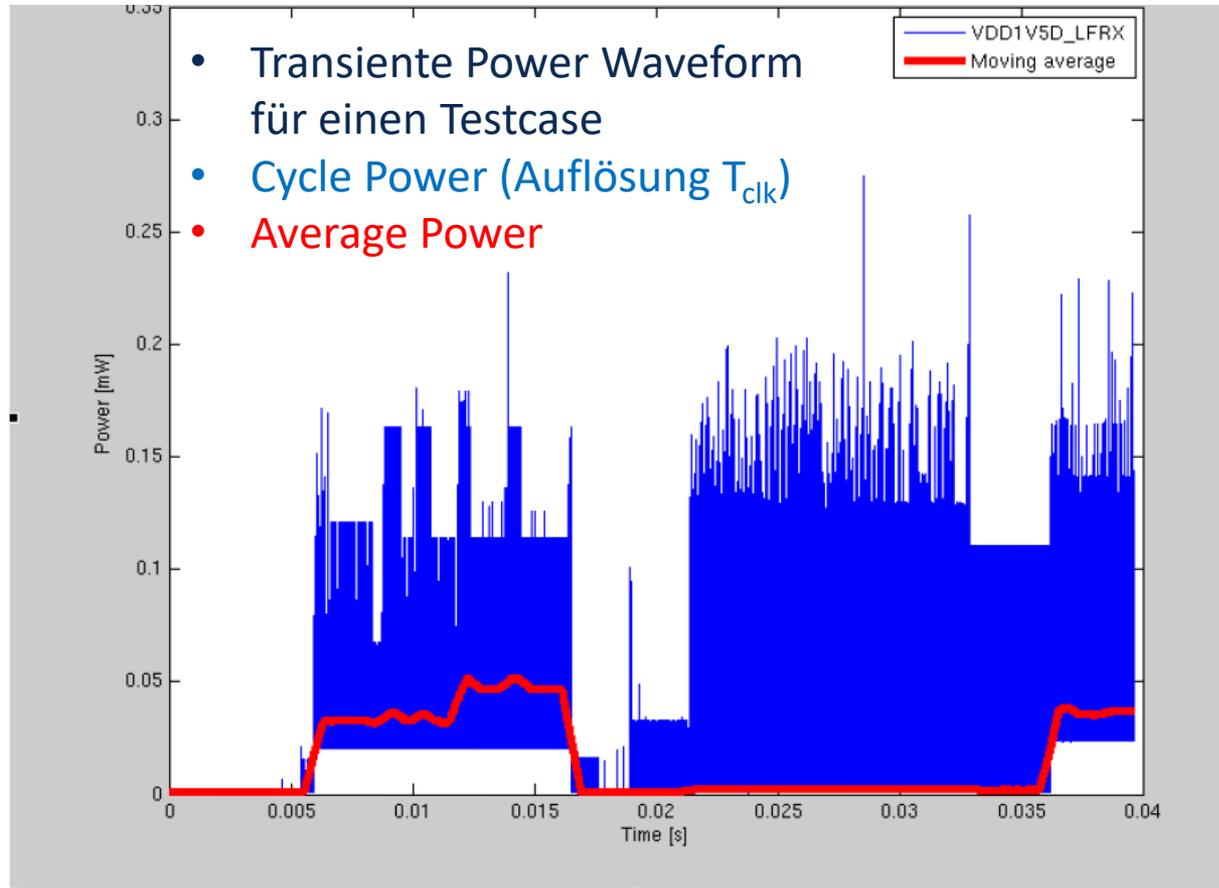
$$E_{task} = \alpha \cdot n \cdot V_{DD} \cdot Q_{short}(V_{DD}) + \alpha/2 \cdot n \cdot C_{eff} \cdot V_{DD}^2 + V_{DD} \cdot I_{leak}(V_{DD}) \cdot n \cdot 1/f_{CLK}$$

- Beispiel CMOS Logik:
 - max. Taktfrequenz und Energie pro Task
- Hohe V_{DD} :
 - Hohe dynamische Energieaufnahme,
 - schnelle Taktfrequenz
- Kleine V_{DD} :
 - Geringe dynamische Energieaufnahme
 - Langsame Taktfrequenz
 - → **Hohe Leakage Energie**



- Es existiert ein Arbeitspunkt mit minimaler Energie pro Task (Minimum Energy Point MEP)
- Lage abhängig von α (kleinere toggle rate → höhere $V_{DD,MEP}$)





- → Details siehe Vorlesung VLSI Prozessorentwurf

