

RTL2GDS Implementierung

- RTL Design → siehe Abschnitt Verilog
- Funktionale Verifikation → siehe Abschnitt Verifikation
- Coding Guideline Checking

→ Details siehe Praktikum und
Vorlesung VLSI-Prozessorentwurf

- Definition von Design Constraints (Randbedingungen)
 - Clocks
 - Input- und Output Delays
- Definition von Szenarien
 - Mission Mode
 - Test-Mode
- Definition von Library Corners
 - → **siehe Abschnitt Timing / Standardzellen**

- Erzeugung einer **Gatternetzliste** basierend auf der RTL Beschreibung
- Synthesenetzliste kann Hierarchie des RTL Designs behalten
- **Individueller Modul-Name pro Instanz**
- **Syntheseparameter** werden pro Instanz fixiert
- Beispiel:

RTL

```
module common_onehot2bin (
    onehot_i,
    bin_o
);

parameter ONEHOT_W = 8;
parameter BIN_W = 8;

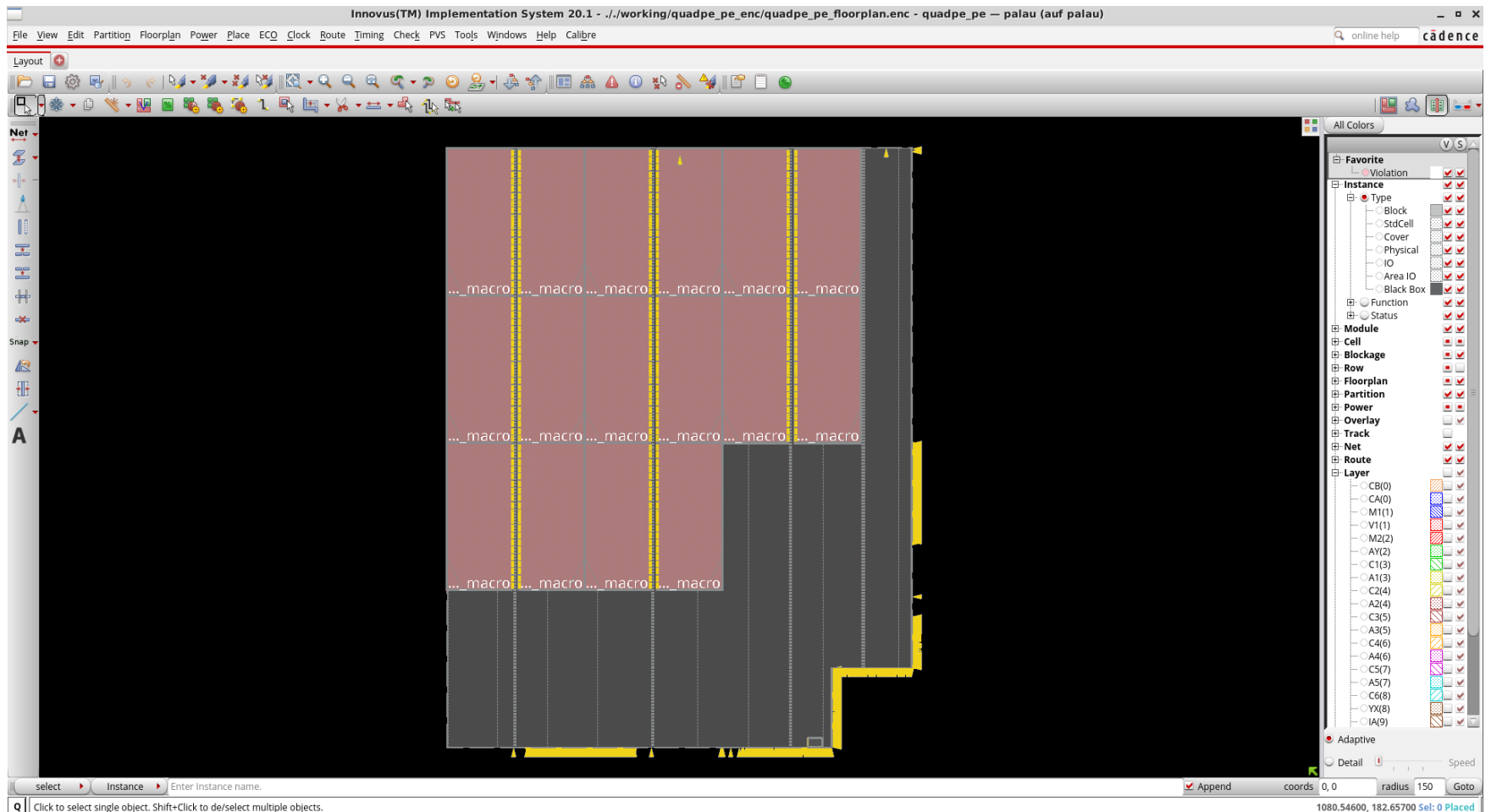
input [ONEHOT_W-1:0] onehot_i;
output reg [BIN_W-1:0] bin_o;

reg [BIN_W:0] i;
always @(onehot_i) begin
    bin_o = 0;
    for(i = 0; i < ONEHOT_W; i = i+1) begin
        if(onehot_i[i] == 1'b1) begin
            bin_o = i[BIN_W-1:0];
        end
    end
end
endmodule
```

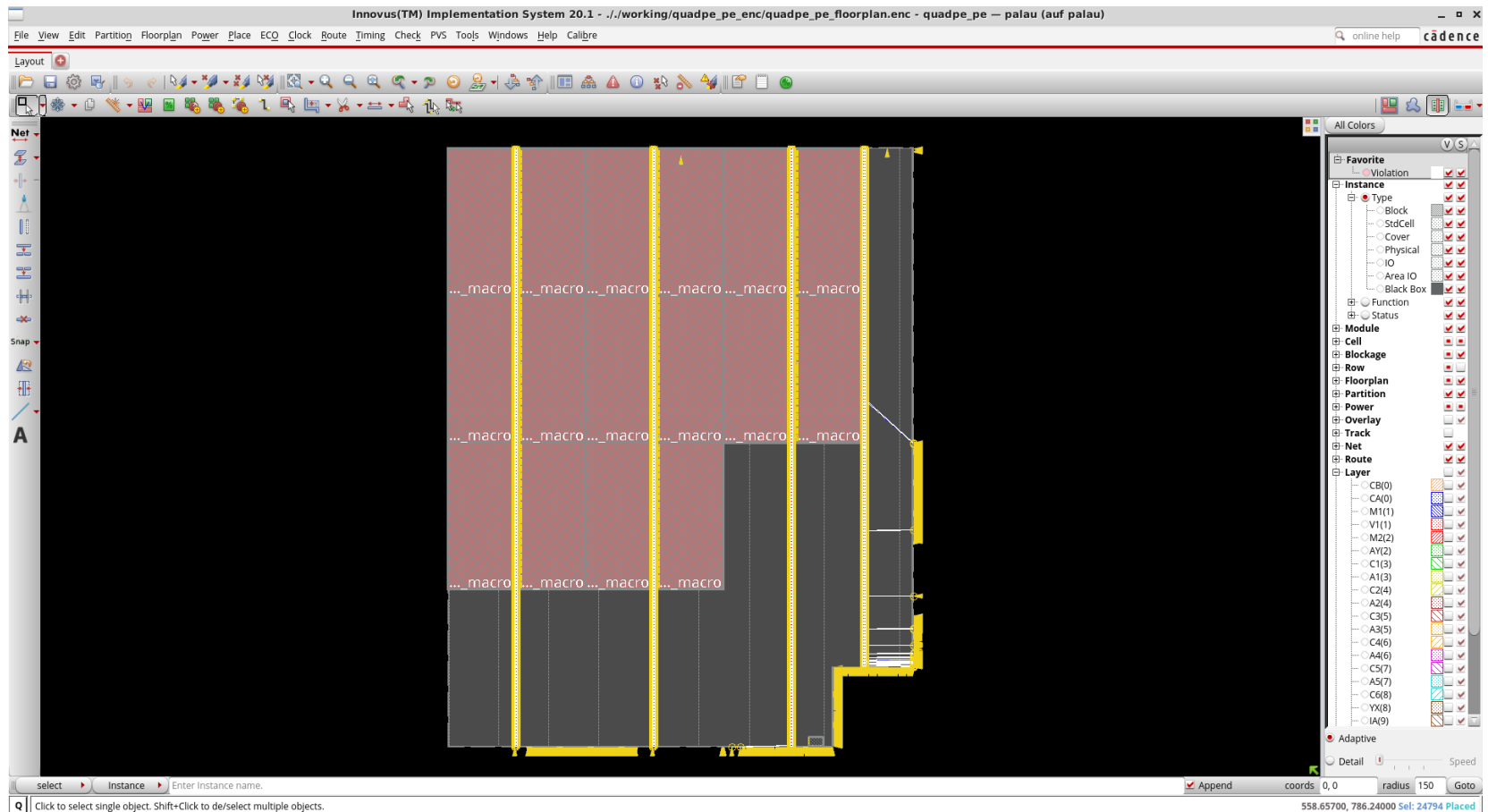
Synthese Netzliste

```
module quadpe_pe_common_onehot2bin(ONEHOT_W8_BIN_W8(onehot_i, bin_o);
    input [7:0] onehot_i;
    output [7:0] bin_o;
    wire [7:0] onehot_i;
    wire [7:0] bin_o;
    wire n_0, n_1, n_2, n_5, n_6, n_7, n_8;
    assign bin_o[3] = 1'b0;
    assign bin_o[4] = 1'b0;
    assign bin_o[5] = 1'b0;
    assign bin_o[6] = 1'b0;
    assign bin_o[7] = 1'b0;
    RI08T_STSLVT32_INVFX005 FE_OF0C13706_MAST_S_gnt_5_0(.A (onehot_i[5]),
        .Z (n_0));
    RI08T_STSLVT24_NAND2X040 g114_5477(.A (n_5), .B (n_7), .Z
        (bin_o[1]));
    RI08T_STSLVT24_OR2X060 g115_2398(.A (n_6), .B (n_8), .Z (bin_o[0]));
    RI08T_STSLVT24_INVX020 g116(.A (n_7), .Z (n_8));
    RI08T_STSLVT28_AOI21ANX040 g117_5107(.AN (bin_o[2]), .B
        (onehot_i[3]), .C (onehot_i[7]), .Z (n_7));
    RI08T_STSLVT28_OAI22X010 g118_6260(.A (n_1), .B (bin_o[2]), .C
        (n_0), .D (onehot_i[6]), .Z (n_6));
    RI08T_STSLVT24_AOI21ANX010 g119_4319(.AN (bin_o[2]), .B
        (onehot_i[2]), .C (onehot_i[6]), .Z (n_5));
    RI08T_STSLVT24_OR3X020 g121_8428(.A (onehot_i[6]), .B (onehot_i[7]),
        .C (n_2), .Z (bin_o[2]));
    RI08T_STSLVT24_OR2X005 g122_5526(.A (onehot_i[4]), .B (onehot_i[5]),
        .Z (n_2));
    RI08T_STSLVT36_NAND2ANX005 g123_6783(.AN (onehot_i[2]), .B
        (onehot_i[1]), .Z (n_1));
endmodule
```

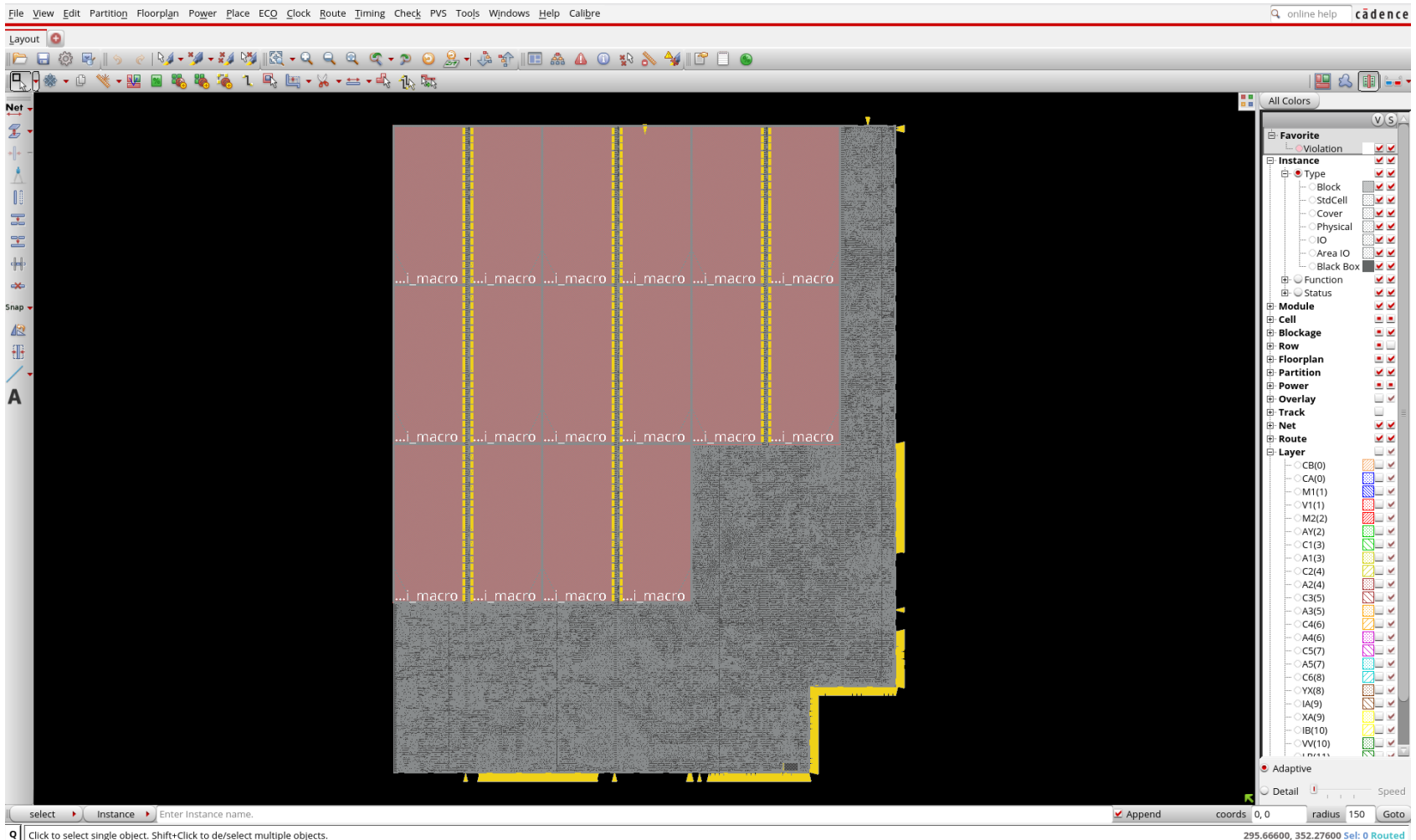
- Definition der Makro Größe und Form
- Platzieren von Hard-Makros (z.B. SRAMs)
- Festlegen der IO-Pin Positionen



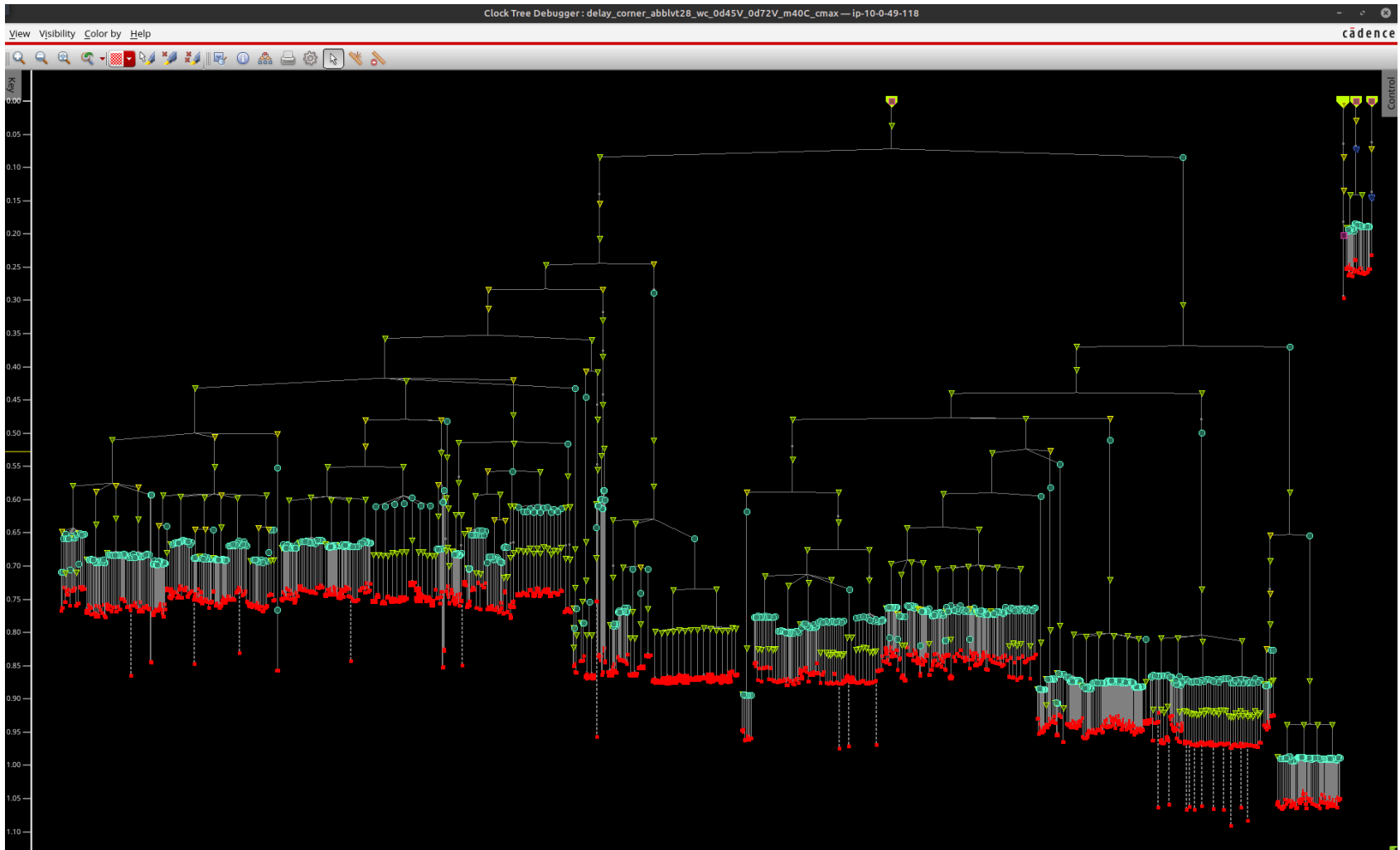
- Definition des Power-Meshs
- Festlegen der Position und Verdrahtung der Power Switches



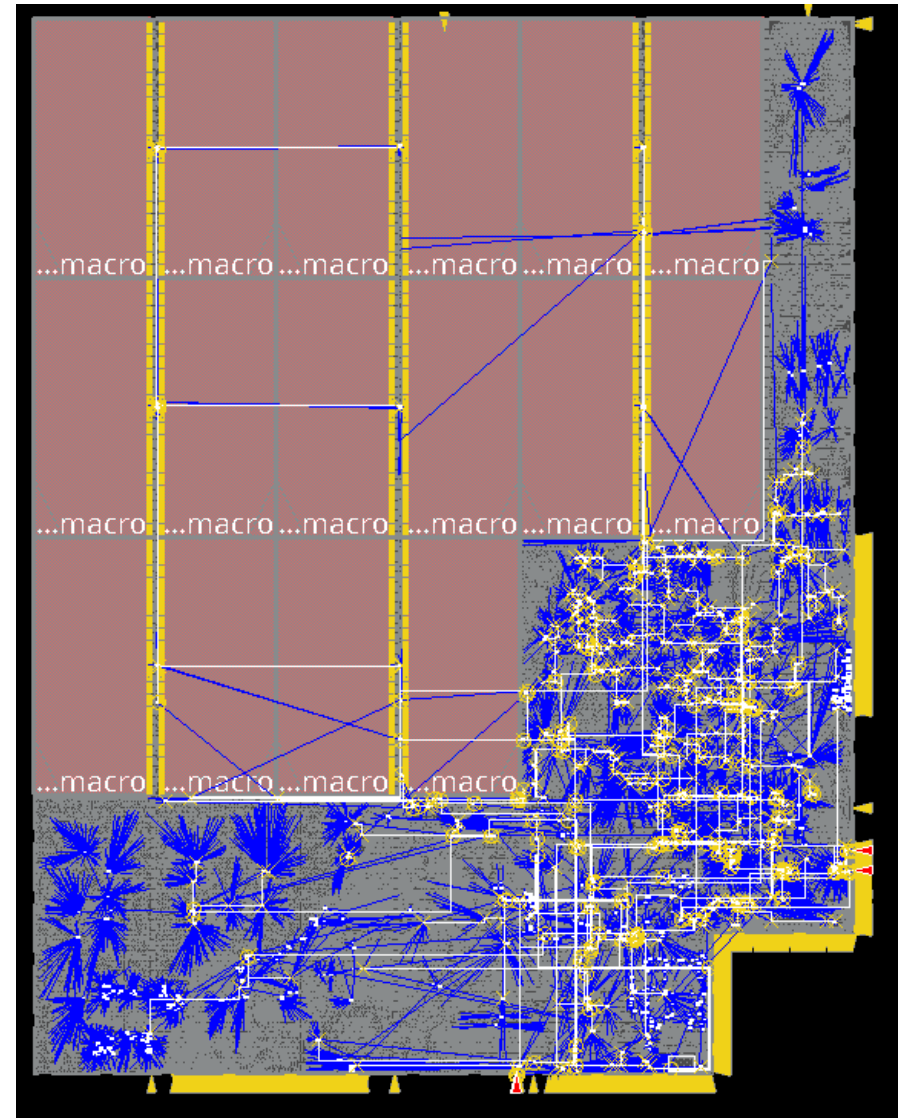
- Automatisches, timing-Driven Placement der Standardzellen



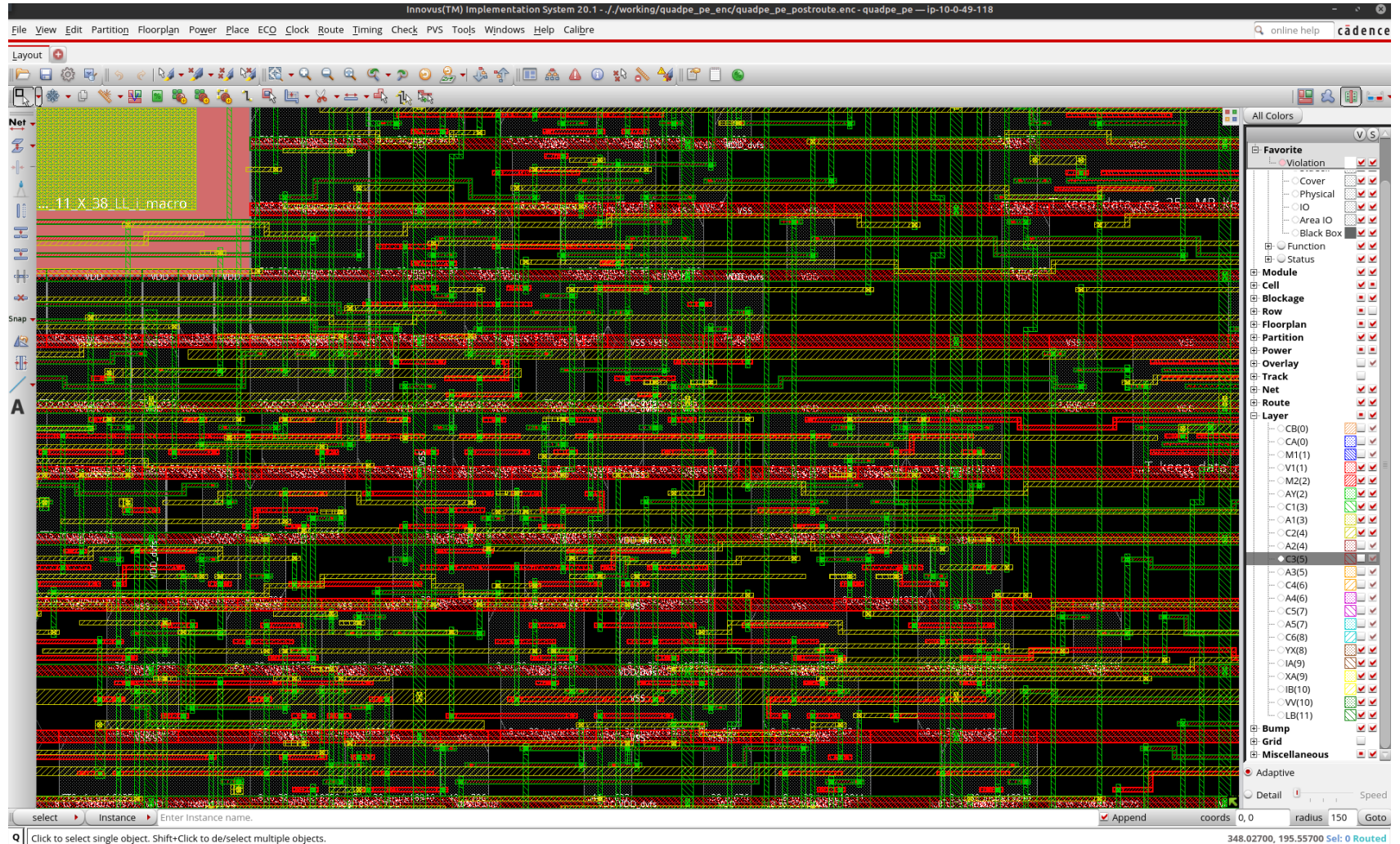
- Definition und Synthese des Takt-Baums



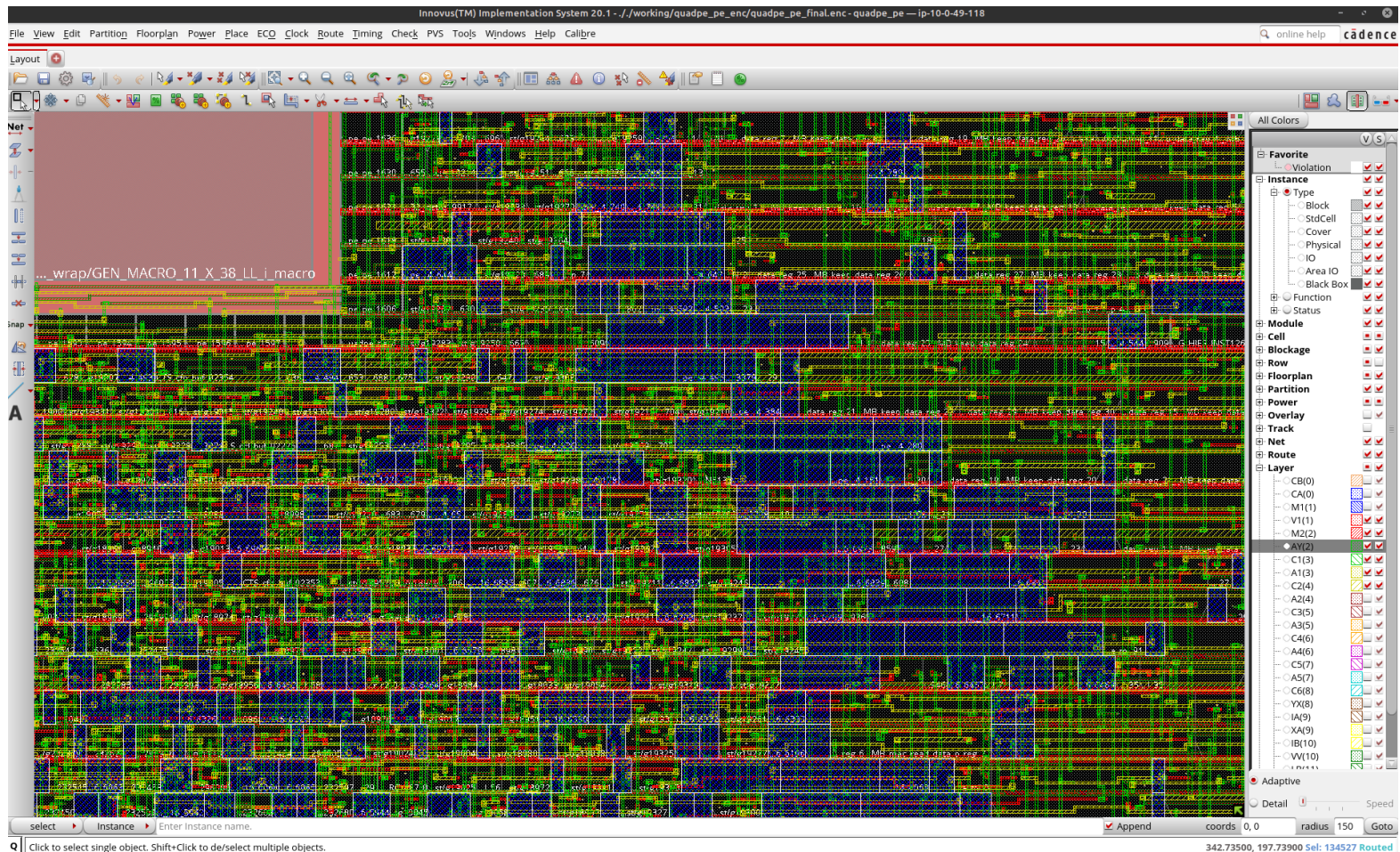
- Platzieren und Verdrahten der Takt-Baum Zellen



- Verdrahten der Standardzellen



- Einfügen von **Filler Zellen** (Kapazitiv)
- Ggf. Einfügen von METAL-FILL Strukturen für homogene Dichte der Metal Strukturen



- Statische Timing Analyse (STA)
- Physical Verification
 - Design-Rule-Check (DRC)
 - Layout-versus schematic Check (LVS)
 - Electrical Rule Check (ERC)
- **Tape-out**

→ Details siehe Praktikum und
Vorlesung VLSI-Prozessorwurf