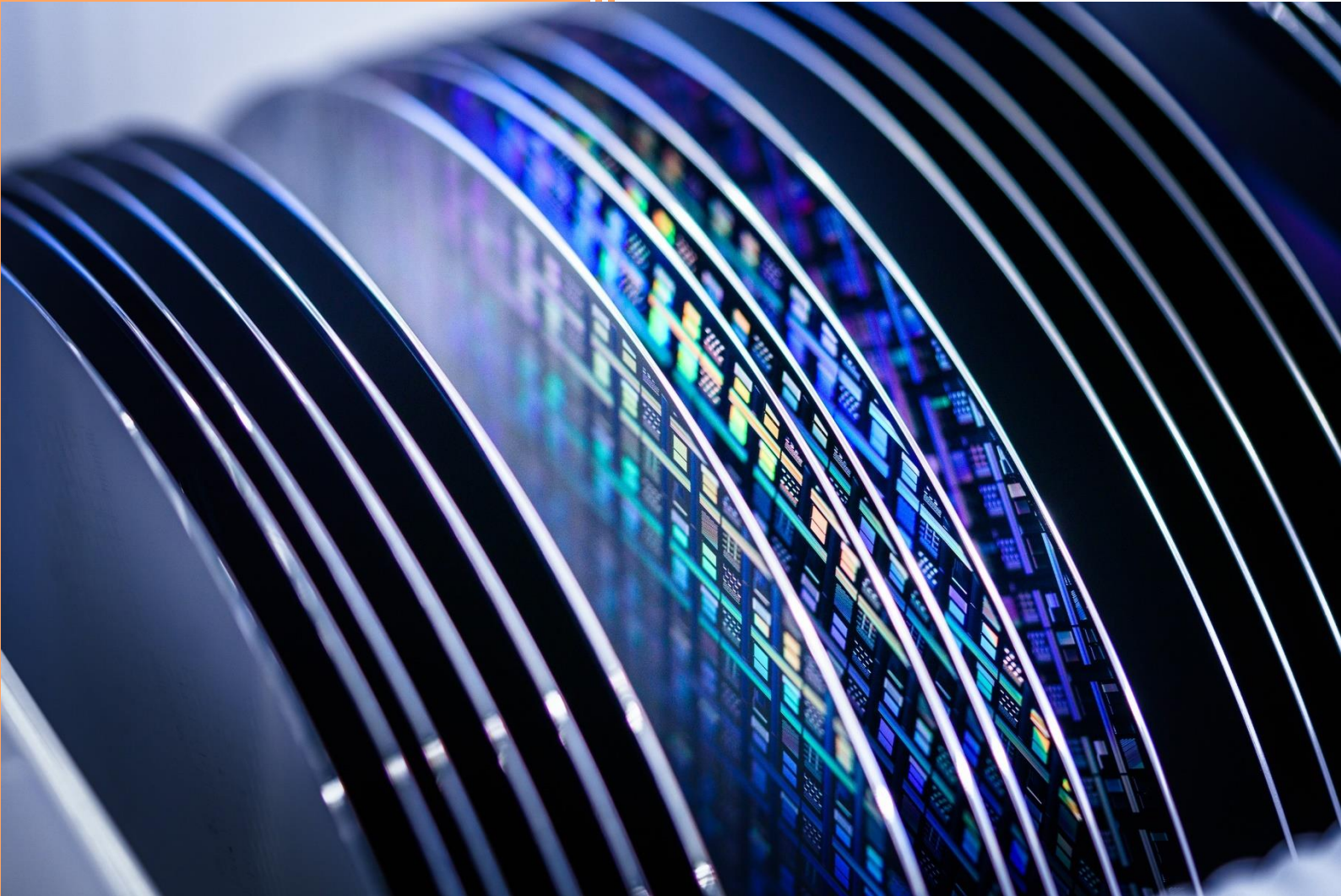


2020/21



Jahresbericht  
Professur für  
Nanoelektronik





## **Jahresbericht 2020/21**

## **Annual Report 2020/21**

**Technische Universität Dresden  
Fakultät Elektrotechnik und Informationstechnik  
Institut für Halbleiter- und Mikrosystemtechnik  
Professur für Nanoelektronik**

**Technische Universität Dresden  
Faculty of Electrical and Computer Engineering  
Institute of Semiconductors and Microsystems  
Chair of Nanoelectronics**

**Anschrift / Address:**

**Technische Universität Dresden  
Fakultät Elektrotechnik und Informationstechnik  
Institut für Halbleiter- und Mikrosystemtechnik  
Professur für Nanoelektronik**

**MIERDEL-Bau  
Nöthnitzer Straße 64  
01187 Dresden**



## Vorwort

Liebe Leserinnen und Leser,

ich freue mich, Ihnen den Jahresbericht 2020/2021 der Professur für Nanoelektronik am Institut für Halbleiter- und Mikrosystemtechnik (IHM) der TU Dresden vorstellen zu können.

Es liegen zwei besondere Jahre hinter uns. Am 1. März 2020 wurde die ehemalige Professur für Halbleitertechnik (Prof. Johann W. Bartha) mit der Professur für Nanoelektronische Materialien fusioniert. Zum 30.06.2020 wurde die neue Stelle dann zur „Professur für Nanoelektronik“ umgewidmet, um dem zukünftigen, weiter gefassten Forschungsprofil Rechnung zu tragen. Nach langen Verhandlungen mit der Universitätsleitung konnte ein Modell gefunden werden, was den Betrieb des Reinraums sowie der Labore im Forschungsgebäude mit all seinen technischen und wissenschaftlichen Möglichkeiten sicherstellt. Nun gilt es, über die Einwerbung von zusätzlichen Projekten/ Drittmitteln ein wissenschaftliches Profil zu formen und zeitgleich die Betreuung und hohe Auslastung der Anlagen zu gewährleisten. Durch das Projekt ForLab – DCST (Forschungslabor Mikroelektronik Deutschland – Dresden Center for Semiconductor Technology) mit einem Investitionsvolumen von knapp fünf Millionen Euro ist der Anlagenpark für die Halbleitertechnologie im Reinraum in den letzten zwei Jahren sehr stark modernisiert und erweitert worden. Diese Ausstattung ermöglicht zukünftige Forschung auf höchstem Niveau. Damit eröffnen sich der Professur für Nanoelektronik Möglichkeiten in neue Forschungsthemen einzusteigen, für welche die Technologie komplexerer Strukturen gefordert ist. Ferner wird die Nutzung der Reinraum-Ressourcen für andere Professuren der TU Dresden, aber auch für externe Nutzer dadurch deutlich attraktiver. In den nächsten Jahren liegt die Herausforderung vor uns, den Zugriff auf die komplexe Infrastruktur zu erleichtern und damit deren Auslastung zu erhöhen.

Die inhaltliche Neuausrichtung der Professur setzt auf der vorhandenen Expertise der beiden Vorgängerprofessuren auf. Von den Themen aus der ehemaligen Professur für Halbleitertechnik soll die Forschung auf dem Gebiet der Atomlagenprozessierung, sowohl im Bereich der Atomlagen-Abscheidung (engl.: atomic layer deposition = ALD) als auch im Bereich der Atomlagen-Ätzung (engl.: atomic layer etching = ALE) weiter ausgebaut werden. Dabei nimmt die Expertise in der *in situ*-Charakterisierung derartiger Prozesse eine zentrale Rolle ein. Durch Kombination der Kompetenzen der ehemaligen Professur Nanoelektronische Materialien auf dem Gebiet der rekonfigurierbaren Nanodraht-Bauelemente, die eng mit den Arbeiten an der NaMLab gGmbH verzahnt sind, und der Erfahrungen der Professur Halbleitertechnik bei Graphen-basierten Bauelementen können neue Ansätze zur Realisierung von rekonfigurierbaren und HF-Bauelementen auf Basis von 2D-Materialien erschlossen werden. Auf dem Gebiet der Bauelemente auf Basis von 2D-Materialien wurde die Zusammenarbeit mit dem Helmholtz-Zentrum Dresden-Rossendorf (HZDR) intensiviert. Die Erfahrungen der Professur Halbleitertechnik in der BEOL-Prozessierung und der TSV-Technologie werden aufgegriffen, um neue Ansätze für die monolithische 3D-Integration zu erschließen. Die bereits existierende Zusammenarbeit mit der NaMLab gGmbH auf dem Gebiet der GaN-basierten Bauelemente kann in der neuen Struktur noch effizienter umgesetzt werden. Schließlich werden die Erfahrungen bei der Prozessierung kompletter Transistoren künftig genutzt, um Transistor-Kreuzpunkt-Strukturen für das neuromorphe Rechnen in Kooperation mit der Professur für Grundlagen der Elektrotechnik der TU Dresden und der NaMLab gGmbH zu realisieren und deren Potential aufzuzeigen.

Kurz nach der erfolgten Fusion der Lehrstühle hat die Corona-Pandemie das Leben aller Menschen, auch an der TU Dresden, maßgeblich verändert. Innerhalb kürzester Zeit mussten Wege gefunden werden, wie der Laborbetrieb unter gleichzeitiger Minimierung der Kontakte zwischen den Mitarbeiterinnen und Mitarbeitern und internen sowie externen Partnern aufrechterhalten werden kann. Eine Verlagerung der Aktivitäten ins Home-Office ist für eine experimentell arbeitende Einrichtung nur in wenigen Fällen möglich. Die starken Einschränkungen für den Präsenzbetrieb haben gerade im Jahr 2020, direkt nach der Zusammenlegung der Professuren, das neue Miteinander und das Zusammenwachsen zu einem neuen Team sehr schwierig gestaltet. Mein Dank gilt hier allen Mitarbeiterinnen und Mitarbeitern der Professur, die es ermöglicht haben, unter diesen extrem schweren Randbedingungen den Laborbetrieb weitestgehend am Leben zu halten und sogar die Präsenzpraktika und den Aufbau der neuen, im Rahmen des Projektes ForLab angeschafften Anlagen, sowie den Laborumzug der ehemaligen Labore der Professur für Nanoelektronische Materialien fast wie geplant zu realisieren.

Die letzten zwei Jahre haben gezeigt, dass trotz schwieriger Umstände die Fusion der beiden Professuren erfolgreich umgesetzt wurde und dadurch für die neu geschaffene Professur gute Arbeitsbedingungen entstanden sind, die bereits in ersten Projekten und einer Reihe von Anträgen sichtbar werden. Wir können deshalb mit Stolz auf das im Berichtszeitraum Erreichte zurück- und mit Zuversicht in die Zukunft blicken.

All das wäre ohne den Einsatz der Mitarbeiterinnen und Mitarbeiter der Professur für Nanoelektronik nicht möglich gewesen. Diesen gilt mein Dank für die erfolgreiche Arbeit in den Jahren 2020/21. Ich freue mich darauf, die gemeinsam begonnenen wissenschaftlichen und organisatorischen Themen in den kommenden Jahren weiter zu entwickeln und zu vertiefen.

Auch allen ehemaligen Teammitgliedern, die mittlerweile die Professur verlassen haben, und allen Kooperationspartnern, z. B. an der NaMLab gGmbH und dem HZDR, aber auch von vielen anderen Einrichtungen möchte ich ganz herzlich für die Zusammenarbeit danken. Ich hoffe sehr, dass die bisherige vertrauensvolle Verbindung auch zur neuen Professur und zum gesamten IHM bestehen bleibt.

Im folgenden Jahresbericht finden Sie einen Überblick über die Aktivitäten an der Professur für Nanoelektronik. Insbesondere werden die einzelnen aktuell laufenden Projekte, die technische Ausstattung in den Laboren, sowie die Lehre/ Ausbildung und die Publikations-tätigkeit beleuchtet.

Ich wünsche Ihnen viel Spaß beim Lesen dieses Jahresberichts und verbleibe mit herzlichen Grüßen



Prof. Dr.-Ing. Thomas Mikolajick  
Professur für Nanoelektronik

## Inhaltsverzeichnis

1	Institutsstruktur/ Organization .....	6
1.1	Institutsleitung/ Management .....	6
1.2	Professur für Nanoelektronik/ Chair of Nanoelectronics.....	6
2	Forschungsfelder und Projektübersicht.....	9
3	Forschungsdienstleistungen der Professur für Nanoelektronik .....	43
4	Labor- und gerätetechnische Ausstattung – Voraussetzung für Ausbildung und Forschung.....	45
4.1	Ausstattung Reinraumlabor.....	46
4.2	Ausstattung FaM.....	47
5	Lehre und Ausbildung .....	48
5.1	Übersicht über die Lehrveranstaltungen.....	48
5.2	Übersicht über angefertigte studentische Arbeiten.....	49
6	Veranstaltungen und Workshops .....	50
6.1	DGKK Workshop 2019 .....	50
6.2	International Memory Workshop (IMW) .....	51
6.3	GMM Arbeitskreis „Materialien für nichtflüchtige Speicher“.....	53
6.4	Erste Tagung des ALPIN – Atomic Layer Processing Innovation Network .....	54
6.5	Dresden Microelectronics Academy (DMA) .....	55
7	Publikationen .....	57

## 1 Institutsstruktur/ Organization

### 1.1 Institutsleitung/ Management

Institutsdirektor/ Head of institute:

**Thomas Mikolajick** Prof. Dr.-Ing. 0351-463-41106

Professuren/ Chairs:

Optoelektronische Bauelemente u. Systeme/ Optoelectronic Components and Systems  
**Hubert Lakner** Prof. Dr.-Ing. 0351-463-39733

Mikrosystemtechnik/ Microsystems

**Andreas Richter** Prof. Dr.-Ing. 0351-463-36336

Nanoelektronik/ Nanoelectronics

**Thomas Mikolajick** Prof. Dr.-Ing. 0351-463-41106

Seniorprofessur Halbleitertechnik/ Senior Chair of Semiconductor Technology

**Johann Wolfgang Bartha** Prof. Dr. rer. nat. 0351-463-35468

### 1.2 Professur für Nanoelektronik/ Chair of Nanoelectronics

Leiter/ Head:

Mikolajick, Thomas Prof. Dr.-Ing. 0351-463-41106  
[thomas.mikolajick@tu-dresden.de](mailto:thomas.mikolajick@tu-dresden.de)

Sekretariat/ Office:

Töpfer, Anett 0351-463-35468  
[anett.toepfer@tu-dresden.de](mailto:anett.toepfer@tu-dresden.de)

Projekt-Management/ Project management

Tetzlaff, Manuela Dipl.-Phys. 0351-463-37363  
[manuela.tetzlaff@tu-dresden.de](mailto:manuela.tetzlaff@tu-dresden.de)

Wissenschaftliche Mitarbeiter/ Scientific Staff:

Albert, Matthias Dr.-Ing. 0351-463-36412  
[matthias.albert@tu-dresden.de](mailto:matthias.albert@tu-dresden.de)

Deltschew, Rumen Dr.-Ing. 0351-463-36424  
[rumen.deltschew@tu-dresden.de](mailto:rumen.deltschew@tu-dresden.de)

Estel, Kathrin Dipl.-Chem. 0351-463-33092  
[kathrin.estel@tu-dresden.de](mailto:kathrin.estel@tu-dresden.de)

Fei, Wenwen Dr.-Ing. 0351-463-39085  
[wenwen.fei@tu-dresden.de](mailto:wenwen.fei@tu-dresden.de)

Heinzig, André Dr.-Ing. 0351-463-39129  
[andre.heinzig@tu-dresden.de](mailto:andre.heinzig@tu-dresden.de)



Jahn, Andreas	Dipl.-Phys.	0351-463-36425 <a href="mailto:andreas.jahn@tu-dresden.de">andreas.jahn@tu-dresden.de</a>
Killge, Sebastian	Dipl.-Ing.	0351-463-35161 <a href="mailto:sebastian.killge@tu-dresden.de">sebastian.killge@tu-dresden.de</a>
Knaut, Martin	Dr.-Ing.	0351-463-33817 <a href="mailto:martin.knaut@tu-dresden.de">martin.knaut@tu-dresden.de</a>
Künzelmann, Ulrich	Dr. rer. nat.	0351- 463-36409 <a href="mailto:ulrich.kuenzelmann@tu-dresden.de">ulrich.kuenzelmann@tu-dresden.de</a>
Leszczynski, Sebastian	Dipl.-Ing.	0351- 463-32448 <a href="mailto:sebastian_sylwester.leszczynski@tu-dresden.de">sebastian_sylwester.leszczynski@tu-dresden.de</a>
Mauersberger, Tom	M. Sc.	0351- 463-39084 <a href="mailto:tom.mauersberger@tu-dresden.de">tom.mauersberger@tu-dresden.de</a>
Max, Benjamin	Dr.-Ing.	0351-463-39201 <a href="mailto:benjamin.max@tu-dresden.de">benjamin.max@tu-dresden.de</a>
Nebe, Florian	Dipl.-Ing.	0351-463-36432 <a href="mailto:florian.nebe1@tu-dresden.de">florian.nebe1@tu-dresden.de</a>
Neumann, Volker	Dr. rer. nat.	0351-463-35161 <a href="mailto:volker.neumann@tu-dresden.de">volker.neumann@tu-dresden.de</a>
Reif, Johanna	Dipl.-Ing.	0351-463-36335 <a href="mailto:johanna.reif@tu-dresden.de">johanna.reif@tu-dresden.de</a>
Richter, Karola	Dr.-Ing.	0351-463-36424 <a href="mailto:karola.richter@tu-dresden.de">karola.richter@tu-dresden.de</a>
Schmult, Stefan	Dr. rer. nat.	0351-463-43987 <a href="mailto:stefan.schmult@tu-dresden.de">stefan.schmult@tu-dresden.de</a>
Strobel, Carsten	Dr.-Ing.	0351-463-33151 <a href="mailto:carsten.strobel@tu-dresden.de">carsten.strobel@tu-dresden.de</a>

### Techniker/ Technicians:

Ebel, Kendy		0351-463-36973 <a href="mailto:kendy.ebel@tu-dresden.de">kendy.ebel@tu-dresden.de</a>
Hiess, André	Dipl.-Ing. (FH)	0351-463-36407 <a href="mailto:andre.hiess@tu-dresden.de">andre.hiess@tu-dresden.de</a>
Olschewski, Steffen		0351- 463-42877 <a href="mailto:steffen.olschewski@tu-dresden.de">steffen.olschewski@tu-dresden.de</a>
Ritter, Zulfija		0351-463-36395 <a href="mailto:zulfija.ritter@tu-dresden.de">zulfija.ritter@tu-dresden.de</a>
Völkel, Sandra		0351-463-36418 <a href="mailto:sandra.voelkel@tu-dresden.de">sandra.voelkel@tu-dresden.de</a>
Waurenschk, Sylva	Dipl.-Chem.	0351-463-33092 <a href="mailto:sylva.waurenschk@tu-dresden.de">sylva.waurenschk@tu-dresden.de</a>

### Im Jahr 2020/21 haben uns verlassen:

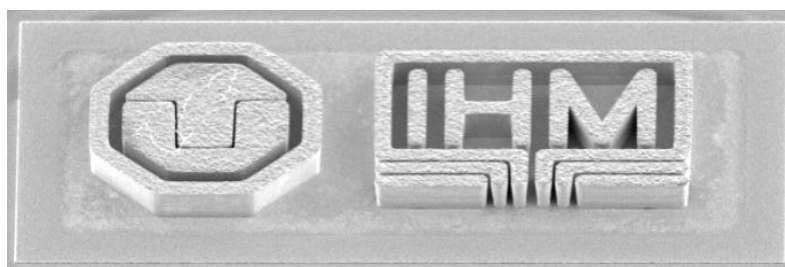
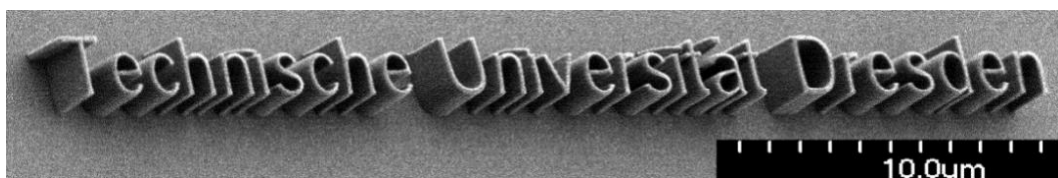
Chen, Hui-Tzu	
Hiller, Daniel	Dr. rer. nat.
Pohl, Diana	Dr.-Ing.
Wenzel, Christian	Dr. rer. nat.
Winkler, Felix	Dr.-Ing.



### Gruppenfoto Juli 2021

v. l. n. r.: Thomas Mikolajick, Daniel Hiller, Tom Mauersberger, Anett Töpfer, Wenwen Fei, Manuela Tetzlaff, Zulfija Ritter, Ulrich Künzelmann, Karola Richter, Florian Nebe, Sylva Waurenschk, Sebastian Leszczynski, André Heinzig, Kendy Ebel, Sebastian Killge, Carsten Strobel, Sandra Völkel, Benjamin Max, André Hiess, Kathrin Estel, Matthias Albert, Johann W. Bartha, Martin Knaut.

nicht im Bild: Rumen Deltschew, Andreas Jahn, Volker Neumann, Steffen Olschewski, Johanna Reif, Stefan Schmult.



### 2 Forschungsfelder und Projektübersicht

Die Professur für Nanoelektronik beschäftigt sich mit Technologien, Werkstoffen und Bauelementen der Mikro- und Nanoelektronik und der damit verbundenen Prozessintegration. Es geht dabei um das Zusammenspiel der Fertigungsprozesse von Dünnschichtmaterialien, der grundlegenden Materialuntersuchung und den daraus resultierenden Bauelementen. Das hierfür notwendige Know-how erstreckt sich dabei über einen breiten Bereich der Natur- und Ingenieurwissenschaften.

In den letzten Jahren widmete sich die Professur für Nanoelektronik insbesondere verschiedenen Aspekten der Einführung alternativer Beschichtungstechniken und Technologien der Herstellung höchstintegrierter Bauelemente und mikroelektronischer Systeme. Schwerpunkte waren dabei unter anderem:

- die ALD-Beschichtungstechnik (Atomlagenabscheidung) mit integrierten *in situ*-Analyseverfahren,
- die TSV-Technologie („Through Silicon Via“, Durchkontaktierung von Siliciumwafern) zur Herstellung kompakter mikroelektronischer Systeme,
- die Herstellung und Charakterisierung von GaN-basierten Heterostrukturen mittels Molekularstrahlepitaxie (MBE),
- die Untersuchung von Silicium-basierten Nanodrähten sowie geeigneten 2D-Materialien für (rekonfigurierbare) Transistortechnologien,
- die Fabrikation und elektrische Charakterisierung von nichtflüchtigen Speicherelementen (ferroelektrische, memristive und memkapazitive Eigenschaften), sowohl in Einzelbauelementen als auch in Kreuzpunkt-Matrixstrukturen für die Anwendung in neuromorphen Schaltungen.

Die Professur unterhält hierfür auf 400 m<sup>2</sup> ein modernes Reinraumlabor, das z. T. Industriestandards übertrifft. Auch wenn die Ausstattung des Reinraums für „On-Chip-Interconnects“ konzipiert wurde, werden auch Projekte zu waferbasierter Aufbau- und Verbindungstechnik (Flip-Chip-Bumping, Through-Silicon-Via-Technik, 3D-Integration), zu MEMS und optoelektronischen Bauelementen, Graphen-basierten Prozessen oder Silicium-basierten Dünnschichtsolarzellen bearbeitet. Einen breiten Raum nehmen Untersuchungen von Atomlagenabscheidungsprozessen (ALD) ein, die hier mit einer einzigartigen Kombination von *in situ*-Oberflächen- und Schichtanalytik erforscht werden. Zusätzlich stehen im Forschungsgebäude am Mierdelbau (FaM) weitere Räumlichkeiten zur Verfügung, u. a. eine Elektronikwerkstatt, ein Chemielabor inkl. Grauraumbereich für galvanische Abscheidungen, ein kleiner Reinraumbereich mit Glovebox, Oxidationsofen und Ag-Verdampfer, Räume mit physikalischer Messtechnik (AFM, REM) sowie ein Wafermesstechnik-Labor (Grauraum) zur elektrischen Charakterisierung.

Auf den nächsten Seiten folgt ein Überblick über Projekte, die zum aktuellen Zeitpunkt an der Professur für Nanoelektronik bearbeitet werden.

## Atomlagenabscheidung und -ätzen (ALD, atomic layer deposition & ALE, atomic layer etching)

**Gefördert von:** Sächsische Aufbaubank (SAB), Projekt-Nr. 100319818

**Projektpartner:** Professur für Nanoelektronik (IHM, TU Dresden), Fraunhofer-Institut für Keramische Technologien, FHR Anlagenbau, SEMPA SYSTEMS GmbH, FAP GmbH Dresden

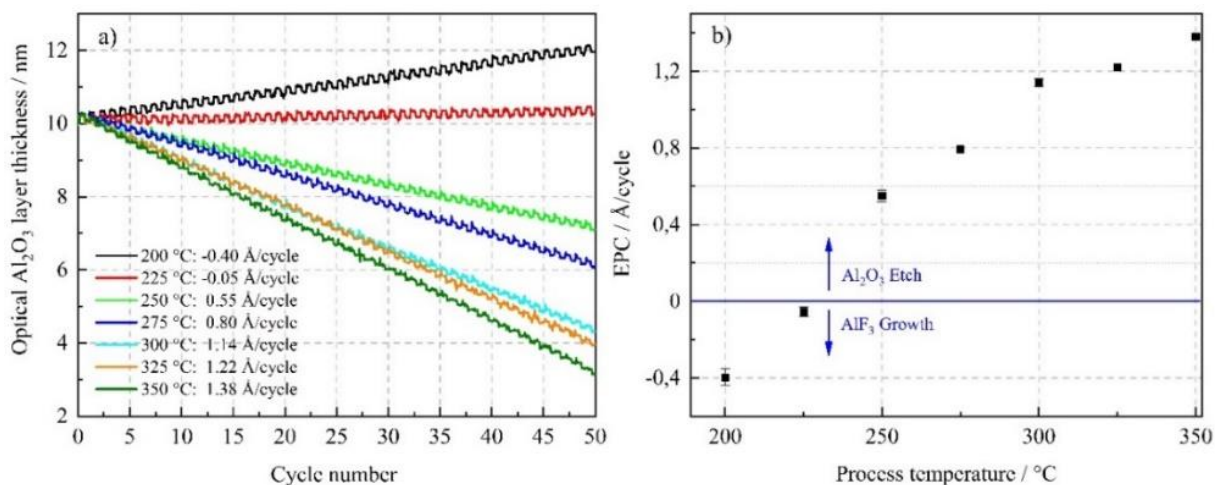
**Projektlaufzeit:** 01.10.2018 – 31.03.2022

**Ansprechpartner:** Johanna Reif

Ziel des Projektes ist neben der Entwicklung und Untersuchung von Prozessen im Bereich weniger Atomlagen auf der Basis der Atomlagenabscheidung (ALD) und des Atomlagenätzens (ALE) auch der Aufbau von Kompetenz zur Prozess- und Materialcharakterisierung im Bereich der Nanotechnologie speziell für diese Techniken.

Die Arbeit am Institut für Halbleiter- und Mikrosystemtechnik (IHM) konzentrierte sich in diesem Projekt auf die Entwicklung und Charakterisierung des thermischen Atomlagenätzens (thALE) - eine neuartige Möglichkeit, Materialien mit atomarer Präzision isotrop zu ätzen. Durch geeignete Wahl der Ätzmittel und Prozessparameter kann die thALE zur selektiven Strukturierung von Nanostrukturen eingesetzt werden.

Im Projekt konnte am IHM mit Hilfe von *in situ*-Ellipsometrie- (SE) und *in vacuo*-Röntgenphotoelektronenspektroskopie (XPS) ein selbstbegrenzter thermischer ALE-Prozess zum Ätzen von  $\text{Al}_2\text{O}_3$ -Schichten mit Trimethylaluminium (TMA) und Flussäure (HF) entwickelt, charakterisiert und optimiert werden. Dieser  $\text{Al}_2\text{O}_3$ -ALE-Prozess umfasst folgende Schritte: (1) TMA-Exposition, (2) Spülen mit Argon, (3) HF-Exposition und (4) Spülen mit Argon. Die zu ätzenden dünnen  $\text{Al}_2\text{O}_3$ -Schichten wurden zuvor mit einem thermischen ALD-Prozess abgeschlossen.



**Abbildung 1** a) Optische  $\text{Al}_2\text{O}_3$ -Schichtdicke, aufgetragen über der Zyklenzahl für verschiedene Substrattemperaturen, b) die daraus resultierenden Ätzraten.

*In situ*-Ellipsometer-Messungen ermöglichten die Untersuchung der Einflüsse verschiedener Prozessparameter (Pulszeiten, Temperatur, Druck) auf die Ätzrate, die als Schichtabtrag pro Zyklus definiert ist (EPC, etch per cycle). Es konnte beispielsweise gezeigt werden, dass die Prozess Temperatur wie auch bei den ALD-Prozessen einen erheblichen Einfluss auf die ALE-Prozesse hat. In Abbildung 1a) ist die optische  $\text{Al}_2\text{O}_3$ -Schichtdicke für verschiedene Prozess Temperaturen während 50 ALE-Zyklen dargestellt. Alle aufgenommenen Kurven verlaufen linear, auch im Anfangsbereich, d. h. während der ersten Zyklen ist das Ätzverhalten weder substratgehemmt noch –beschleunigt. Die aus den SE-Ergebnissen resultierenden Ätzraten sind über der Temperatur in Abbildung 1b) aufgetragen. Bei einer Prozess Temperatur von 250 °C beträgt der EPC 0,55 Å/Zyklus. Eine Temperaturerhöhung um 100 °C resultiert in einem höheren Schichtabtrag pro Zyklus (1,38 Å/Zyklus). Bei einer Temperatur von 225 °C bleibt die  $\text{Al}_2\text{O}_3$ -Schichtdicke in etwa konstant. Es findet demzufolge kein Ätzen statt. Unterhalb von 225 °C wird kein Material entfernt – sondern abgeschieden. Die Ätzrate ist daher in Abbildung 1b) negativ dargestellt.

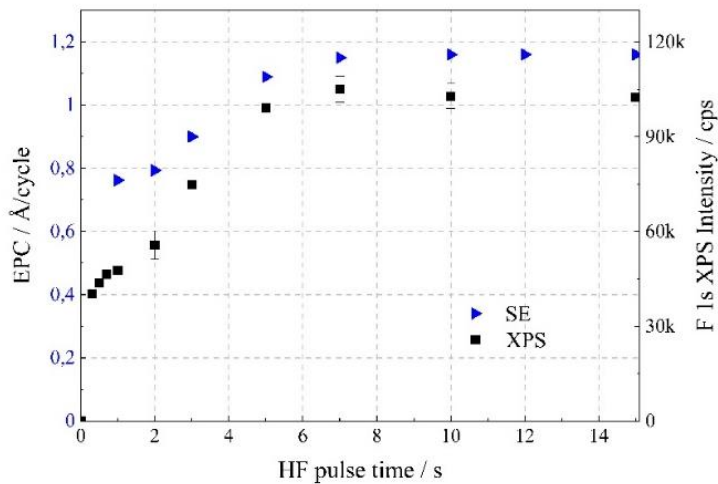
Unter Verwendung von sequentiellen, thermischen Oberflächenreaktionen mit den Reaktanten HF und TMA kann je nach Prozess Temperatur entweder  $\text{Al}_2\text{O}_3$  geätzt oder  $\text{AlF}_3$  abgeschieden werden [1]. Bei einer Prozess Temperatur von 200 °C liegt die Wachstumsrate von  $\text{AlF}_3$  bei 0,4 Å/Zyklus.

Es konnte gezeigt werden, dass der Prozessdruck und die Temperatur einen Einfluss auf den ALE-Prozess hat. Mit zunehmenden Prozessdruck steigt die Ätzrate an. Bei einem hohen Prozessdruck konnten mehr Al-F-Bindungen und weniger Al-O-Bindungen mit *in vacuo*-XPS-Messungen detektiert werden. Die Dicke der fluorierten  $\text{Al}_2\text{OF}$ -Schicht auf der  $\text{Al}_2\text{O}_3$ -Oberfläche nimmt mit dem Druck im HF-Puls bis zu einem Sättigungspunkt zu [2]. Das Fluor dringt im HF-Puls bei höherem Druck tiefer in die  $\text{Al}_2\text{O}_3$ -Oberfläche ein, weshalb im darauffolgenden TMA-Puls mehr Material entfernt werden kann und damit die Ätzrate größer ist.

Nach erfolgreicher Optimierung der Prozessparameter wurden *in vacuo*-XPS-Messungen durchgeführt, um das Ätzverhalten und die dabei ablaufenden Reaktionsmechanismen detailliert zu untersuchen. Aufgrund der hohen Empfindlichkeit von XPS-Messungen können auch minimale Änderungen von Schichtzusammensetzung oder chemischen Bindungszuständen detektiert werden. Der ALE-Prozess wurde bei solch einer Versuchsreihe an beliebigen Stellen, auch innerhalb eines Zyklus, also nach einem Halbzyklus, unterbrochen und die Probe in der Oberflächenanalyseeinheit mikroanalytisch untersucht. Die Ergebnisse zeigten unter anderem, dass Fluor-Atome nicht durch eine dünne  $\text{Al}_2\text{O}_3$ -Schicht bis hin zum Substrat diffundieren können. Jedoch bleibt nach jedem vollständigen Zyklus ein Rest an Fluoratomen an der Oberfläche gebunden. Idealerweise sollte die gesamte, im HF-Puls gebildete  $\text{AlF}$ -Schicht während der TMA-Exposition entfernt werden. Dies ist aber nicht der Fall – es bleibt nach jedem vollständigen ALE-Zyklus ein an der Oberfläche gebundener Fluor-Anteil zurück.

Die Ergebnisse zeigen, dass die Kombination aus *in situ*-SE- und *in vacuo*-XPS-Messungen sehr gut geeignet ist, um einen Atomlagenprozess zu entwickeln und zu optimieren.

Der thermische  $\text{Al}_2\text{O}_3$ -ALE-Prozess kann als Grundlage zum Ätzen weiterer Materialien dienen.



**Abbildung 2** Verlauf der Ätzrate (blau) und der F-1s-Peak-Intensität (schwarz) nach dem ersten HF-Puls in Abhängigkeit von der HF-Pulszeit. Die Oberflächenreaktion ist selbstbegrenzend.

## Referenzen

- [1] J. W. DuMont et al., „**Competition between Al<sub>2</sub>O<sub>3</sub> atomic layer etching and AlF<sub>3</sub> atomic layer deposition using sequential exposures of trimethylaluminum and hydrogen fluoride**“, Journal of Chemical Physics, 146, 052819, 2017.  
DOI: [10.1063/1.4973310](https://doi.org/10.1063/1.4973310)
- [2] A. M. Cano et al., „**Effect of HF Pressure on Thermal Al<sub>2</sub>O<sub>3</sub> Atomic Layer Etch Rates and Al<sub>2</sub>O<sub>3</sub> Fluorination**“, Journal of Physical Chemistry C, 123, 16, 10346-10355, 2019.  
DOI: [10.1021/acs.jpcc.9b00124](https://doi.org/10.1021/acs.jpcc.9b00124)

## Entwicklung eines Antennen-Moduls auf Basis von durchkontaktierten Glas-Interposern (AMINO)

---

<b>Förderer:</b>	<b>Bundesministerium für Wirtschaft und Energie (BMWi) - Zentrales Innovationsprogramm Mittelstand (ZIM), FKZ: ZF 4236704 LT9</b>
<b>Teilprojekt IHM:</b>	<b>Entwicklung, Abscheidung und Charakterisierung von ALD-Schichten als Barriere- und Keimschicht. Entwicklung und Charakterisierung der benötigten RDL-Schichten, insbesondere die Cu-Galvanisierung der gelochten Glassubstrate.</b>
<b>Projektpartner:</b>	<b>Professur für Nanoelektronik (IHM, TU Dresden), Plan Optik AG, A.N. Solutions</b>
<b>Laufzeit:</b>	<b>01.05.2019 - 31.12.2021</b>
<b>Ansprechpartner:</b>	<b>Sebastian Killge</b>

### Zielstellung des Gesamtprojektes

Das Kooperationsprojekt hat das Ziel, ein Antennen-Modul auf Basis von durchkontaktierten Glas-Interposern zu entwickeln. Arbeiten und Zielstellung der Industriepartner waren:

- Plan Optik AG: Entwicklung, Herstellung und Charakterisierung von gelochten Glas-substraten sowie Entwicklung einer Plugging-Technologie
- A.N. Solutions: Planung, Entwurf, Modellierung und HF-Charakterisierung der hergestellten Interposer und des Antennen-Moduls
- Professur für Nanoelektronik: Entwicklung, Abscheidung und Charakterisierung von ALD-Schichten als Keim- und Barrierschicht. Entwicklung und Charakterisierung der benötigten RDL Layer. Dies betrifft insbesondere die Cu-Galvanisierung der gelochten Glassubstrate.

Die fortschreitende Miniaturisierung, Erhöhung der Integrationsdichte und Anforderungen an leistungsfähigere Signalführung schaffen die Notwendigkeit für 3D-Integration. Für eine effiziente Kommunikation mit hohen Übertragungsraten im 3D-Chipstapel oder 3D-System-Package sind Interposer-Technologien für die Umverdrahtung entwickelt worden, wobei aktuell überwiegend organische Interposer eingesetzt werden. Letztere können zwar kostengünstig hergestellt werden, sind aber den modernen und steigenden Anforderungen an 3D-Integration und hohen Übertragungsraten nicht gewachsen. Interposer aus Glas mit niederohmigen Durchkontaktierungen (through glass vertical interconnect access, TGV) bieten eine kostengünstige Alternative zur teuren Silicium-Interposer-Technologie. TGV-Interposer sind aufgrund der technischen Vorteile eines niedrigen Dielektrikums für hohe Übertragungsfrequenzen, der optischen Eigenschaften, der Einstellbarkeit der Materialeigenschaften insbesondere im Wärmeausdehnungskoeffizienten (CTE) und der im Vergleich zur Silicium-Technologie nicht benötigten Isolationsschichten eine vielversprechende Technologie für dreidimensionale, hochdichte Hybridintegration von IC-Chips, für Hochfrequenz-Anwendungen und für optoelektronische Bauelemente.

Die Herstellung von Glas-Interposern mit niederohmigen Durchkontakten und beidseitiger Umverdrahtung bis hin zum Aufbau eines Antennenmoduls für das verbreitete 2,4 GHz ISM-Band ist das Ziel des angestrebten Kooperationsprojektes.

Insgesamt bietet die Glas-Interposer-Technologie eine neuartige, derzeit nicht verfügbare Entwicklungsplattform für die Herstellung innovativer Produkte mit höchster Integrationsdichte, wie sie zur Realisierung des Antennenmoduls verwendet werden soll. Darüber hinaus bietet das eingesetzte Glassubstrat den Vorteil nahezu unveränderlicher Eigenschaften über einen großen Temperaturbereich und eine hohe Robustheit gegen mechanischen Stress. Dies erlaubt den Einsatz der Antennenmodule in extremen Temperaturbereichen.

### Technologische Entwicklung

Die technologische Entwicklung des Gesamtprojekts besteht aus zwei Teilen. Zum einen soll ein Technologiesprung hin zum Glas-Interposer im Waferformat bis 150 mm Durchmesser mit beidseitiger Umverdrahtung und einer Substratdicke bis 700  $\mu\text{m}$  realisiert werden, wodurch eine zuverlässige Weiterprozessierung der Interposer mit herkömmlichem Halbleitertechnik ohne temporäre Trägersystemtechnik ermöglicht wird. Dies reduziert die Produktionskosten und erhöht die mechanische Stabilität des Endprodukts. Darüber hinaus können verbesserte Hochfrequenz-Eigenschaften erreicht werden, wie sie zur Realisierung des geplanten Antennenmoduls notwendig sind. Eine gesteigerte Prozessführung und Integrationsmöglichkeit ergibt sich zusätzlich durch die geplante Entwicklung einer Plugging-Technologie auf Basis von abgeformten dielektrischen Polymeren, um gefüllte Durchkontakte und damit eine geschlossene Interposer-Oberfläche bereitzustellen.

Zum anderen sollen die Möglichkeiten dieser neuartigen Prozesstechnologie erstmals zur Entwicklung eines Antennenmoduls auf Basis von durchkontaktierten Glas-Interposern mit geringerem Flächenbedarf und höherer Robustheit gegen Temperatureinflüsse angewandt werden. Die Abhängigkeit der Antennencharakteristik vom Design der Zielapplikation wird entscheidend von der gewählten Antennenstruktur bestimmt. Ziel der Entwicklung ist es, diese Abhängigkeit größtmöglich zu reduzieren. Aussichtsreiche Antennenstrukturen sind beispielsweise Planar Inverted F Antennen (PIFA), Schlitzantennen, Schlitzantennen mit Mäanderstrukturen sowie differentielle Antennenstrukturen, welche optional induktiv oder kapazitiv verkürzt werden können. Darüber hinaus bietet sich die Möglichkeit, im Anschluss an das Projekt Anpassnetzwerke mit und ohne Nutzung der Plugging-Technologie auf dem Glas-Interposer zu integrieren.

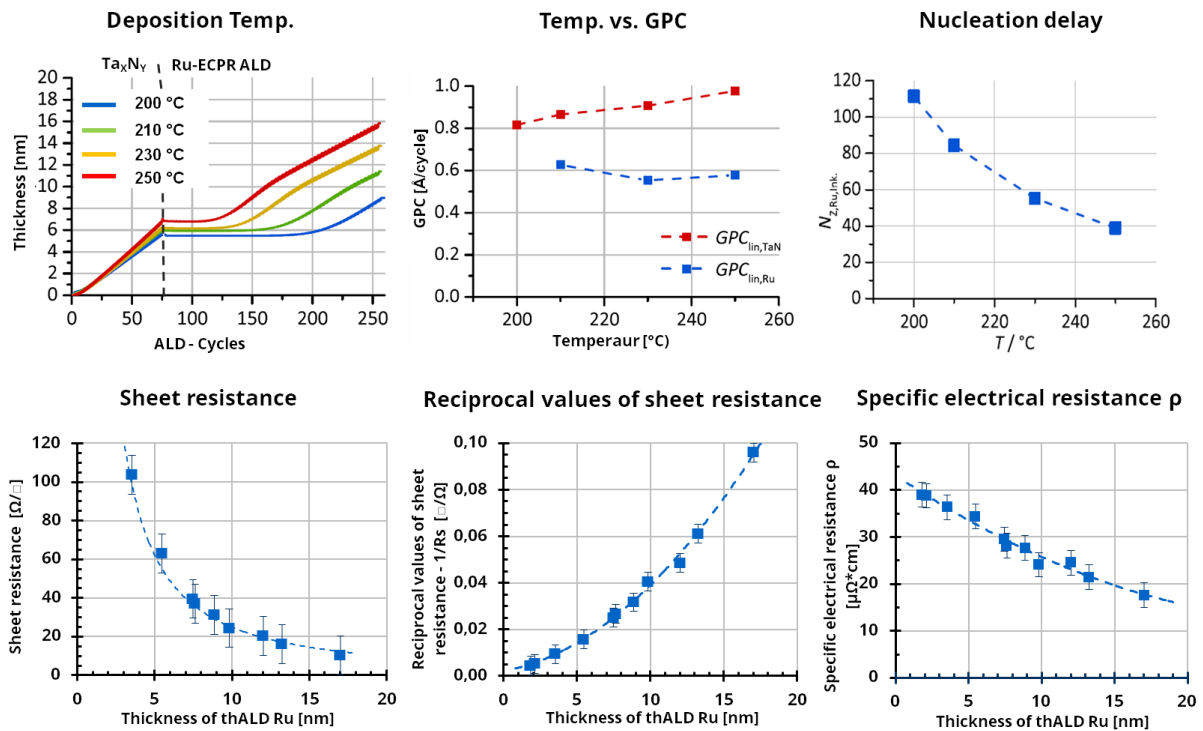
Ziel ist die Entwicklung eines Herstellungsprozesses für Antennenmodule auf Basis durchkontaktierter Glasinterposer in 150 mm Substratgröße. Der Prozess umfasst zunächst die Herstellung einer metallischen Keimschicht durch Atomlagenabscheidung und die anschließende galvanische Kupfermetallisierung (Cu-ECD). Danach erfolgt die lithographische und nasschemische Strukturierung der Umverdrahtung, sowie Lotstopppassivierung und Lothügelabscheidung (Abbildungen 3 bis 5).

Mittels thermischer Atomlagenabscheidung (ALD) wurden ultradünne Schichten von Tantalnitrid (TaN) und Ruthenium (Ru) als Barriere- und Keimschicht auf dem Glas-Interposer aufgebracht (Abbildung 1). Die elektrisch gut leitfähige Rutheniumschicht als Keimschicht gewährleistet mit hoher Konformität auch bei hohem Aspektverhältnis die anschließende elektrochemische Abscheidung von Kupfer (Cu-ECD) in den Glas-Durchkontaktierungen (Abbildung 2 und 6).

Ziel der Untersuchungen zur galvanischen Abscheidung von Kupfer (auf 150 mm Glaswafer, ca. 500  $\mu\text{m}$  dick, mit TGV-Bohrungen mit Durchmesser 150  $\mu\text{m}$ ), war eine gut haftende und

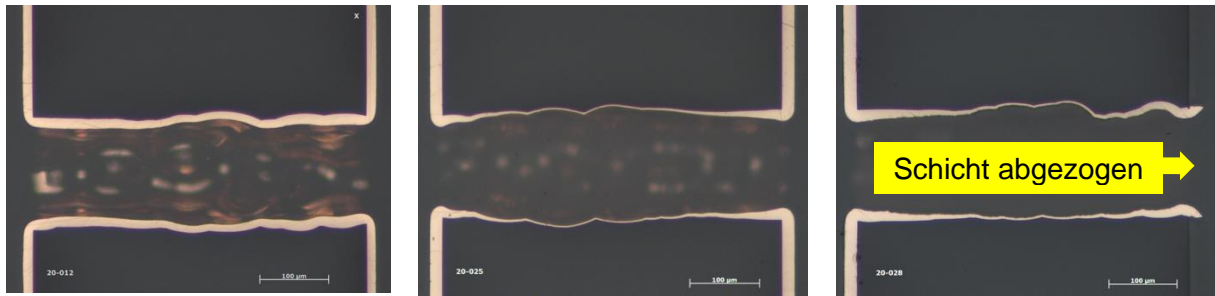


konforme 15  $\mu\text{m}$ -dicke Cu-Schicht mit möglichst geringer Rauheit zu erzeugen. Getestet wurden dafür drei verschiedene Elektrolyte (Abbildung 2): einer, der für Durchkontaktierungen (through silicon via, TSV) in der Mikroelektronik-Industrie entwickelt wurde (Spherolyte Cu TSV III, „SIII“, Atotech), ein anderer, der für mikroelektronische Anwendungen (z. B. pattern plating) eingesetzt wird (Semiplate Cu 100, „CU100“, NB technologies), sowie ein herkömmlicher Leiterplatten-Elektrolyt (Cuprostar LP-1, MacDermid Enthone).



**Abbildung 1** ALD-Abscheidung von Ta bzw. Ru; o. l.: Schichtwachstum, gemessen durch *in situ*-Ellipsometrie; o. m.: Wachstumsrate pro Abscheidezyklus auf Si (GPC) in Abhängigkeit von der Abscheidetemperatur; o. r.: Verzögerung der Keimbildung (nucleation delay) in Abhängigkeit von der Temperatur; untere Reihe: Schichtwiderstand, dessen Reziprokes und spezifischer Widerstand des TaN|Ru-Schichtstapels in Abhängigkeit von der Ru-Schichtdicke.

Die finale Metallisierung und Umverdrahtung (RDL, eine Ebene pro Substratseite) erfolgte durch einen Galvanik-Schritt, wobei die Strukturierung durch lithografische Verfahren ermöglicht wurde (Abbildung 7). Die angestrebten Parameter (Cu-Schicht  $\geq 15 \mu\text{m}$ ; Liner-Metallisierung im Durchgangsloch; RDL: L/S  $(200 \pm 1) \mu\text{m} / (10 \mu\text{m} \pm 1) \mu\text{m}$ ) konnten realisiert werden. Nach der Charakterisierung erfolgt die Verkapselung der Bauelemente, diese erfolgt durch eine CVD-Passivierungsschicht (50 nm SiN und 50 nm SiO<sub>2</sub>). Anschließend werden die SnPb-Lothügel (SLOTLET K 10 1, Schloetter) mit UBM-Metallisierung in zuvor nasschemisch geöffneten Kontaktöffnungen abgeschieden.

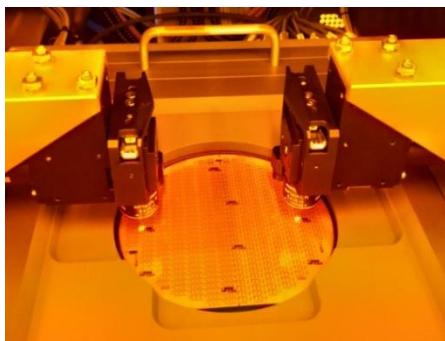


SIII-Elektrolyt, 1 + 2 mA/cm<sup>2</sup>/ 360 min:  
Cu-Schicht haftend und konform  
R<sub>Z</sub>: 0,30 µm.

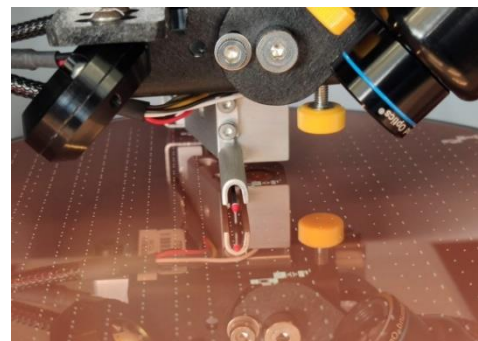
CU100: 5 + 10 mA/cm<sup>2</sup>/ 80 min:  
Cu-Schicht haftend, aber nicht konform  
R<sub>Z</sub>: 0,26 µm.

CU100: 2 + 5 + 10 mA/cm<sup>2</sup>/ 100 min:  
Cu-Schicht konform, aber nicht haftend  
R<sub>Z</sub>: 1,00 µm.

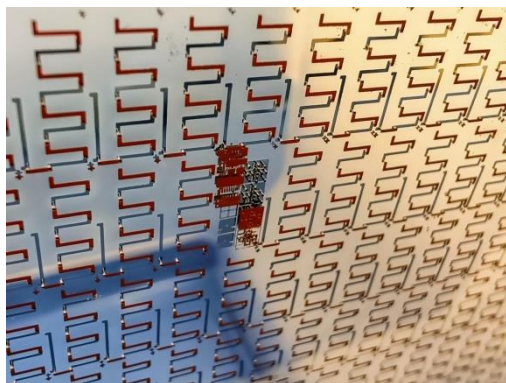
**Abbildung 2** TGV nach Cu-Abscheidung und Schliifpräparation; links: Ergebnis in SIII-Elektrolyt (Atotech; mit Nafion-Membran); Mitte und rechts: Ergebnis in CU100-Elektrolyt (NB technologies; unterschiedliches Stromregime).



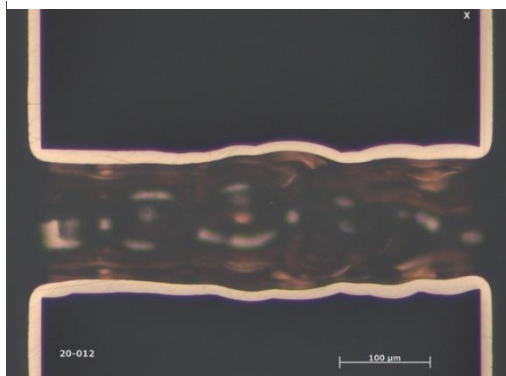
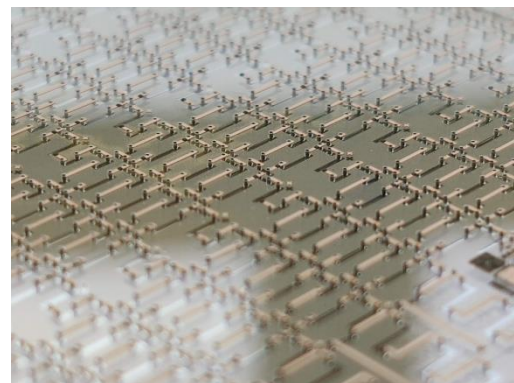
**Abbildung 3** 6"-Wafer-Prozessierung im Mask Aligner Süss MA/BA 8.



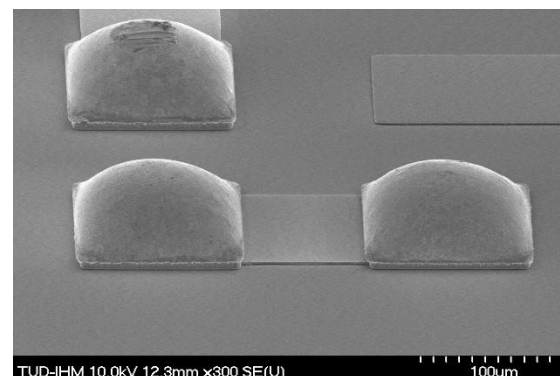
**Abbildung 4** 6"-Wafer-Charakterisierung im Tastschnittgerät Dektak XT.



**Abbildung 5** Antennenstrukturen (15 µm Cu | 8 nm Ru | 4 nm TaN) auf Glassubstraten mit Durchgangskontakten (TGV).



**Abbildung 6** Schliifpräparation eines TGV mit 15 µm ECD-Cu auf 4 nm TaN | 8 nm Ru (beides ALD): high acid (HA)-SIII-Elektrolyt (HA-SIII: 1,73 M H<sub>2</sub>SO<sub>4</sub>, 0,27 M Cu, 1,7 mM Cl<sup>-</sup>; vgl. Abb. 2); Schichtstapel konform und haftend.



**Abbildung 7** REM-Aufnahme nach SnPb-Lothügelabscheidung (SLOTLET K 10 1, Schloetter) mit UBM-Metallisierung in Kontaktöffnungen; Lotdepots 100 µm; Lötstopppassivierung: 50 nm SiN + 50 nm SiO<sub>2</sub>.

## Biologisch inspiriertes Rechnen mit Speicherelementen auf Crossbar-Strukturen (BioMCross)

---

- Teilprojekt IHM:** Herstellung und Charakterisierung von Memristor-basierten Crossbar-Strukturen sowie von Transistoren mit memkapazitivem Gatestapel
- Projektpartner:** Professur für Nanoelektronik (IHM, TU Dresden), NaMLab gGmbH, Professur für Grundlagen der Elektrotechnik (TU Dresden)
- Projektlaufzeit:** 01.04.2021 – 31.03.2024
- Ansprechpartner:** Dr. Benjamin Max, Prof. Thomas Mikolajick

Memristoren sind elektrische Bauelemente auf Nanometer-Skala, die einen nicht-konstanten Widerstand besitzen und dessen Wert davon abhängt, wieviel Strom bzw. Ladung in vorhergehenden Schaltprozessen durch ihn hindurchgeflossen ist. Die Grundidee dieses Projekts ist es, die memristiven und memkapazitiven Eigenschaften dieser Speicherbauelemente zu nutzen, um sowohl die Datenverarbeitung als auch die Datenspeicherung in einem Bauteil zu realisieren. In konventionellen Computer-Architekturen müssen die Daten zwischen Speicher und CPU transferiert werden, was auf Kosten der Geschwindigkeit und der Leistungsaufnahme geschieht, der sogenannte von-Neumann-Flaschenhals. Memristoren hingegen können sich als Computing-in-Memory-Bauteile nutzen lassen, womit die Limitierung durch den aufwendigen Datentransfer umgangen werden kann. In Crossbar-Strukturen werden die Memristoren an den Kreuzungspunkten von nanoskaligen Leiterbahnen fabriziert, wodurch sich die Möglichkeit zum massiv parallelen Rechnen ergibt. In diesen Matrix-Strukturen können dann nicht nur Rechenoperationen wie die Matrix-Vektor-Multiplikation ausgeführt werden, sondern es können durch die kontinuierliche Widerstandsänderung im Memristor auch neuronale Netze mit verschiedenen Architekturen (z. B. Perzeptrons, Spiking Neural Networks) realisiert werden. In diesem Projekt sollen die kombinierten memristiven und memkapazitiven Effekte in  $\text{Al}_2\text{O}_3/\text{NbO}_x$ -Bi-Layer-Schichten genutzt werden, um zum einen Crossbar-Strukturen mit analog schaltenden Bauelementen (memristiv) – siehe Abbildung 1 – und zum anderen auch Neurotransistoren mit veränderlicher Gatekapazität (memkapazitiv) herzustellen.

Vorarbeiten der Projektpartner haben gezeigt, dass Nioboxid-basierte Bauelemente verschiedene Schaltmodi zeigen können, z. B. filamentäres Schalten, Threshold-Switching oder analoges Schalten mit memkapazitiven Effekten. Dabei haben die analogen Bauelemente den Vorteil, dass kein Formierschritt und somit kein Auswahlelement integriert werden muss, was die Komplexität der Matrixstrukturen erheblich vereinfacht [1]. Zusätzlich konnte gezeigt werden, dass sich neben dem Widerstand auch die Kapazität der Zelle ändern lässt. Dies konnte mit einem Modell erklärt werden, in dem substöchiometrisches  $\text{NbO}_x$  an der Titan-Elektrode die Schottky-Barriere ändert, damit Ladungsträger leichter an die Grenzfläche gelangen können und die Nioboxidschicht elektrisch transparent werden lassen. Der genaue Schaltmechanismus soll in diesem Projekt weiter untersucht und modelliert werden. Die

Änderung der Kapazität in Abhängigkeit der elektrischen Spannung in einem solchen Schichtsystem ist in Abbildung 2 dargestellt [2].

An der Professur für Nanoelektronik sollen in Zusammenarbeit mit der NaMLab gGmbH komplexe Crossbar-Matrixstrukturen mit analog schaltenden memristiven und memkapazitiven  $\text{Al}_2\text{O}_3/\text{NbO}_x$ -Bauelementen hergestellt werden. Dabei liegt ein Hauptaugenmerk auf Strukturen, die eine linear veränderliche, symmetrische und unterscheidbare Widerstandsmodulation in den einzelnen Matrix-Elementen erlauben, wodurch sich die Matrix-Vektor-Multiplikation erreichen lässt. An/Aus-Verhältnis, Schaltamplituden und -geschwindigkeiten sowie Zyklenfestigkeit und Datenhaltung können dabei untersucht werden.

In einem parallelen Schritt soll der zweilagige Schichtstapel in das Gate eines planaren MOSFETs integriert werden (siehe Abbildung 3). Durch die memkapazitiven Effekte lässt sich das verstärkende Verhalten des Transistors nutzen, um temporale integrate-and-fire-Neuronen zu simulieren. Dabei bewirkt ein ausreichend hoher Eingangspuls am Gate eine Änderung der Gatekapazität und damit eine Änderung der Kanalleitfähigkeit, wodurch sich das Ausgangssignal des Transistors-Drainstroms ändert. Dazu wird die vorhandene Transistorroute am IHM, die alle Einzelschritte bis hin zum fertigen Transistor mit insgesamt 5 Lithographie-Masken beinhaltet, vollständig genutzt.

Die experimentellen Ergebnisse sowohl der grundlegenden Zwei-Lagen-Strukturen, der Crossbar-Strukturen als auch der Neurotransistoren sollen dann für umfangreiche Modellierungen genutzt werden. Dadurch kann das elektrische Schaltverhalten verstanden und optimiert werden und es wird auch möglich sein, große Schaltkreise hoher Komplexität zu simulieren, die im Rahmen der experimentellen Möglichkeiten nicht hergestellt werden können. Zusätzlich soll – basierend auf den Einzel-Bauelement-Simulationen – die gesamte Systemperformance verschiedener neuronale Netzwerke über Simulationen untersucht werden. Daneben erfolgt eine Optimierung der Algorithmen, mit denen die Crossbar-Strukturen angesteuert und ausgelesen werden.

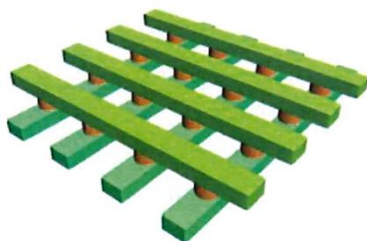


Abbildung 1 Crossbar-Struktur.

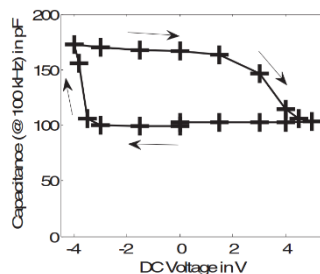


Abbildung 2 Memkapazitives Schaltverhalten von  $\text{Al}_2\text{O}_3/\text{NbO}_x$ -Schichten.

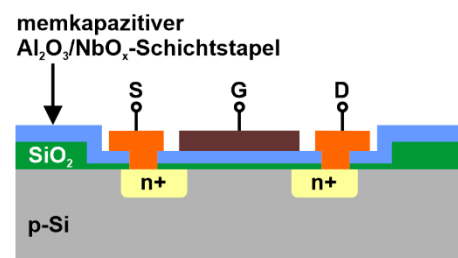


Abbildung 3 Integrationschema für n-MOSFETs für Neurotransistoren mit memkapazitivem Gateoxid.

## Referenzen

- [1] H. Wylezich et al., „Integration of niobium oxide-based resistive switching cells with different select properties into nanostructured cross-bar arrays“, Semicon. Sci. Technol., 30, 11, 2015.  
DOI: [10.1088/0268-1242/30/11/115014](https://doi.org/10.1088/0268-1242/30/11/115014)
- [2] S. Slesazek et al., „Analog memristive and memcapacitive properties of  $\text{Ti}/\text{Al}_2\text{O}_3/\text{Nb}_2\text{O}_5/\text{Ti}$  resistive switches“, LASCAS Conference, 2017.  
DOI: [10.1109/LASCAS.2017.7948106](https://doi.org/10.1109/LASCAS.2017.7948106)

## Dynamische Abscheidung von a-Si und TCO-Schichten für Hocheffizienz-Silicium-Solarzellen als Schlüssel für hochproduktive Fertigung bei reduzierten Herstellungskosten (DYNASTO)

---

**Teilprojekt IHM:** Dynamische PECVD für Hocheffizienz Si-Solarzellen – Grundlagenuntersuchungen

**Projektpartner:** Professur für Nanoelektronik (IHM, TU Dresden), VON ARDENNE GmbH, PLASUS GmbH, NXT GmbH, Fraunhofer ISE, Helmholtz-Zentrum Berlin (HZB), FAP GmbH, Photovoltaik Institut Berlin

**Projektlaufzeit:** 01.01.2019 – 31.06.2022

**Ansprechpartner:** Dr. Carsten Strobel, Dr. Matthias Albert, Prof. Johann W. Bartha

Die bisher hauptsächlich nur statische RF-PECVD Fertigung von a-Si:H Schichten für Silicium-Hocheffizienz solarzellen ist in ihrer Produktivität begrenzt durch lange Transfer-/Pumpzeiten, geringe Beschichtungsraten, hohen Leistungsverbrauch durch überproportional große Elektrodenflächen, ineffiziente Gasausnutzung, Wartungsanfälligkeit durch mechanische Hub-/Handlersysteme und enge Toleranzen bei großflächiger Elektrodengestaltung.

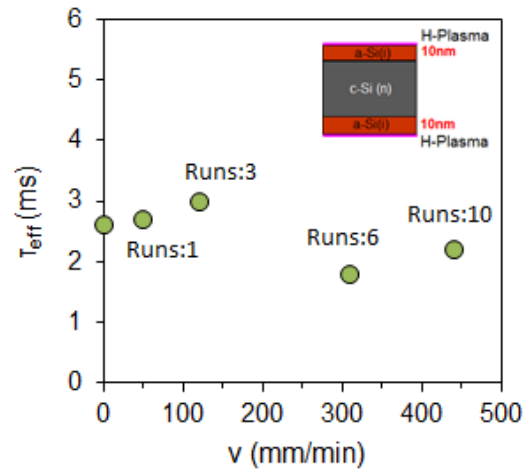
Das Ziel ist es, mittels in ihrer Breite aufskalierbaren Linienquellen [1] und alternativ mittels LPCVD-Verfahren und mittels PVD (Sputtern) eine dynamische Fertigung für TOPCon [2] Solarzellen zu entwickeln und damit eine hohe Produktivität bei niedrigen Kosten zu erreichen. Der Ansatz dafür ist die Verwendung VHF-tauglicher Linienquellen und LPCVD-Anordnung sowie Sputtertargets, die eine hohe Abscheiderate erreichen können. Damit sind industrietaugliche Prozesse für TOPCon-artige Solarzellentechnologien mit einer hohen Gasausnutzung und einem effizienten kostengünstigen Anlagendesign möglich.

In Abbildung 1 ist die Pilotanlage zur dynamischen Fertigung von Hocheffizienz solarzellen (z. B. TOPCon) mittels linearer Plasmaquellen, die in diesem Projekt verwendet wird, dargestellt. Abbildung 2 zeigt die effektive Ladungsträgerlebensdauer ( $\tau_{\text{eff}}$ ) als Funktion der Substratgeschwindigkeit während der RF-PECVD-Abscheidung von a-Si:H auf polierten c-Si Wafern. Es konnte nachgewiesen werden, dass  $\tau_{\text{eff}}$  trotz starker Erhöhung der Substratgeschwindigkeit nahezu konstant bleibt, obwohl das Plasma bei hohen Geschwindigkeiten bis zu zehnmal durchquert werden musste, um die anvisierte Schichtdicke zu erreichen.

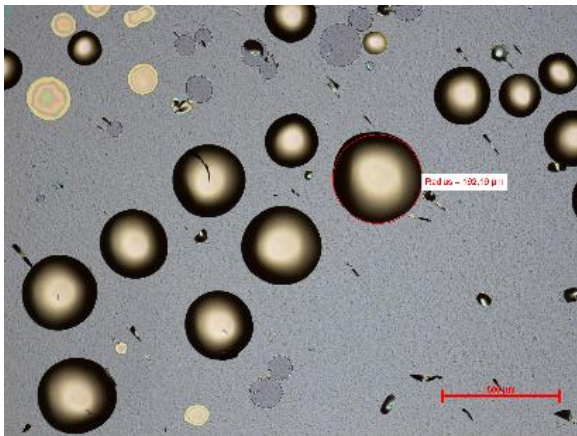
In Abbildung 3 und 4 ist ein Vergleich der Waferoberfläche (TOPCon Struktur mit 1,5 nm SiO<sub>2</sub>) nach a-Si:H Abscheidung mittels dynamischer RF-PECVD (Abbildung 3) und VHF-PECVD (Abbildung 4) dargestellt. Während es bei der nieder-Temperatur RF-Abscheidung zu wasserstoffinduzierter Blasenbildung (Blistering) kommt, kann durch Verwendung von VHF-PECVD eine blasenfreie Abscheidung gewährleistet werden. Dies liegt daran, dass die VHF-Abscheidung verfahrensbedingt zu poröserem Material führt, wodurch der Wasserstoff besser aus den hergestellten Schichten austreten kann. Damit kann eine hochproduktive dynamische Fertigung von a-Si:H mittels VHF-PECVD (140 MHz) für TOPCon Solarzellen sichergestellt werden.



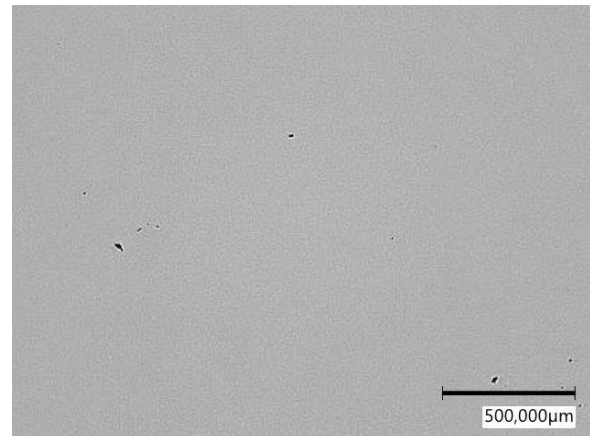
**Abbildung 1** Forschungsanlage mit integrierter VHF-PECVD, RF-PECVD, HWCVD im dynamischen Betrieb mit linearen Beschichtungsquellen.



**Abbildung 2** Effektive Ladungsträgerlebensdauer als Funktion der Substratgeschwindigkeit (dynamische RF-PECVD).



**Abbildung 3** RF-PECVD a-Si:H Schicht auf TOPCon Substraten (Si/SiO<sub>2</sub> 1,5 nm) mit Blistering.



**Abbildung 4** VHF-PECVD a-Si:H Schicht auf TOPCon Substraten (Si/SiO<sub>2</sub> 1,5 nm) ohne Blistering.

## Referenzen

- [1] C. Strobel et al., „**Productivity potential of an inline deposition system for amorphous and microcrystalline silicon solar cells**“, Solar Energy Materials and Solar Cells, Volume 93, Issue 9, 2009.  
DOI: [10.1016/j.solmat.2009.04.023](https://doi.org/10.1016/j.solmat.2009.04.023)
- [2] B. Kafle et al., „**TOPCon – Technology options for cost efficient industrial manufacturing**“, Solar Energy Materials and Solar Cells, Volume 227, 2021.  
DOI: [10.1016/j.solmat.2021.111100](https://doi.org/10.1016/j.solmat.2021.111100)

## ESF-Nachwuchsforschergruppe „Selbstlernende und flexible Elektronik durch inhärente Bauelement-Rekonfiguration“ (ReLearning)

---

**Teilprojekt IHM:            Technologie rekonfigurierbarer Bauelemente**

**Projektpartner/beteiligte Fakultäten und Professuren der TU Dresden:**

Fakultät Elektrotechnik und Informationstechnik            Prof. Dr. Thomas Mikolajick  
Prof. Dr. Stefan Mannsfeld  
Prof. Dr. Frank Ellinger

Fakultät für Physik            Prof. Dr. Karl Leo  
Prof. Dr. Manfred Helm  
Prof. Dr. Sebastian Reineke

Fakultät für Chemie            Prof. Dr. Brigitte Voit

Fakultät für Informatik            Prof. Dr. Akash Kumar  
Prof. Dr. Diana Göhringer

**Projektlaufzeit:                            01.04.2021 – 31.05.2022**

**Ansprechpartner:                            Dr. André Heinzig, Prof. Thomas Mikolajick**

Künstliche neuronale Netze (KNN) sind informationsverarbeitende Systeme, die in zunehmendem Maße zur Lösung komplexer Anwendungen der Signalverarbeitung und Mustererkennung eingesetzt werden. Insbesondere durch die Möglichkeit der selbständigen Konfiguration von Parametern und Topologie, unter Verwendung von Trainingsalgorithmen, zeigen diese im Bereich der Klassifikation und bei Prognosen zum Verhalten eines Prozesses höhere Trefferquoten als herkömmliche Systeme. Darüber hinaus ermöglichen sie eine Lösungsfindung zu Problemstellungen, bei denen eine systematische Beschreibung der Eingangsdaten und Lösungsstrategien fehlt oder nicht explizit durchführbar ist.

Bisher werden künstliche neuronale Netze fast ausschließlich durch Softwarelösungen repräsentiert, die auf herkömmlichen CPUs, GPUs oder ASICs ausgeführt werden. Aufgrund der Trennung von Rechen- und Speicherwerk (von-Neumann-Architektur) sowie durch das statische Verhalten herkömmlicher Transistoren (MOSFETs, BJT) ist diese Softwareimplementierung für die Verarbeitung in Bezug auf Energieverbrauch, Latenzzeit und Leistungsfähigkeit ineffizient.

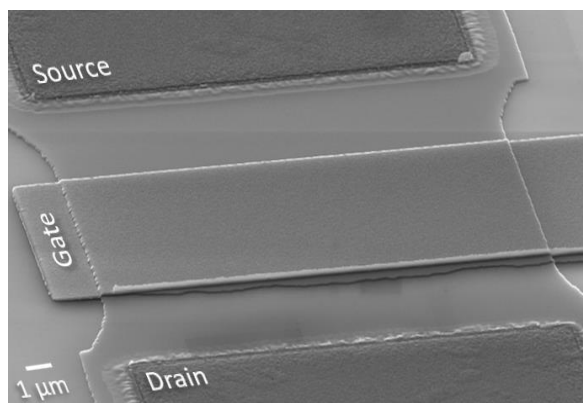
Das Ziel des Projekts „ReLearning“ ist es, Ansätze zur Realisierung **hardwarebasierter künstlicher neuronaler Netzwerke** zu erforschen. Dazu sollen diese in Bezug auf Topographie und Konfigurationsmöglichkeit aus „rekonfigurierbaren Feldeffekttransistoren“ (RFETs) aufgebaut werden [1]. In der interdisziplinär arbeitenden Nachwuchsforschergruppe soll das Bauelementkonzept unter Verwendung organischer, anorganischer sowie von 2D-Materialien als flüchtiges und nichtflüchtiges Bauelement realisiert werden und in einer geeigneten Schaltung neuromorphe Funktion nachbilden können.

Das Projekt wird durch den *Europäischen Sozialfonds (ESF)* finanziert und durch die Zentrale Einrichtung der TU Dresden „Center for Advancing Electronics Dresden“ (cfaed) unterstützt. Die beteiligten Arbeitsgruppen aus den Bereichen Elektrotechnik, Physik, Chemie und Informatik bearbeiten im Projekt die drei Hauptforschungsbereiche:

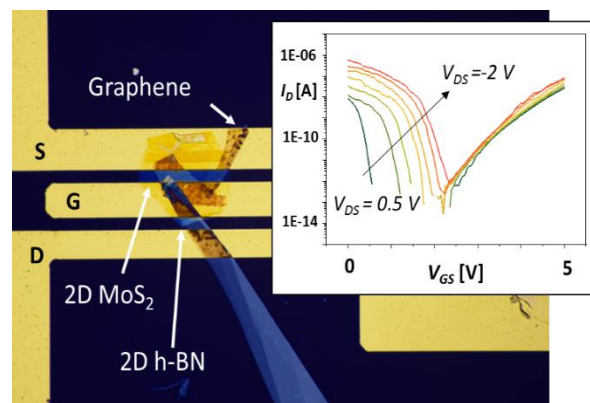
1. **Technologie zur organischen ambipolaren Bauelemententwicklung**
2. **Technologie zu anorg. rekonfigurierbaren 1D- und 2D-Bauelemententwicklung**
3. **Schaltkreis- und Systemintegration**

Die Arbeitsgruppe der Professur für Nanoelektronik hat die Gesamtkoordination des Projekts inne und beschäftigt sich insbesondere im Forschungsbereich 2 mit der Herstellung nichtflüchtiger RFETs bzw. Junctionless-Transistoren (Abbildung 1) und Schaltungen auf Basis von Silicium sowie flüchtiger RFETs auf Basis von 2D-Halbleitern (Abbildung 2). Für den Top-Down-Strukturierungsprozess von siliciumbasierten, nichtflüchtigen RFETs konnte ein selektives Trockenätzverfahren entwickelt werden, welches ermöglicht, strukturtreu und selektiv ferroelektrische Schichtstapel zu ätzen, ohne aktive Bereiche und deren Isolation zu schädigen [2].

Zur Herstellung von 2D-basierten RFETs wurde in Zusammenarbeit mit dem Helmholtz-Zentrum Dresden-Rossendorf (HZDR) eine Prozessroute zum gezielten Transfer von WSe<sub>2</sub> und MoS<sub>2</sub>-2D-Halbleitern mittels Exfolierung unter Schutzgasatmosphäre entwickelt. Dabei konnten erfolgreich 2D-Halbleiter, h-BN-basierte 2D-Isolatoren und Graphensichten extrahiert und gezielt gestapelt werden, welche mit Goldelektroden verbunden, zu Transistoren verschaltet wurden. Erste Messergebnisse der hergestellten 2D-FETs demonstrieren hohe Löcher- und Elektronenleitung, d. h. ein ambipolares Verhalten (Abbildung 2), das die Voraussetzung für rekonfigurierbare Transistoren auf Basis von 2D-Halbleitern darstellt [3]. In Zusammenarbeit mit Professuren des Forschungsbereichs 3 „Schaltkreis- und Systemintegration“ konnten auf Basis der Ergebnisse erste 2D-Analogschaltungen konzipiert werden.



**Abbildung 1** REM-Aufnahme eines nichtflüchtigen Junctionless-Transistors (JLT). Der Gate-Stapel aus Pt, TiN, ferroelektrischem HfO<sub>2</sub> und SiO<sub>2</sub> wurde selektiv mit Hilfe des entwickelten Trockenätzprozesses strukturiert [2].



**Abbildung 2** Mikroskopie und Transferkennlinien eines ambipolaren 2D-FETs auf 285 nm SiO<sub>2</sub> mit einer aktiven Schicht aus ca. 10 nm dicker, halbleitenden 2D-WSe<sub>2</sub>, einem Dielektrikum aus ca. 15 nm h-BN. S-, D- und G-Elektroden aus Au und 2D-Kontaktelektroden aus 2 nm Graphen.



Referenzen

- [1] A. Heinzig et al., „**Reconfigurable silicon nanowire transistors**“, Nano Letters, vol. 12, no. 1, pp. 119-124, 2012.  
DOI: [10.1021/nl203094h](https://doi.org/10.1021/nl203094h)
- [2] T. Mauersberger et al., „**Single-step reactive ion etching process for device integration of hafnium-zirconium-oxide (HZO)/titanium nitride (TiN) stacks**“, Semiconductor Science and Technology, vol. 36, no. 9, 2021.  
DOI: [10.1088/1361-6641/ac1827](https://doi.org/10.1088/1361-6641/ac1827)
- [3] W. Fei et al., „**Emerging reconfigurable electronic devices based on two-dimensional materials: A review**“, InfoMat., eingereicht im Dezember 2021.

DFG Schwerpunktprogramm 1796: High Frequency Flexible Bendable Electronics for Wireless Communication Systems (FFLexCom)

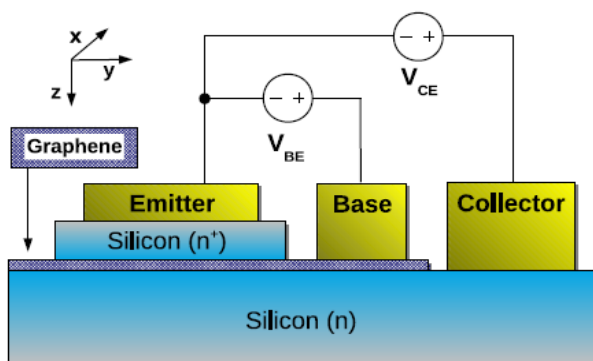
**Teilprojekt IHM:** Flexible Graphene-Base Heterojunction Transistor for Several Hundred Gigahertz Operation

**Projektpartner:** Professur für Nanoelektronik (IHM, TU Dresden), IHP GmbH - Leibniz-Institut für innovative Mikroelektronik

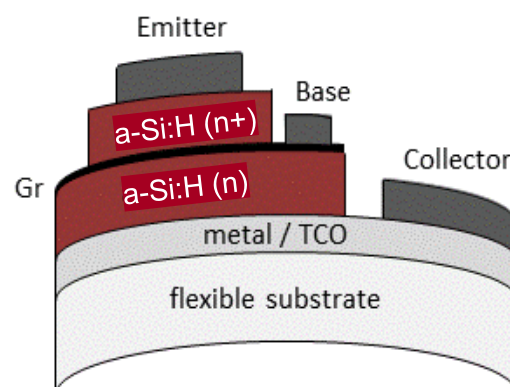
**Projektlaufzeit:** 01.12.2018 – 31.05.2022

**Ansprechpartner:** Dr. Carsten Strobel, Dr. Matthias Albert, Prof. Johann W. Bartha

In diesem Projekt wird ein neues vertikales Transistorkonzept auf flexiblen Substraten untersucht, das potentiell für sehr hohe Grenzfrequenzen geeignet ist. Graphen wird dabei als extrem dünne Basiselektrode mit niedrigem spezifischen Widerstand verwendet. Den Graphen-Base-Heterojunction-Transistor (GBHT) kann man sich als NPN-Bipolartransistor vorstellen, bei dem die p-Basis durch eine Graphenschicht ersetzt wird [1]. Dieses neuartige Konzept basiert auf einer vertikalen Anordnung von Emitter (E), Basis (B) und Kollektor (C), wie in Abbildung 1 (starres Substrat) und Abbildung 2 (flexibles Substrat) gezeigt. Das Bauteil wird durch einfaches Stapeln eines n-Typ-Halbleiters (Emitter), einer Graphen-Monolage (Basis) und eines weiteren n-Typ-Halbleiters (Kollektor) hergestellt. Aufgrund der Austritts-arbeitsdifferenz zwischen Halbleiter und Graphen wird sowohl im Emitter- als auch im Kollektorgebiet in der Nähe der Basisschicht ein Verarmungsgebiet gebildet, das durch Elektronen verursacht wird, die vom Halbleiter in die Graphenschicht fließen. Dies führt zur Bildung einer quasi-dreieckigen Barriere zwischen den Emitter- und den Kollektorbereichen, deren Höhe durch die Basis-Emitter-Spannung gesteuert wird. Im ausgeschalteten Zustand stehen die Elektronen vom Emitter kommend vor einer Energiebarriere. Im angeschalteten Zustand ist die Energiebarriere reduziert, so dass die Ladungsträger zum Kollektor passieren können. Durch die extrem dünne Basisregion werden ultra-kurze Transitzeiten für Elektronen durch die Basis möglich, was potentiell sehr hohe Betriebsfrequenzen ermöglicht.

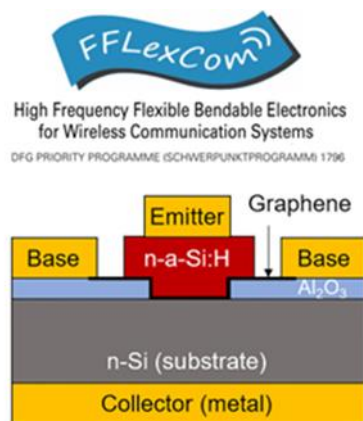


**Abbildung 1** Schematische Darstellung eines Graphen-Base Heterojunction Transistors (GBHT) für den Hochfrequenzbetrieb auf einem starren Substrat, wie in [1] vorgeschlagen.

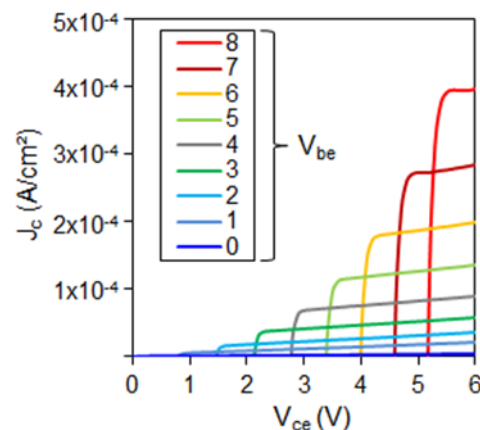


**Abbildung 2** GBHT-Design auf einem flexiblen Substrat, wie in diesem Projekt angestrebt (Gr - Graphen, a-Si:H - hydriertes amorphes Silicium).

Die erste praktische Umsetzung des GBHT [2] erfolgte 2018 durch unsere Gruppe im Rahmen des DFG-Schwerpunktprogramms FFLexCom, SPP 1796. Dabei wurde die plasmaunterstützte chemische Gasphasenabscheidung (PECVD) zur Herstellung von amorphem Silicium (a-Si:H) für die Emitter- und Kollektorhalbleiter des GBHTs verwendet. Es konnte eine leichte Modulation des Kollektorstroms  $I_C$  durch die angelegte Basis-Emitter Spannung  $V_{be}$  erzielt werden. In diesem frühen Stadium konnte jedoch aufgrund des hohen Leckstroms der Basis-Kollektor-(BC)-Diode keine Stromsättigung in den Ausgangskennlinien erreicht werden. Weiterhin war der Emitterstrom eher gering ( $< 1 \text{ mA cm}^{-2}$ ). 2019 konnte von unserer Gruppe im Rahmen des DFG-Schwerpunktprogramms FFLexCom erneut eine verbesserte GBHT-Performance nachgewiesen werden [3]. Diesmal wurde der Kollektor aus amorphem Silicium durch einen n-leitenden kristallinen Siliciumwafer ersetzt (siehe Abbildung 3), um niedrigere BC-Leckströme zu erzielen. Zusätzlich wurden Isolationsschichten aus Aluminiumoxid eingebaut, um die Basismetallisierung vom Siliciumsubstrat zu trennen. Die Graphenbasis und der a-Si:H-Emitter (n-Typ) blieben gleich wie bei der vorherigen Bauteilstruktur. Bei diesem optimierten Transistor konnten erstmals gesättigte Ausgangsströme und eine deutliche Modulation von  $I_C$  als Funktion von  $V_{be}$  beobachtet werden (Abbildung 4). Der Emitterstrom wurde auf etwa  $1 \text{ A cm}^{-2}$  ( $V_{be} = 8 \text{ V}$ ) erhöht. Der Hauptnachteil des Transistors war jedoch der geringe Kollektorstrom und das Fehlen einer Stromverstärkung bei Werten von nur  $\beta = I_C/I_B \approx 10^{-4}$ .



**Abbildung 3** Struktur des verbesserten GBHT mit n-leitendem kristallinem Siliciumsubstrat und  $\text{Al}_2\text{O}_3$ -Isolationsschichten [3].



**Abbildung 4** Common-Emitter-Ausgangscharakteristik des GBHT mit Modulation von  $I_C$  durch  $V_{be}$  (0 – 8 V).

## Referenzen

- [1] V. Di Lecce et al., „**Graphene-Base Heterojunction Transistor: An Attractive Device for Terahertz Operation**“, IEEE Transactions on Electron Devices, vol. 60, no. 12, pp. 4263-4268, 2013.  
DOI: [10.1109/TED.2013.2285446](https://doi.org/10.1109/TED.2013.2285446)
- [2] C. A. Chavarin et al., „**Current Modulation of a Heterojunction Structure by an Ultra-Thin Graphene Base Electrode**“, Materials, 11, 345, 2018.  
DOI: [10.3390/ma11030345](https://doi.org/10.3390/ma11030345)
- [3] C. Strobel et al., „**Demonstration of a graphene-base heterojunction transistor with saturated output current**“, Journal of Applied Physics, 125, 234501, 2019.  
DOI: [10.1063/1.5093167](https://doi.org/10.1063/1.5093167)

## Forschungslabor Mikroelektronik Dresden für Rekonfigurierbare Elektronik (ForLab DCST)

---

**Förderer:** BMBF - Förderung der Forschungslabore Mikroelektronik Deutschland (ForLab)

**Teilprojekt IHM:** ForLab DCST

**Projektpartner:** Professur für Nanoelektronik (IHM, TU Dresden), Professur für Aufbau- und Verbindungstechnik der Elektronik (IAVT, TU Dresden)

**Projektlaufzeit:** 01.01.2019 – 30.11.2022

**Ansprechpartner:** Sebastian Killge, Prof. Thomas Mikolajick

### Zielstellung des Gesamtprojektes

Der Schwerpunkt der Mikroelektronikfertigung und -forschung in Deutschland und Europa verschiebt sich zunehmend zu Spezialtechnologien wie der Leistungselektronik und Mikrosystemtechnik. Auch das Silicon Saxony folgt diesem Trend in vielen Bereichen. Gleichzeitig hat die TU Dresden in den vergangenen 5 Jahren die Forschung an Technologien, Schaltungen und Systemen, die die Leistungsfähigkeit elektronischer Systeme weit über das mit den heutigen CMOS-Technologien Machbare verschieben können, forciert. Mit dem Exzellenzcluster „Center for Advancing Electronics Dresden“ (cfaed) und den Arbeiten des An-Institutes NaMLab gGmbH zu ferroelektrischem Hafniumoxid wurde in wichtigen Bereichen eine internationale Spitzenposition erreicht. Eine wesentliche Strategie für den weiteren Ausbau dieser erfolgreichen Entwicklung ist es, die Forschung auf der Material- und Bauelemente-Ebene schon in der Phase der Grundlagenforschung sehr intensiv mit der Forschung an neuen Schaltungen und Systemen zu verbinden.

Um diesem Aspekt gerecht zu werden, ist die TU Dresden derzeit dabei, die technologisch arbeitenden Aktivitäten unter dem Dach des Dresdner Zentrums für Halbleitertechnologie (engl. Dresden Center for Semiconductor Technology DCST) zusammenzufassen. Dafür sollen die nötigen Investitionen zur Ergänzung der Infrastruktur hinsichtlich steigender Anforderungen für das im Hinblick auf die oben genannte Zielstellung bereits am weitesten entwickelte Forschungsgebiet, der rekonfigurierbaren Elektronik auf Basis von Nanodraht-Bauelementen, genutzt werden. Zusätzlich soll die Verbindung von Halbleitertechnologie und Nano-Aufbau- und Verbindungstechnik weiterentwickelt werden.

Die Investitionen im Rahmen des ForLab-Projekts sollen zum einen die Prozessketten zur Integration von Bauelementen schließen, zum anderen soll die Vielfalt der Optionen insbesondere zur Integration von neuartigen Materialien, die in die gesamte Prozesskette integriert werden können, erhöht werden. Durch die erweiterten Möglichkeiten werden auch Wissenschaftler außerhalb des Kreises der direkten Antragsteller die Möglichkeit erhalten, ihre Materialinnovationen auf die Bauelemente- und Schaltungsebene zu überführen.

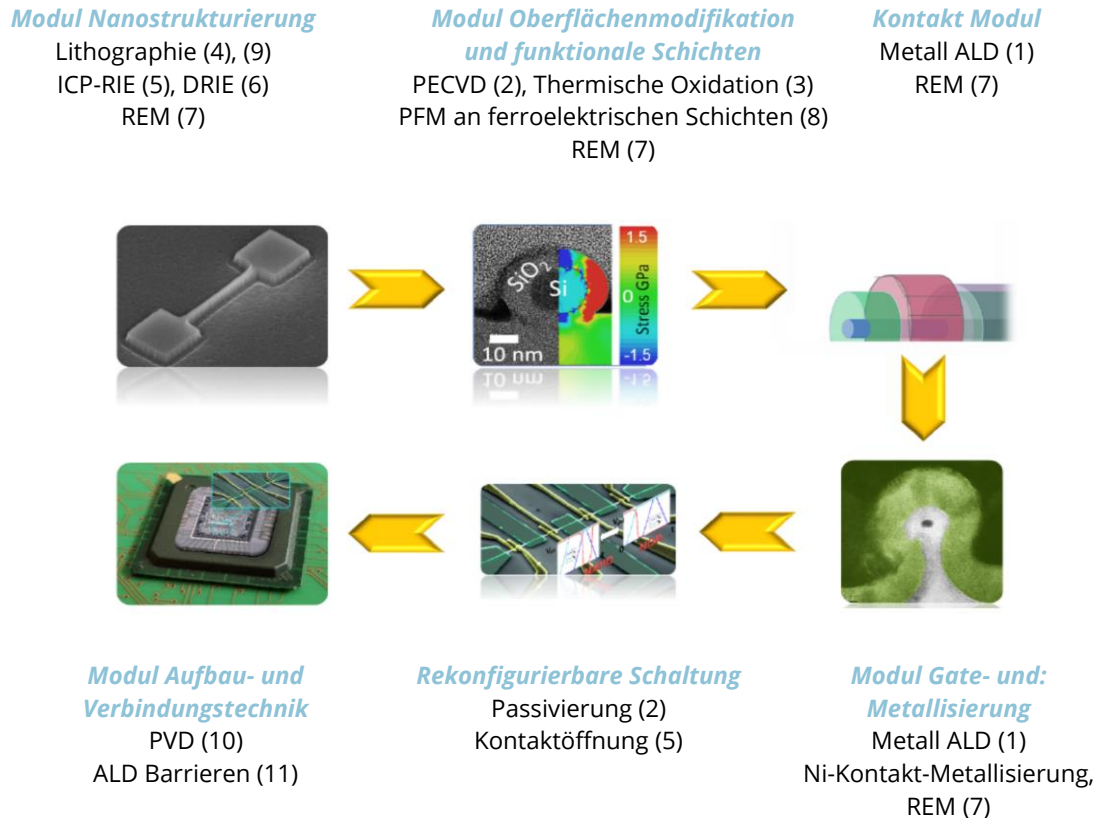


Abbildung 1 Prozesskette zur Integration von rekonfigurierbaren Nanodraht-Bauelementen.

Abbildung 1 zeigt einen generischen Prozessablauf zur Herstellung Nanodraht-basierter rekonfigurierbarer Bauelemente und Schaltungen inklusive der Aufbau und Verbindungstechnik. Dieser Ablauf dient als Ausgangspunkt für die im Rahmen des ForLab-DCST-Projekts zu beschaffenden Geräte.

Folglich wurden Anlagen beschafft, mit denen rekonfigurierbare Nanodraht-Bauelemente und -Schaltungen mit einer Komplexität von einigen 10 Transistoren hergestellt werden können. Die Aufbau- und Verbindungstechnik stellt dabei einen integralen Bestandteil der Anstrengungen dar. Notwendig ist, insbesondere in Anlagen zur Schichtabscheidung und -Strukturierung zu investieren. Es sollen aber auch die Möglichkeiten in der Lithographie und bei der in-line-Charakterisierung verbessert werden, um künftig mehr und komplexere rekonfigurierbare Demonstrationsschaltungen herzustellen.

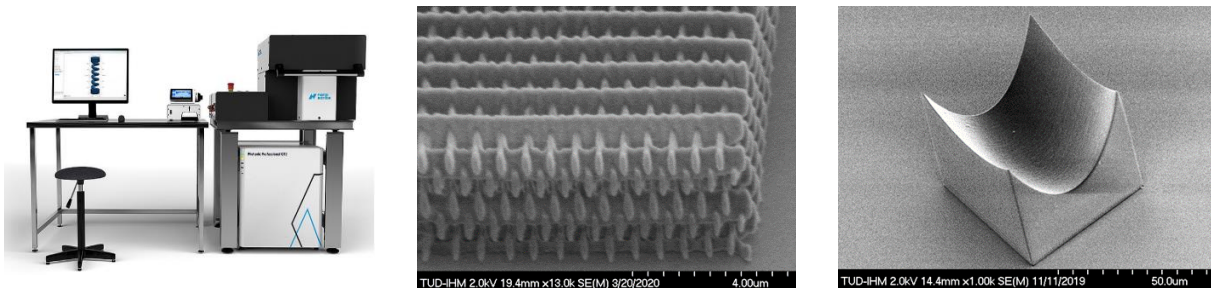
Insgesamt wurden 11 neue Anlagen beschafft (Tabelle 1). Für jede Anlage wurde eine genaue Spezifikation erstellt. Danach folgten die Ausschreibung und die Geräteauswahl und schließlich die Herstellung der Anlage beim Lieferanten. Parallel zu diesem Prozess wurde die Infrastruktur im Labor angepasst bzw. erweitert. Nachdem die Anlagen geliefert, aufgebaut und in Betrieb genommen wurden, erfolgte das Einfahren der Anlage mit den benötigten Prozessen. Erst danach kann die Anlage als fertig installiert betrachtet werden.

Als erstes Gerät wurde ein Nanoscribe Photonic Professional GT2 System angeschafft (Abbildung 2). Es nutzt die Multi-Photonen-Absorption. Ein 780 nm Laser erzeugt im Fokuspunkt (ca. 200 nm x 300 nm Ellipsoid) ausreichend Photonendichte (Intensität) und ermöglicht die Absorption von zwei oder mehr Photonen auf einmal.

Dadurch können Photoinitiatoren aktiviert werden, die bei 390 nm aktiv sind (2 Photonen 780 nm = 1 Photon 390 nm, energetisch). Das erlaubt ein Laserdirektschreiben von kleinsten Freiformstrukturen in 2D und 3D unter 300 nm.

**Tabelle 1** Übersicht über die im Rahmen des ForLab-DCST-Projektes zu beschaffenden Anlagen

Nr.	Anlage	Zweck
1	Metall-ALD	Gatestrukturen
2	PECVD	Deposition von Dielektrika zur Isolation
3	Hochtemperatur Ofen	Temperung, Oxidwachstum
4	Kontaktbelichter	Lithografie
5	ICP RIE	Strukturierung von Nanodrähten
6	DRIE (ICP)	3D-Strukturierung von Top-Down-Nanodrähten
7	In-line-Rasterelektronenmikroskop	Untersuchung der Strukturen im Prozess
8	AFM mit PFM	Messung piezoelektrischer Eigenschaften
9	Multi-Photonen-Lithographie	3D-Strukturierung
10	Sputteranlage mit Handschuhbox	AvT von Nanobaelementen
11	ALD mit Handschuhbox	Hochdichte Barrieren und funktionale Schichten

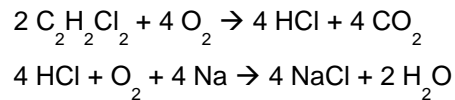
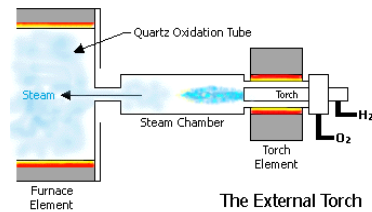


**Abbildung 2** a) Nanoscribe Photonic Professional GT2 System, b) Photonischer Kristall realisiert in Negativphotonlack (IP-Dip) mit offengeporiger Struktur, sub-150 nm Linienbreite in x/y-Richtung und ca. 555 nm Linienhöhe in z-Richtung sowie einer lateralen Periode von ca. 650 nm, c) Mikrolinse in Negativphotonlack (IP-Dip) mit ca. 50 µm Kantenlänge und idealer Geometrie (ausreichend glatte Oberfläche sowie hoher Fertigungsgüte für minimale Strukturgrößen).

Als zweites Gerät wurde ein Hochtemperatur-Ofen für hochreines Siliciumoxid aufgebaut (Abbildung 3). Die Anlage ermöglicht die Durchführung unterschiedlicher Oxidationsprozesse in Abhängigkeit von den Anforderungen der weiteren Prozessierung und Anwendung.

Für die Hochtemperatur-Silicium-Oxidation stehen Trocken-, Feuchtoxidation und Oxidation mit HCl-Beteiligung zur Verfügung. Die Gewährleistung der Reinheit der Oxidschicht und der Quarzteile des Ofens bezüglich der Schwermetallionen erfolgt auf Basis von Chlorkohlenwasserstoff mit dem Trans-LC-Verfahren. Die Feuchtoxidation basiert auf der Verbrennung

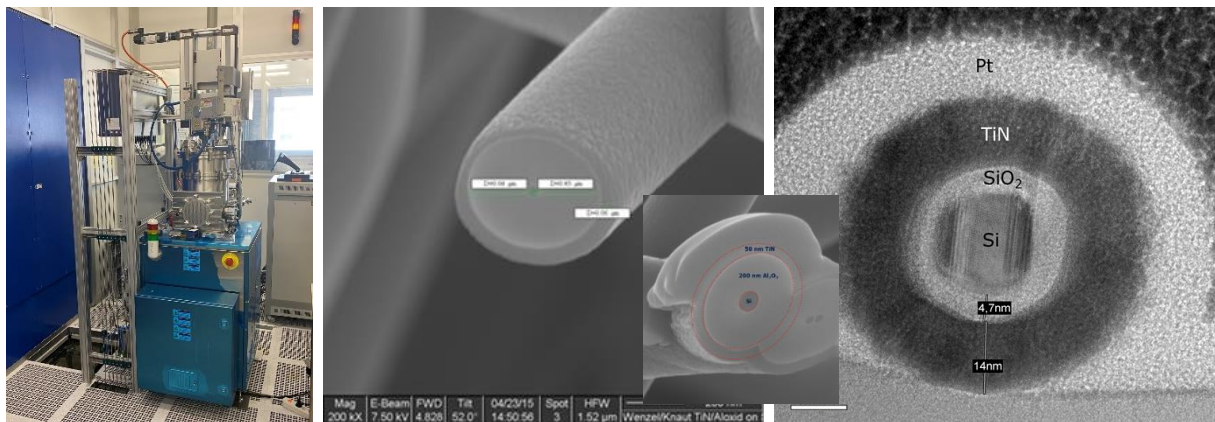
von reinsten Gasen, Wasserstoff und Sauerstoff, die den höchsten Reinheitsansprüchen in diesem Prozess entspricht.



**Abbildung 3** Hochtemperaturanlage für Feuchtoxidation mit  $\text{H}_2$ -Verbrennung sowie für Trockenoxidation mit HCl-Strecke mittels Trans-LC-Verfahren.

Im Probetrieb des Hochtemperatur-Ofens konnten mit Hilfe des neuen Nassoxidaionsprozesses mit Wasserstoffverbrennung erste Wafer mit  $\text{SiO}_2$ -Schichten für die weitere Prozessierung erzeugt werden. Dabei konnte die Schicht sehr homogen, dick und effizient hergestellt werden.

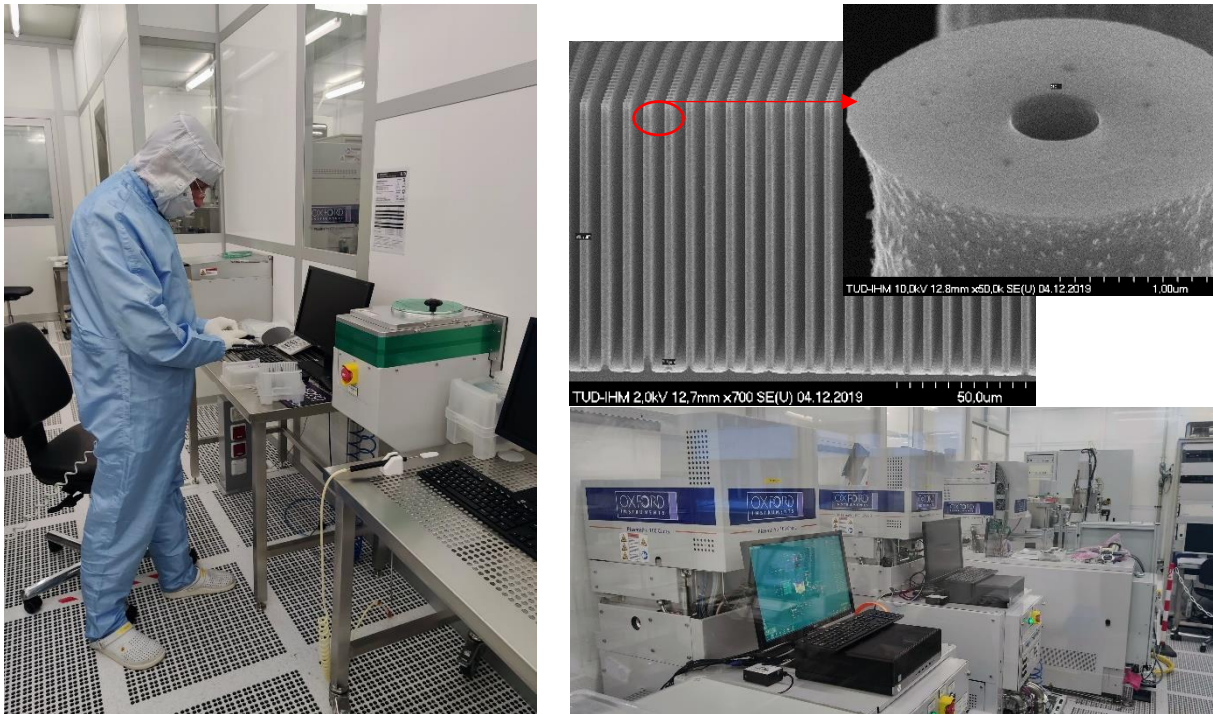
Es sind vorbereitende Arbeiten zur ALD von Metallen durchgeführt worden, die mit der im Projekt aufzubauenden Metall-ALD-Anlage optimiert und weiterentwickelt werden.



**Abbildung 4** Metall-ALD-Anlage sowie erste Ergebnisse der Übertragung des vorläufig entwickelten Titanitrid TiN-PEALD-Prozesses an der neuen Anlage auf Nanodraht-Strukturen.

Für die Herstellung von Nanodraht-basierten Transistoren im ForLab-Projekt „DCST“ müssen auf ultra-dünnen Halbleiterdrähten funktionale Schichtsysteme aufgebracht werden. Am Institut für Halbleiter- und Mikrosystemtechnik (IHM) werden hierfür Beschichtungsprozesse für die Abscheidung konformer, elektrisch leitfähiger Gateelektroden entwickelt. Im Vorfeld des Projekts wurden zwei Anlagen für die Atomlagenabscheidung (Atomic Layer Deposition – ALD) mit Plasmaquellen ausgerüstet, die es ermöglichen, auch bei niedrigeren Prozess-temperaturen ( $<300 \text{ }^\circ\text{C}$ ) chemisch stabile, elektrisch leitfähige Schichten herzustellen, um die Spezifikation der neu zu beschaffenden Anlage genauer vornehmen und diese möglichst schnell in den laufenden Forschungsbetrieb eingliedern zu können.

Plasmagestützte Prozesse (Plasma Enhanced Atomic Layer Deposition – PEALD) mit niedrigen Temperaturen sind für die Projektziele von großer Bedeutung, da Dotierungen, silicierte Bereiche und Kontakte der Nanodraht-Bauelemente nur ein begrenztes thermisches Budget erlauben.



**Abbildung 5** a) DRIE (RIE ICP) + CVD (ICP) Anlagen – Wafer-Load, b) DRIE 3D-Strukturierung von Top Down Nanodrähten, c) DRIE Anlage Oxford PlasmaPro100 Estrelas, CVD-Anlage Oxford Plasma Pro 100 und RIE-Anlage Oxford Plasma Pro 100 Cobra.

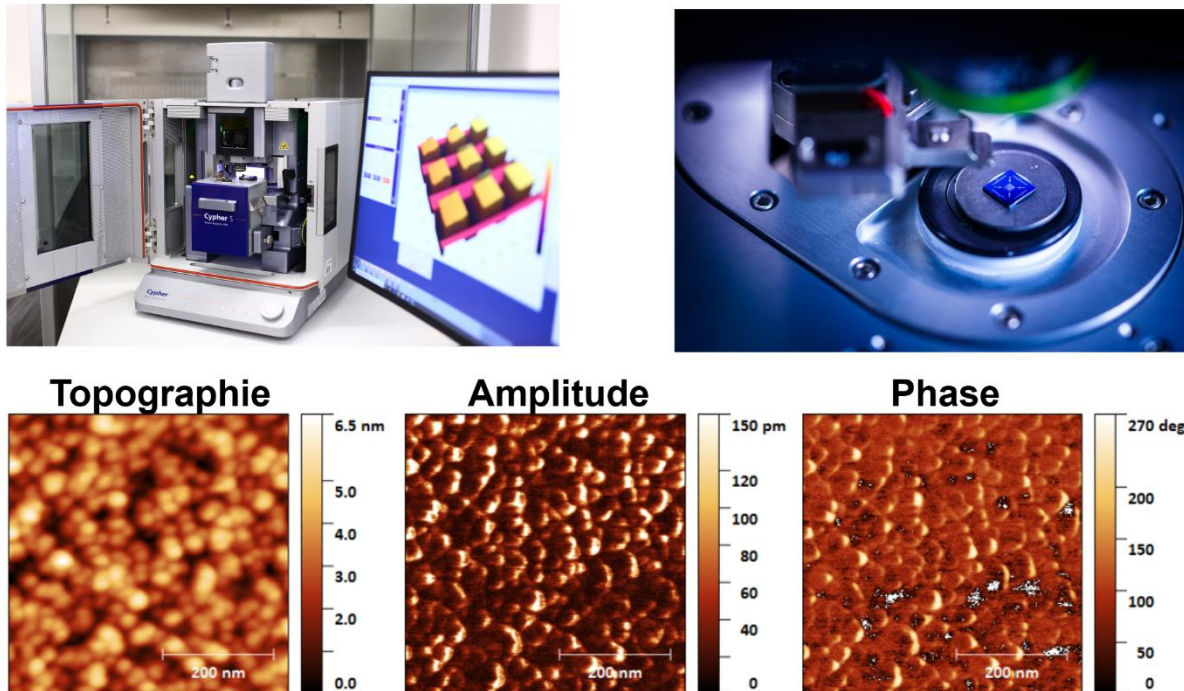
Die DRIE-Anlage mit induktiv-gekoppeltem Plasma (ICP) wurde im November 2021 geliefert. Vorläufig wurden experimentelle Arbeiten zur Prozessentwicklung durchgeführt. Die Prozesse sollen dann an der neuen Anlage umgesetzt und weiterentwickelt werden.

Für die Erzeugung von Nanodrahtstrukturen im Top-down Prozess werden Ätzprozesse benötigt, mit denen die Strukturierung den höchsten Anforderungen der Nanobauelemente entspricht. Einerseits soll der Ätzprozess Strukturen mit hohen Aspektverhältnissen ermöglichen, andererseits müssen dabei die Schwerpunkte, wie eine hohe Qualität mit besonders geringer Rauigkeit und eine hohe Auflösung für Nanometerstrukturen, erreicht werden.

Die Charakterisierung funktioneller dünner Schichten stellt eine wesentliche wissenschaftliche Aufgabe der klassischen Halbleiterforschung dar. Die erfolgreiche Integration von ferroelektrischen Schichten auf Hafniumoxid-Basis ( $\text{HfO}_2$ ) in More-than-Moore-Technologien, z. B. als energieeffizientes und hochskalierbares Speicherbauelement oder für neuromorphes Computing, stellt eine aussichtsreiche Zukunftsperspektive für die Halbleiterbranche dar. Zur grundlegenden Materialuntersuchung dieser Schichten wurde im Dezember 2020 an der TU Dresden/IHM ein neues Rasterkraftmikroskop (AFM) mit integrierter Piezo-Force-Microscopy-Funktion (PFM) vom Typ Cypher S AFM von Oxford Instruments/Asylum Research beschafft (siehe Abbildung 6). Dieses AFM bietet aktuell die höchste Auflösung aller auf dem Markt befindlichen Geräte, was insbesondere für hochauflösende PFM-Messungen an  $\text{HfO}_2$ -basierten Schichten notwendig ist. Die piezoelektrische Konstante ist hierbei im Bereich



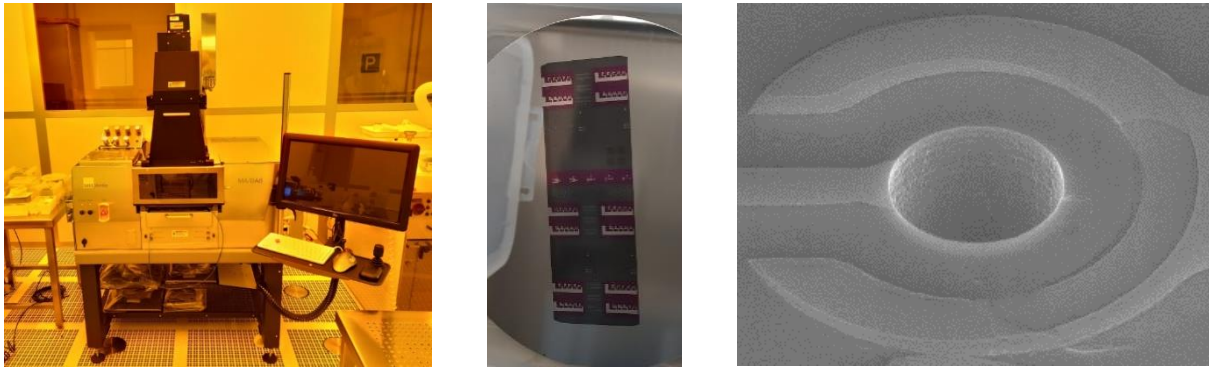
weniger pm/V, wodurch sich bei typischen Spannungsamplituden (3-6 V) nur einige Pikometer Auslenkung ergeben (Abbildung 6 unten), was entsprechend hohe Anforderungen an Auflösungsvermögen und Rauschverhalten stellt. Die PFM nutzt dabei aus, dass jede ferroelektrische Schicht auch gleichzeitig piezoelektrische Eigenschaften hat. Im PFM-Messmodus wird die integrierte ferroelektrische Schicht über den AFM-Cantilever periodisch angeregt und die Piezo-Antwort wird experimentell ermittelt. Damit können – abhängig von Amplituden- und Phasensignal – die ferroelektrischen Eigenschaften mit Nanometer-Ortsauflösung vermessen werden. Die Integration solcher ferroelektrischen Schichten kann z. B. in das Gateoxid von rekonfigurierbaren Silicium-Nanodraht-Transistoren erfolgen, um eine zusätzliche Speicherfunktion im Bauelement zu erhalten.



**Abbildung 6** oben: AFM Cypher S von Oxford Instruments mit Cantilverhalter, AFM-Messspitze und strukturierte Probe auf der Scan-Stage, unten: Topographie-, Amplituden- und Phasen-Signal einer PFM-Messung an einer ferroelektrischen  $\text{HfO}_2$ -Probe.

Die Strukturierung der abgeschiedenen Schichten und Wafer stellt eines der Hauptverfahren der klassischen Halbleitertechnologie dar und wird bei nahezu allen Projekten an der Professur benötigt. Dazu wird das Prinzip der Fotolithografie verwendet. Für die Lithografie wurde im Juli 2021 ein geeignetes Belichtungsgerät zur lithografischen Herstellung der Strukturen angeschafft: ein Maskaligner MA/BA8 Gen4 von Süss (Abbildung 7), der Strukturgrößen im Bereich bis 800 nm erlaubt, die insbesondere im FEOL benötigt werden. Der neue Maskaligner erlaubt mithilfe neuester LED-Belichtungstechnik im UV-Bereich und aktuellster Software/Bedienung, z. B. durch Autoalignment zwischen Maske und Wafer, eine sehr hohe Produktivität und einen komfortablen Einsatz. Es können Wafer bis 200 mm Substratgröße und Masken bis 225 mm belichtet werden. Der Maskaligner erlaubt dabei eine sehr hohe Homogenität über den kompletten Wafer. Durch Vorder- und Rückseitenmikroskope kann das Alignment der Masken auf beiden Seiten des Wafers erfolgen. Es kann sowohl Soft-, Hard- und Vakuumkontakt für höchste Auflösungen oder Proximity-Belichtung für geringe Belastung zwischen Maske und Wafer/Fotolack ausgewählt werden.

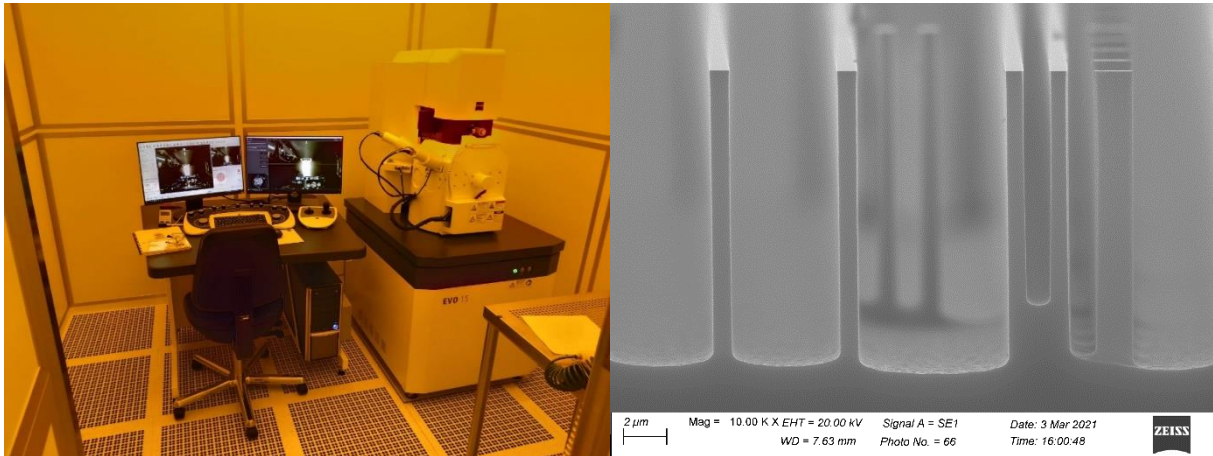
Direkt nach Inbetriebnahme konnten erfolgreiche Belichtungstests und Strukturierungen durchgeführt und Auflösungen bis 1  $\mu\text{m}$  erfolgreich realisiert werden. Der Maskaligner wird in einer Vielzahl von Projekten am IHM genutzt, z. B. in der GaN-Technologie für vertikale Leistungstransistoren oder 2DEG-HEMTs, bei der Herstellung von planaren Transistor- und Teststrukturen in einem 4-Masken-Prozess (Abbildung 8b) oder für die Ätzung und Metallkontaktierung von Through-Silicon-Vias (Abbildung 8c).



**Abbildung 7** a) Süss Maskaligner MA/BA8 Gen4, b) planare Transistor- und Teststrukturen in einem 4-Masken-Prozess, c) REM-Aufnahme einer Metallkontaktierung an einem Waferdurchkontakt (TSV) von 20  $\mu\text{m}$  Durchmesser.

Das im Rahmen des ForLab-Vorhaben beschaffte Rasterelektronenmikroskop (REM) ZEISS EVO 15 wird an der Professur für Nanoelektronik eingesetzt und stellt ein Komplettsystem zur Durchführung von hochpräzisen Betrachtungen an Proben, Strukturen und Wafer neuester Nanotechnologie dar.

Dieses Rasterelektronenmikroskop ist mit einem LaB6-Emissions-System, Sekundärelektronen-Detektor (SE) und In-Line-Rückstreuelektronen-Detektor (BSE) ausgestattet. Weiterhin verfügt das Gerät, neben der Hochvakuumbetrachtung, über einen Variable-Pressure-(VP) Modus mit zusätzlichem Detektor - der für Bilderfassung und Analyse nichtleitender Proben im Niedervakuumbereich (bis 270 Pa) eingesetzt werden kann. Die spezifizierte Ortsauflösung (im Hochvakuum, SE) ist 3 nm bei 30 kV, 8 nm bei 3 kV und 9 nm bei 1 kV, die Beschleunigungsspannung kann zwischen 0,2 - 30 kV und der Probenstrom zwischen 0,5 pA und 5  $\mu\text{A}$  gewählt werden. Weiterhin verfügt das Gerät über ein ölfreies Pumpensystem. Die Probenkammer hat einen Innendurchmesser von 375 mm und eine Kammerhöhe von 275 mm. Diese ist für Probengröße bis  $\varnothing 250$  mm geeignet; mit einer 5-Achsen Stage kann ein Verfahrensweg X,Y  $\geq 125$  mm x 125 mm, Z  $\geq 50$  mm, R: 360° und Kippbereich -10° bis 90° realisiert werden.

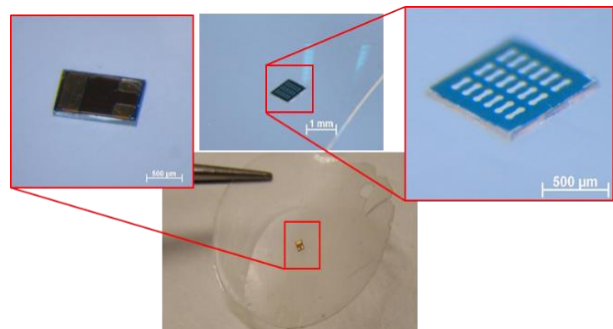


**Abbildung 8** links: Rasterelektronenmikroskop ZEISS EVO 15 am Standort Reinraum / Lithographie, rechts: REM-Aufnahmen von Nano-Strukturen mit hohem Aspektverhältnis.

Die Anforderungen an das Electronics Packaging bleiben durch den Trend zur Miniaturisierung und Funktionsintegration der Mikro- und Nanoelektronik stets hoch. Es wächst der Bedarf an technischen Anlagen für die Herstellung dünner Schichten und kleiner Strukturauflösungen im Submikrometerbereich. Aus diesem Grund wurde im Projekt ForLab eine Clusteranlage zusammengestellt, die die folgenden Prozesstechnologien in Inertgasumgebung ermöglicht: DC- und RF-Sputtern, Elektronenstrahlverdampfen und Atomlagenabscheidung (ALD).



**Abbildung 9** Glovebox Anlage mit integrierter ALD-, Sputter- und Verdampferanlage im Reinraum Werner-Hartmann-Bau



**Abbildung 10** Eingebettete Chips in 3D-gedruckten oder abgeformten Polymersubstraten mit strukturierter PVD-Metallisierung als Umverdrahtungsträger

Diese Anlagen werden laufende Projekte am Institut für Aufbau- und Verbindungstechnik der Elektronik (IAVT) unterstützen, indem die Prozesse am Institut selbst durchgeführt werden können und somit auf externe Dienstleister verzichtet werden kann.

Die bestehenden Aktivitäten wurden aufgebaut mit dem klaren Fokus auf Einzelprozesse und Materialien, sowie im Falle der mikroelektronischen Komponenten mit Blick auf die Metallisierung (sogenanntes back end of line = BEOL). Die Forschung an rekonfigurierbarer Nanodraht-Elektronik ist vorwiegend im sogenannten front end of line (= FEOL) angesiedelt.

Der Prozessfluss bei der Definition der Nanodrähte besteht aus der lithographischen Definition der Drähte im Ausgangsmaterial, der Übertragung der lithographisch definierten Struktur in das Material, der Kontaktierung und der Einbettung in eine Gatestruktur. Für eine erfolgreiche Integration der Drähte in nanoelektronische Schaltkreise muss jeder einzelne Prozessschritt erfolgreich sein. Da es sich bei den Nanodraht-Bauelementen um Strukturen

handelt, die mindestens in zwei Dimensionen Abmessungen im Bereich einzelner Nanometer haben, wird mit den 11 neuen Geräten im ForLab-DCST-Projekt sichergestellt, dass für jeden Prozessschritt modernste Geräte zur Verfügung stehen, die eine Prozessierung mit höchster Präzision erlauben.

Mehr Informationen unter: [www.forlab.tech](http://www.forlab.tech)



Die Arbeiten wurden auch mit der Förderung der Forschungslabore Mikroelektronik Deutschland (ForLab) durch das BMBF ermöglicht.

## 3D funktionales mesoskopisches System basierend auf 2D Materialien (Fun2D+)

---

**Förderer:** Deutsche Forschungsgemeinschaft, GZ: AL1902/1-1

**Projektpartner:** Professur für Nanoelektronik (IHM, TU Dresden), Professur Mikro-systemtechnik (TU Dresden),  
Helmholtz-Zentrum Dresden-Rossendorf (HZDR)

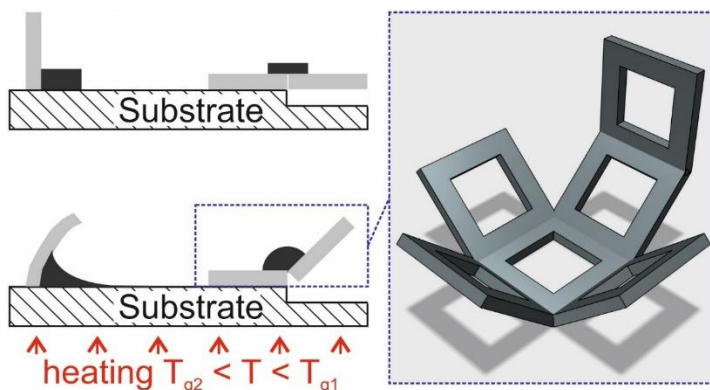
**Laufzeit:** 01.11.2020 – 31.10.2023

**Ansprechpartner:** Johanna Reif, Dr. Matthias Albert

Die Miniaturisierung von funktionalen Systemen erfolgt über die Erhöhung der Integrationsdichte einzelner Systemkomponenten. 3D-Packaging-Konzepte können eine höhere Packungsdichte im Volumen erreichen, jedoch wird die dritte geometrische Dimension bisher noch wenig ausgenutzt.

Ziel des Projektes ist es, ein funktionales mesoskopisches 3D-System (Nanoroboter) aus Energieversorgung, Datenverarbeitung, Sensor und Datenübertragung aufzubauen. Dazu soll die Methode des MEMS-Origami, d. h. die Selbstfaltung von 3-dimensionalen Objekten ausgehend von einer planaren 2-dimensionalen Struktur, genutzt werden. „Nanoroboter“ bedeutet hier ein Roboter mit einer Gesamtgröße im Mikrometerbereich unter der Verwendung von Nanotechnologien [1].

Die Origami-Methode erlaubt es, alle notwendigen Komponenten im 2-dimensionalen Zustand zu integrieren und anschließend entsprechend einer vorgegebenen Systematik und ausgelöst durch einen äußeren Reiz in den wesentlich kompakteren 3-dimensionalen Zustand zu überführen (Abbildung 1 und 2). Diese Technologie konnte schon für 3D-Strukturen mit einer Größe von unter 100 nm gezeigt werden [2].



**Abbildung 1** Schematische Darstellung der Origami-3D-Strukturerzeugung.

Das Innenvolumen der endgültigen dreidimensionalen Struktur wird für Bauelemente genutzt, die normalerweise nur schwer zu miniaturisieren sind, wie z. B. der Energieversorgung (3-dimensionale Spulen) und Energiespeicherung (Kondensatoren). Um hochminiaturisierte Systeme mit einem geringen Energieverbrauch und hoher Funktionalität zu ermöglichen,

sollen dabei zukunftsweisende 2D-Materialien als Technologieplattform für die Elektronik eingesetzt werden.

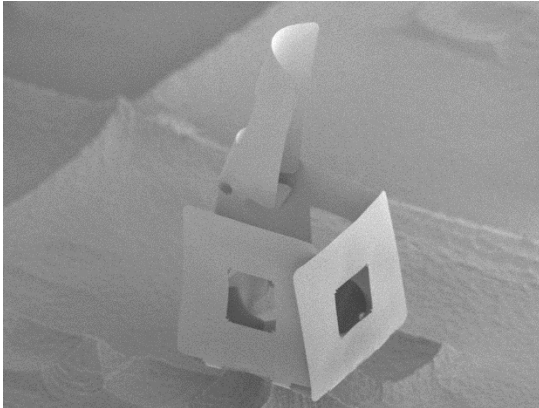
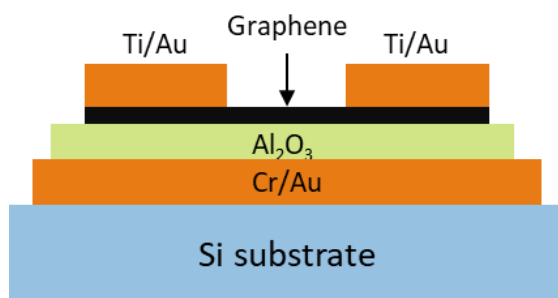


Abbildung 2 Faltung eines 50 µm großen Würfels.

An der Professur für Nanoelektronik soll im ersten Projektteil ein Transistor aus 2D-Materialien auf einem planaren Substrat hergestellt werden. Dies erfordert die exakte Lokalisierung des 2D-Materials, um die Bauelement-Strukturen genau ausrichten zu können. Dafür wird im Projekt unter anderem die hochauflösende Zwei-Photonen-Lithographie (2PP) verwendet. Es konnte am IHM eine Abfolge aus mehreren Prozessschritten entwickelt werden, um einen gFET (graphene material-based field-effect transistor) aufzubauen:



Herstellungsablauf:

- Cr/Au PVD
- Al<sub>2</sub>O<sub>3</sub> ALD
- Al<sub>2</sub>O<sub>3</sub> Lithographie
- Graphentransfer
- Source / Drain (S/D) Lithographie (2PP)
- S/D Metallisierung (Ti/Au PVD) + Lift-Off
- Graphen Lithographie (2PP)

Abbildung 3 Schematischer Aufbau und Herstellungsablauf des entwickelten gFETs.

Eine weitere Herausforderung im nächsten Arbeitspaket besteht darin, einen FET aus 2D-Materialien in eine 3D-Struktur zu überführen. Dies erfordert neue Prozesse und eine Anpassung von Prozessparametern. Zusätzlich sind die Auswirkungen der Faltung auf die Funktion des Bauelementes noch unbekannt [3].

### Referenzen

- [1] W. Xu et al., „**Soft Three-Dimensional Robots with Hard Two-Dimensional Materials**“, ACS Nano, 13, 5, 4883-4892, 2019.  
DOI: [10.1021/acsnano.9b03051](https://doi.org/10.1021/acsnano.9b03051)
- [2] J.-H. Cho et al., „**Self-Assembly of Lithographically Patterned Nanoparticles**“, Nano Letters, 9, 12, 4049-4052, 2009.  
DOI: [10.1021/nl9022176](https://doi.org/10.1021/nl9022176)
- [3] N. Chidambaram et al., „**Selective Surface Smoothing of Polymer Microlenses by Depth Confined Softening**“, Advanced Materials Technologies, vol. 2, 5, 1700018, 2017.  
DOI: [10.1002/admt.201700018](https://doi.org/10.1002/admt.201700018)

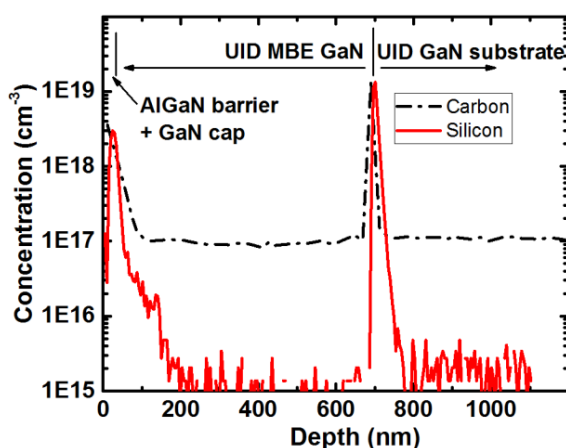
## Einfluss von Kohlenstoff auf die elektrischen, optischen und strukturellen Eigenschaften von GaN (pumpGaN)

**Projektpartner:** Professur für Nanoelektronik (IHM, TU Dresden), NaMLab gGmbH, Max-Planck-Institut für Chemische Physik fester Stoffe, Institut für Festkörperphysik der Russischen Akademie der Wissenschaften

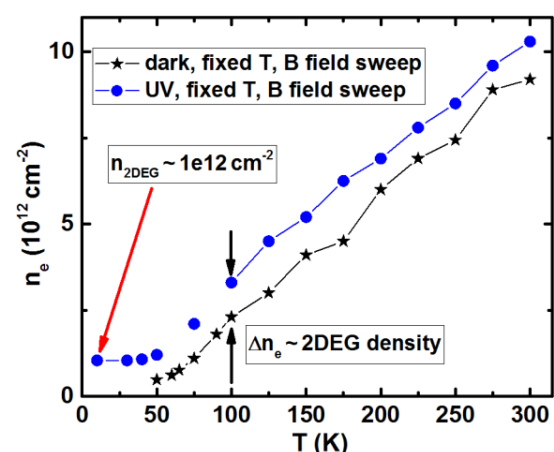
**Projektlaufzeit:** 01.03.2018 – 30.04.2021

**Ansprechpartner:** Dr. Stefan Schmult

Ausgangspunkt des Projektes war die Fragestellung, ob Kohlenstoff als flacher Akzeptor in mittels Molekularstrahlepitaxie (MBE) gewachsenem Galliumnitrid (GaN) agieren kann. MBE bietet die Möglichkeit, hochreines GaN als hervorragendes Referenzsystem für nachfolgende Dotierversuche zu etablieren. Potentielle Akzeptoreigenschaften von Kohlenstoff wurden in temperaturabhängigen Transport- und Photolumineszenzmessungen untersucht, während die atomare Kohlenstoffkonzentration mittels elementspezifischen Analysen verifiziert wurde. Im Bereich der Kohlenstoffdotierung bis  $1 \times 10^{18} \text{ cm}^{-3}$  konnte keine p-Leitfähigkeit bei und unter 300 K nachgewiesen werden. Dennoch konnte gezeigt werden, dass Kohlenstoff in der Lage ist, unbeabsichtigte Donatoren in GaN zu kompensieren. Ein Musterbeispiel hierfür ist die Unterdrückung von parasitären Strompfaden an der Grenzfläche zwischen dem Substrat und MBE-Material, welche von der inhärenten Anwesenheit von Siliciumanhaftungen an der Substratoberfläche stammen (Abbildung 1). Diese parasitäre Leitfähigkeit schadet der Leistungsfähigkeit lateraler Bauelemente, da sie z. B. ein Ausschalten von Feldeffekttransistoren (FETs) verhindert. Sie kann in Schichtstapeln gewachsen auf undotierten Substraten durch Kohlenstoff kompensiert werden [1]. Signaturen akzeptor-gebundener Exzitonen nahe der Bandkante von GaN um 3,4 eV, welche auf Kohlenstoff zurückzuführen sind, konnten in Photolumineszenzuntersuchungen oberhalb 15 K ebenfalls nicht nachgewiesen werden [8].



**Abbildung 1** SIMS-Tiefenprofile der Elemente Kohlenstoff und Silicium. Unabsichtliches Silicium und absichtlich eingebrachter Kohlenstoff befinden sich an der Substrat/MBE-Grenzfläche mit vergleichbaren Konzentrationen von  $\sim 10^{19} \text{ cm}^{-3}$ .



**Abbildung 2** Temperaturabhängige Flächenladungsträgerkonzentrationen bestimmt in Hall-Messungen im Dunkeln und bei Beleuchtung mit UV-Licht. Unterhalb von 30 K ist der parasitäre Kanal an der Substrat/MBE-Grenzfläche eliminiert und das 2DEG ist der einzige verbleibende Kanal.

Unbeachtet davon trägt Kohlenstoff in GaN aufgrund seiner Eigenschaft als tiefer Akzeptor zur sogenannten gelben Lumineszenz, einer Emissionsbande um 2,2 eV, bei, welche seit Jahrzehnten im Blickpunkt der Forschung an GaN stand und noch steht. Sogar in hochreinem Material ohne nachweisbaren Kohlenstoffgehalt scheinen ebenfalls tiefe Akzeptoren zu existieren, welche zur gelben Lumineszenz beitragen und deshalb nicht auf Kohlenstoff zurückgeführt werden können [2]. Banddiagrammberechnungen von GaN/AlGa<sub>N</sub>-Heterostrukturen als auch das Schaltverhalten von lateralen FETs belegen, dass voraussichtlich diese tiefen Akzeptoren das Fermi-niveau in hochreinem GaN tief innerhalb der Bandlücke verankern [6, 7]. All unsere Ergebnisse sollten eine Motivation für weitere experimentelle Untersuchungen tiefer Akzeptoren in GaN darstellen.

### Referenzen

- [1] S. Schmult et al., „**Suppression of parasitic Conductivity in ultra-pure GaN/AlGa<sub>N</sub> Heterostructures by Carbon d-Doping**”, J. Crys. Growth, under review.
- [2] H. Schürmann et al., „**Correlating yellow and blue luminescence with carbon doping in GaN**”, J. Crys. Growth, submitted.
- [3] H.-T. Chen et al., „**Wavelength-dependent Conductivity of photo-generated 2DEGs in ultra-pure GaN/AlGa<sub>N</sub> Heterostructures**”, J. Crys. Growth, under review.
- [4] V.V. Solovyev et al., „**Light-tunable 2D subband population in a GaN/AlGa<sub>N</sub> heterostructure**”, Appl. Phys. Lett., 118 (1), 013101, 2021.  
[DOI: 10.1063/5.0027010](https://doi.org/10.1063/5.0027010)
- [5] L. Krückeberg et al., „**Quantum and transport lifetimes in optically-induced GaN/AlGa<sub>N</sub> 2DEGs grown on bulk GaN**”, J. Vac. Sci. Technol. B **38**, 042203, 2020.  
[DOI: 10.1116/1.5145198](https://doi.org/10.1116/1.5145198)
- [6] S. Schmult et al., „**Normally-off operation of lateral field-effect transistors fabricated from ultra-pure GaN/AlGa<sub>N</sub> heterostructures**”, Phys. Stat. Solidi a, **217**, 1900732, 2020.  
[DOI: 10.1002/pssa.201900732](https://doi.org/10.1002/pssa.201900732)
- [7] T. Scheinert et al., „**Critical parameters for the presence of a 2DEG in GaN/Al<sub>x</sub>Ga<sub>1-x</sub>N heterostructures**”, AIP Advances, 9, 125018, 2019.  
[DOI: 10.1063/1.5126917](https://doi.org/10.1063/1.5126917)
- [8] D. Pohl et al., „**Carbon-doped MBE GaN: Spectroscopic Insights**”, J. Cryst. Growth, **514**, p. 29-35, 2019.  
[DOI: 10.1016/j.jcrysgro.2019.02.041](https://doi.org/10.1016/j.jcrysgro.2019.02.041)
- [9] S. Schmult et al., „**Magneto-optical Confirmation of Landau Level Splitting in a GaN/AlGa<sub>N</sub> 2DEG grown on Bulk GaN**”, J. Vac. Sci. Technol. B, **37** (2), 021210, 2019.  
[DOI: 10.1116/1.5088927](https://doi.org/10.1116/1.5088927)

### Patente

DE 10 2018 006 173, **Heterostruktur einer elektronischen Schaltung mit einem Halbleiterbauelement**, Stefan Schmult (TU Dresden), Andre Wachowiak (NaMLab gGmbH), Alexander Ruf (NaMLab gGmbH), erteilt 9. Juli 2020



## Schwarzer Phosphor in empfindlichen, selektiven und stabilen Sensoren (SPES3)

---

**Teilprojekt IHM:** Eingebettete Grundlektroden für 2D-Materialien

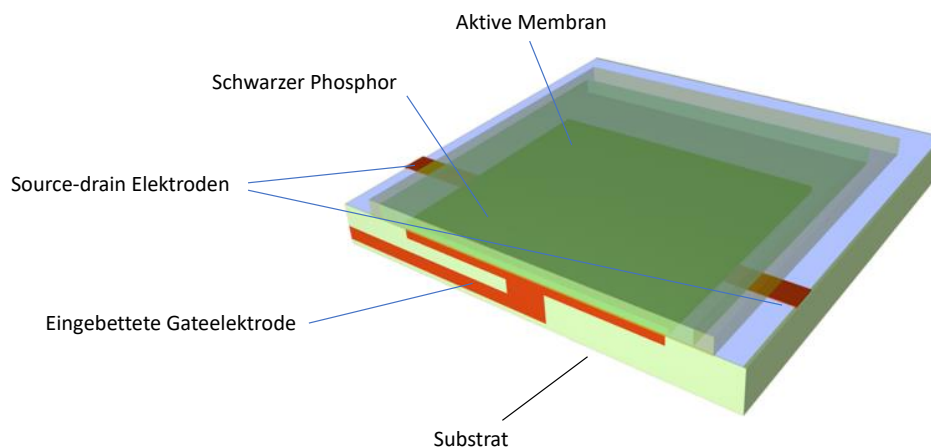
**Projektpartner:** Professur für Nanoelektronik (IHM, TU Dresden), Helmholtz-Zentrum Dresden-Rossendorf (HZDR), Professur für molekulare Funktionsmaterialien (fM, TU Dresden), Institut für Aufbau- und Verbindungstechnik (IAVT, TU Dresden)

**Projektlaufzeit:** 01.10.2019 – 30.09.2023

**Ansprechpartner:** Dr. Ulrich Künzelmann

Zusammengefasst zielt das Projekt auf die Entwicklung eines Labormusters für einen NO<sub>x</sub>-Sensor auf Basis von schwarzem Phosphor [1].

Die Eigenschaften zweidimensionaler (2D) Halbleiter, zu denen auch der schwarze Phosphor (black phosphorus, BP) mit höchster Ladungsträgermobilität bis 200 cm<sup>2</sup>/Vs gehört, werden nahezu ausschließlich durch die Oberfläche dominiert. Die Empfindlichkeit gegen Einflüsse der Atmosphäre kann bei geeigneter schützender und semi-permeabler Einkapselung des BP auf Feldeffekt-Transistor-Strukturen (FETs) für Sensoren genutzt werden. Dazu bedarf es zunächst der Erforschung der Eigenschaften von BP in Form kleiner, dünner Flocken (Flakes) möglichst einzelner Lagen im mikroelektronischen FET-Design unter Inertbedingungen. Von einer interdisziplinären Forschergruppe werden fachspezifisch und in enger Zusammenarbeit die Herstellung der BP-Flakes zur Einzel-Applikation als auch die Formulierung druckbarer Tinten in Angriff genommen. Weitere Aktivitäten dienen der Herstellung der FETs inkl. des elektrischen Anschlusses sowie ihrer schützenden und selektiv-permeable Einkapselung.



**Abbildung 1** Schematischer Aufbau des geplanten Sensorkonzepts.

Der schematische Aufbau des im Projekt konzeptionell geplanten Sensors ist in Abbildung 1 dargestellt. An der Professur für Nanoelektronik folgt man den Vorgaben der HZDR- und TUD-fM-Gruppe bei der Erstellung von geeigneten Substraten für Voruntersuchungen. Vorerst werden sie auf Basis universeller Maskenlayouts mit verschiedenen Silicium-Wafern, Metallisierungen und Isolatoren hergestellt. Dabei müssen Source-, Drain- und oxidbedeckte Gateelektrode eine ebene Auflagefläche möglichst hoher Planarität und geringer Rauigkeit für

das BP bilden. Grundsätzlich erfüllt bei durch Siliciumdioxid ( $\text{SiO}_2$ ) elektrisch isolierender Vorderseite auch ein hochdotiertes Si-Substrat mit Rückseitenmetallisierung die Funktion einer aufwändig herzustellenden, eingebetteten Gate-Elektrode. Für Testmessungen wurden die Substrate am HZDR unter Inertgas mit Source- und Drain-Elektroden überlappenden BP-Flakes belegt. Als Schutz gegen atmosphärische Einflüsse hat sich die zusätzliche Überdeckung des BP mit flächenmäßig etwas größeren Flakes aus dem ebenfalls zweidimensionalen, aber inerten hexagonalen Bornitrid bewährt. Im Fall einer Sensoranwendung muss diese dann in Richtung der nach außen gerichteten, von der TU-IAVT-Gruppe entwickelten selektiv gasdurchlässigen Aktivmembran geöffnet sein. Parallel dazu werden am IAVT Permeations- und Bonding-Versuche durchgeführt sowie die Abscheidung von Barrierschichten mittels ALD in Angriff genommen.

Mit weiterem Projektfortschritt widmet sich die TUD-fM-Gruppe zunehmend der Herstellung von Tinten aus BP-Flakes und geeigneten Lösungsmitteln zum Druck des Aktivmaterials. Diese in der Fertigung im Vergleich zum Auflegen von Flakes vorteilhaftere Technik erfordert jedoch grundlegende Untersuchungen hinsichtlich des Kontakts der BP-Flakes untereinander sowie derselben zu den Elektroden und dem Gate-Oxid.

Am HZDR sind erste hoffnungsvolle Messungen an einem BP-Flake zwischen unten blanken und oben Elektroden-besetzten hBN-Barriere-Schichten gelungen (s. Abbildung 2).

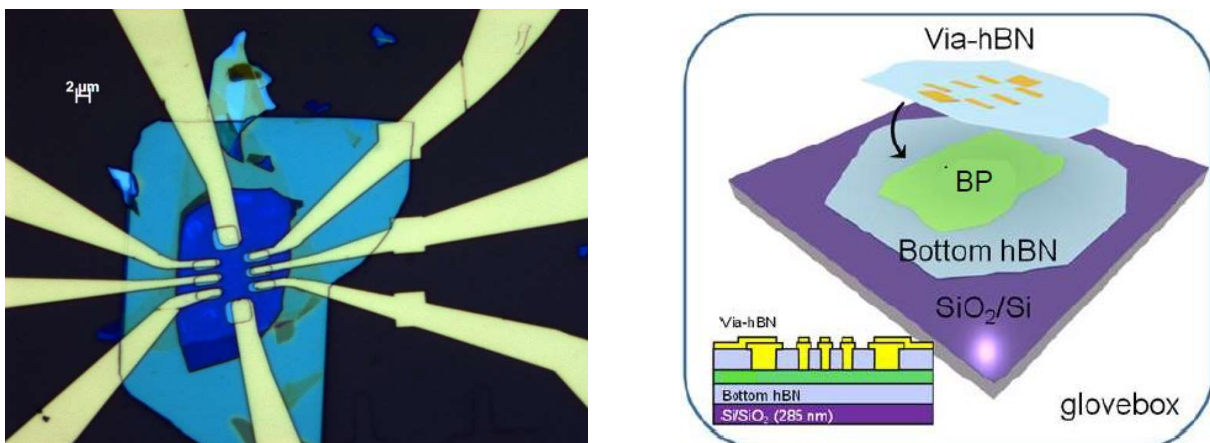


Abbildung 2 Bild und schematischer Aufbau eines Einzel-Flake FET mit hBN-Hilfsschichten [2].

In ersten Versuchen auf unstrukturierten, am IHM mit  $\text{SiO}_2$ , Kupfer, Gold, Ruthenium und Platin beschichteten Wafern, ließ sich BP erfolgreich darauf transferieren. Jedoch wird Gold wegen der Freiheit von Oxiden als Elektrodenmaterial bevorzugt. Die Herstellung von im Isolator liegenden Goldstrukturen in hoher Planarität und geringer Rauigkeit stellt für das IHM eine Herausforderung dar. Zur Herstellung und Strukturierung der Substrate wurden zwei verschiedene Technologien, die subtraktive (analog zur klassischen Al-Metallisierung) und die additive (analog zur Kupfer-Damaszen-Technologie) herangezogen.

Beim subtraktiven Prozess wird - vereinfacht dargestellt - das mit entsprechenden Hilfs- und Barrierschichten abgeschiedene Metall nach Abdeckung mit einer positiven Maskenstruktur geätzt, nachfolgend mit dem Dielektrikum füllend überschichtet und das überstehende Dielektrikum mit chemisch-mechanischer Planarisierung (CMP) wieder bis zum Metall eingeebnet. Bei der Oxid-CMP ist es schwierig, den richtigen Endpunkt kurz vor Freilegung des Metalls zu finden. I.d.R. wird der geringe Oxidrest mittels reaktiven Ionenätzens (RIE) entfernt. Abbildung 3 zeigt die Verrundung der Kante an der Grenze zum Gold, vorgelagerte Reste der Tantal-Stoppschicht und Überpolitur des CVD-Oxids bei der Politur bis zum Metall. In diesem

Fall stört das – ansonsten gewünschte – materialelektive Abtragsvermögen der Polier-Dispersion (Slurry), so dass sich das Ergebnis nur durch eine exaktere Endpunkterkennung und den finalen Einsatz von RIE verbessern lässt.

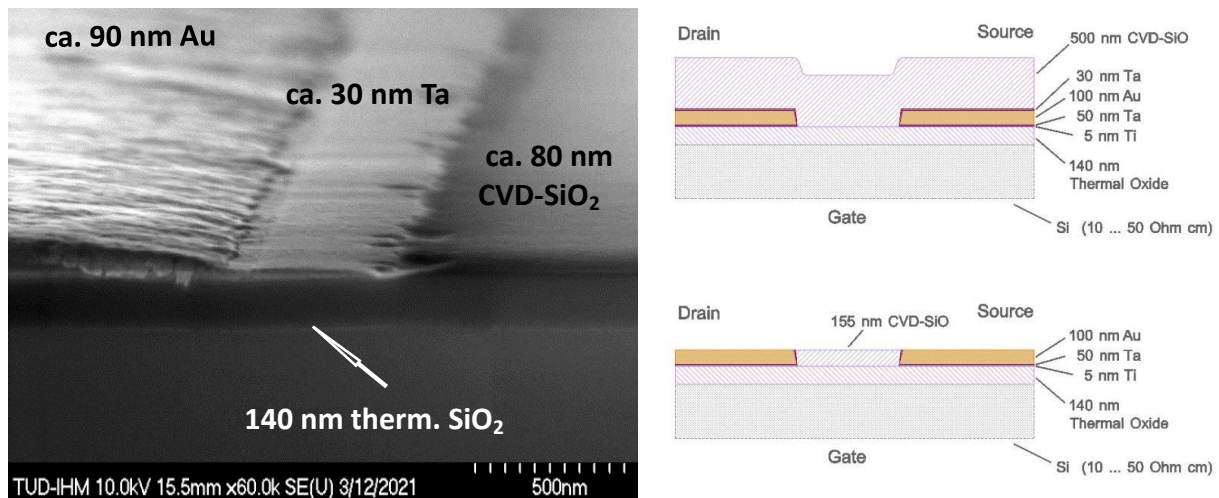


Abbildung 3 links: REM-Aufnahme und Schicht-Schema der Oxidpolitur, rechts: o./ u.: vorher/ nachher.

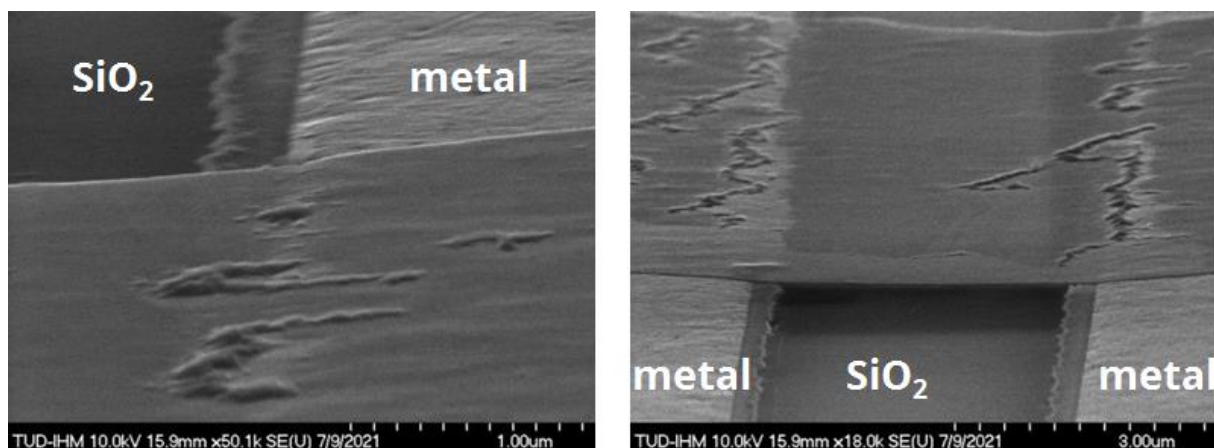
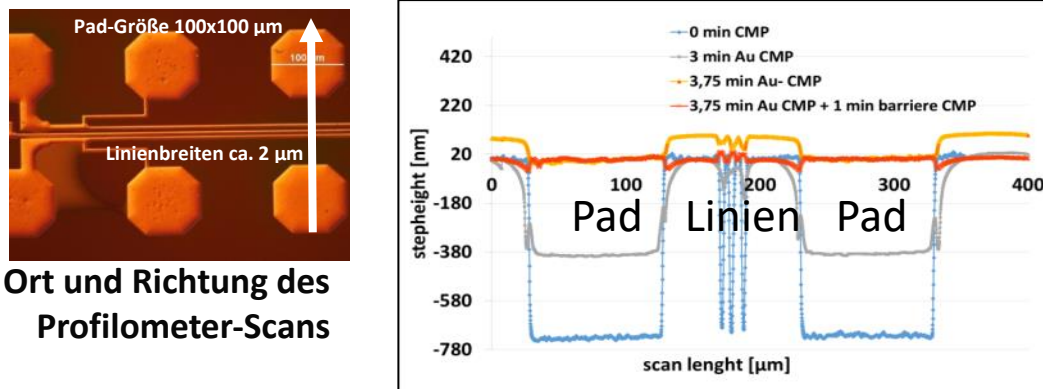


Abbildung 4 REM-Aufnahmen nach BP-Belegung, links: undefinierter Kontakt, rechts: Brückenbildung.

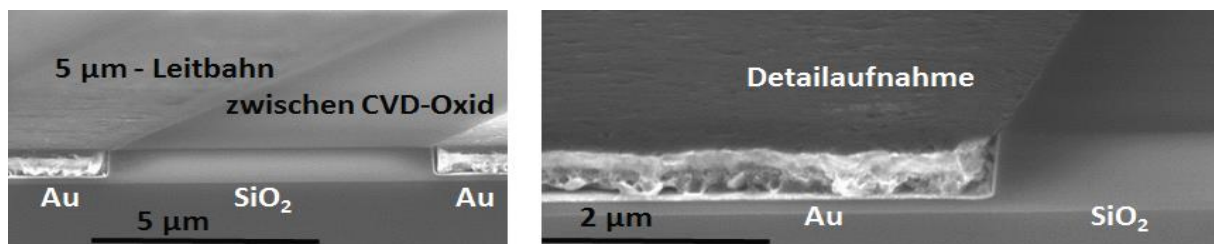
Die Stufenbildung führt, wie in Abbildung 4 erkennbar, bei der Belegung mit dem starren BP zu undefiniertem Kontakt und zwischen eng beieinanderliegenden Metall-Linien sogar zur Ausbildung von Brücken, so dass kein Kontakt zum Gate-Oxid zustandekommt.

Beim additiven, der Kupfer-Damaszen-Technologie angelehnten Prozess, wird nach Abdeckung mit einer negativen Maskenstruktur zuerst das Dielektrikum in Leitbahn-/Pad-Tiefe mit RIE strukturiert, nachfolgend ganzflächig mit einer als Polierstopp wirksamen Tantal-Barriere überschichtet, mit dem entsprechenden Metall (hier z. B. Au) gefüllt und schließlich dessen Überstand incl. der Barriere auf dem Isolator mittels CMP planarisierend abpoliert. Da kommerziell keine Slurries für die Au-Politur verfügbar sind, wurde Hinweisen aus der Literatur [3] folgend eine Slurry mit Aluminiumoxid ( $\text{Al}_2\text{O}_3$ ) als Abrasivum schrittweise mit Additiven modifiziert und in Kombination mit einer geeigneten Barriere-Slurry für die Entfernung des Tantals (Ta) im Prozess qualifiziert.



**Abbildung 5** Mikroskopische Aufnahme von einer Au-Leitbahnstruktur und Profilmeterscans entlang der eingezeichneten Linie in verschiedenen Stadien der Au- und Ta-Polituren.

So konnte unter Verwendung der modifizierten Au-Slurry unter Standard-Polierbedingungen in relativ kurzer Zeit eine Stufenhöhenreduzierung unter Erhalt der Planarität erreicht werden (vgl. Veränderung von der blauen zur gelben Linie in Abbildung 5). Schließlich wurde das Ta noch mit der Barriere-Slurry abgetragen, und es resultiert, wenn man von geringfügigen Kanten-Erosionen absieht, eine sehr ebene Gesamtoberfläche (rote Linie in Abbildung 5).



**Abbildung 6** REM-Aufnahme der senkrecht zur Au-Leitbahn gebrochenen 5 µm-Struktur. Die Bruchkante im Gold ist entsprechend dessen Weichheit verschmiert.

Die sehr gute Planarität spiegelt sich in den Aufnahmen von Abbildung 6 wider. Bedingt durch die geringe Härte und mögliche Einlagerungen bei der finalen Barriere-Politur weisen die Au-Leitbahnen entsprechende Rauigkeiten und Einlagerungen auf, deren Einfluss und Vermeidung im weiteren Projektverlauf große Aufmerksamkeit gewidmet wird.

Entsprechend der Projektziele werden weiterhin Optimierungen der Prozessfolgen der Substrat-Herstellung einschließlich der Funktions- und Hilfs-Schichten bis hin zu den Polituren unternommen. Die entsprechenden Layouts werden dem Prozessfortschritt angepasst. Das VDI/VDE Verbundprojekt ForMikro-SPE3 trägt das Förderkennzeichen 16ES11067.

## Referenzen

- [1] <https://www.asianscientist.com/2015/08/in-the-lab/skku-black-phosphorus-transistor/>
- [2] H. Arora, „Effective Hexagonal Boron Nitride Passivation of Few-Layered InSe and GaSe to Enhance Their Electronic and Optical Properties“, ACS Appl. Mater. Interfaces, 11, 46, 43480-43487, 2019  
DOI: [10.1021/acsami.9b13442](https://doi.org/10.1021/acsami.9b13442)
- [3] G. Karbasian, „Chemical Mechanical Polishing of Gold“, Master Thesis, Graduate School of the University of Notre Dame, Indiana, 2013.

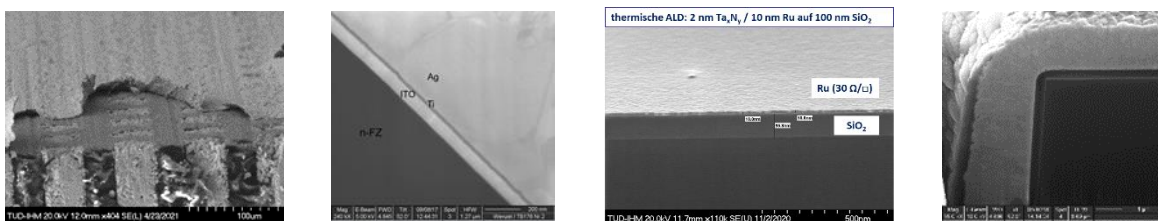
### 3 Forschungsdienstleistungen der Professur für Nanoelektronik

Die an der Professur für Nanoelektronik vorhandenen Techniken und Technologien der Nanoelektronik, der Mikrosystemtechnik sowie der Sensorik stehen der Professur Nanoelektronik zugehörigen Mitarbeitern der TU Dresden sowie auch Einrichtungen bzw. Firmen außerhalb der TU Dresden zur Verfügung. Die Erarbeitung und Realisierung kundenspezifischer Lösungen steht dabei im Vordergrund.

Am Anfang solcher Arbeiten erfolgt typischerweise eine intensive Diskussion und Beratung zu den Zielen und den Realisierungsmöglichkeiten. Bei Bedarf werden Vorversuche durchgeführt, die das Risiko eines Scheiterns minimieren sollen. Danach erfolgt i. d. R. ein verbindliches Angebot zu den Kosten, die sich aus den tatsächlichen Kosten und einem Unizuschlag zusammensetzen. Es gelten die Allgemeinen Geschäftsbedingungen der TU Dresden. Die Forschungsdienstleistungen werden nach bestem Fachwissen ausgeführt, eine Ergebnishaftung kann jedoch nicht gegeben werden.

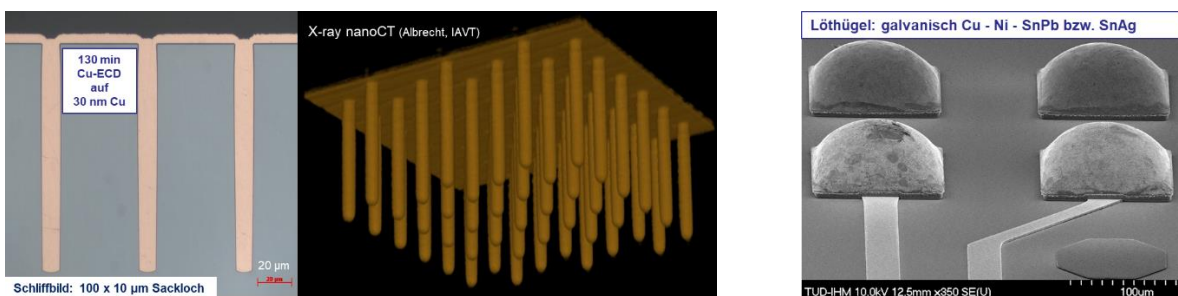
Anhand einiger Beispiele werden diese Forschungsdienstleistungen illustriert:

#### Waferbeschichtungen (Oxidation nass/ feucht mit HCl, PECVD/ALD/PVD-Prozesse zur Herstellung funktionaler Schichten u. Schichtsysteme, Diffusionsbarrieren, Metallisierungen für diverse Einsatzbereiche)

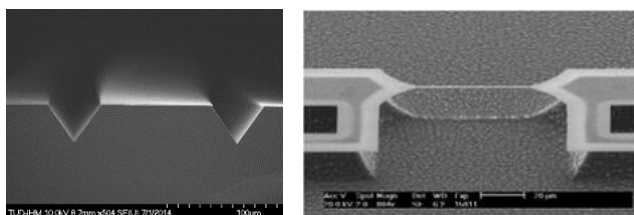


#### Galvanische Abscheidung von Metallen

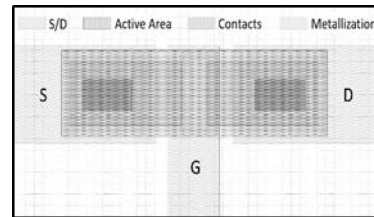
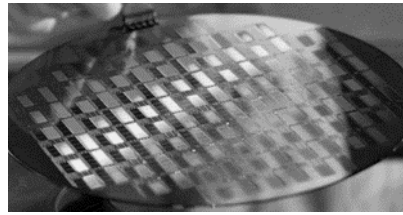
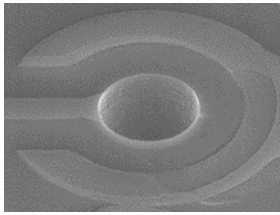
(chemisch: Ni, Au; elektrochemisch: Au, Cu, Ni; weitere Elemente auf Anfrage)



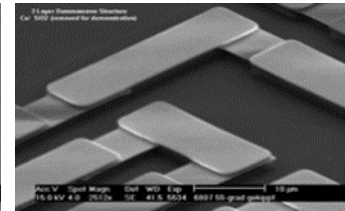
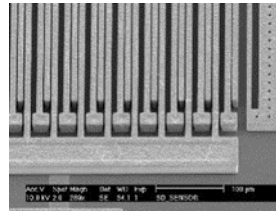
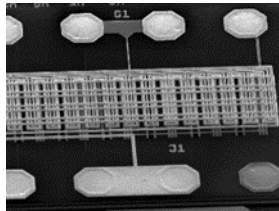
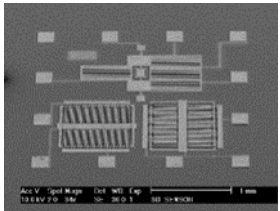
#### Schichtstrukturierung (chemisches Nass- und Trockenätzen)



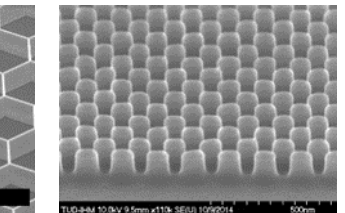
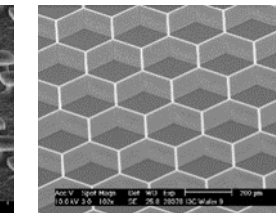
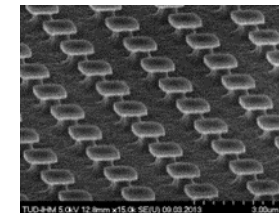
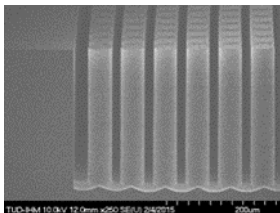
## Lithographie



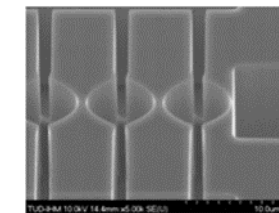
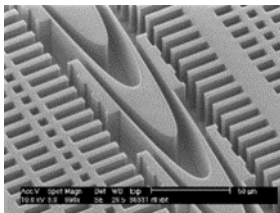
## Additive und substraktive Verdrahtungstechnologien (Damaszen-Strukturierung)



## Si-Tiefenätzen für TSV, MEMS, MOEMS und Mikrofluidik

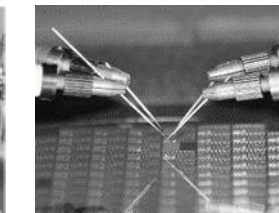
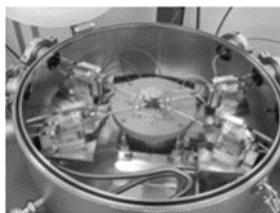


## Röntgennanolinsen



## Dünnschichtkondensatoren

## Elektrische Messtechnik (I-V, C-V, Durchbruchspannung, Transistorkennlinien, Charakterisierung von Solarzellen)



## Trennschleifen verschiedener Substrate (bis 200 mm/8") und Substratmaterialien (Si, Saphir, Gläser)

Weitere Informationen und Anfragen:

Dr. Matthias Albert

[matthias.albert@tu-dresden.de](mailto:matthias.albert@tu-dresden.de)

Prof. Thomas Mikolajick

[thomas.mikolajick@tu-dresden.de](mailto:thomas.mikolajick@tu-dresden.de)

4 Labor- und gerätetechnische Ausstattung – Voraussetzung für Ausbildung und Forschung



Forschungsgebäude am Mierdel-Bau (FaM)



Reinraumlabor am Mierdel-Bau

#### 4.1 Ausstattung Reinraumlabor

Verfahren/ Anlagen	Einsatzbereich/ Parameter
<b>Lithographie</b>	
Mask Aligner EVG6200	bis 200 mm Wafer, Kontakt/ Proximity-Belichtung, g/h/i-Linie Hg-Lampe, bis 1 µm Auflösung
Mask Aligner Suess MA/BA8 Gen4	bis 200 mm Wafer, Kontakt/ Proximity-Belichtung, Vorder- und Rückseiten-Alignment, g/h/i-Linie LEDS, Auto-Alignment, bis 1 µm Auflösung
Spincoater Convac	bis 150 mm Wafer
2x Spincoater Suess	bis 200 mm Wafer
Entwickler Convac	bis 150 mm Wafer
Entwickler Suess RDC8	bis 200 mm Wafer, clusterfähig
Hotplates, Vakuum-Temperofen, HMDS Bad	
<b>Temperanlagen</b>	
Rohrofen ATV PEO604	bis 1100 °C, bis 200 mm Wafer, Diffusion/ Dotierung aus dünnen Schichten, Opferoxidationen
Rohrofen Thermco 2604	bis 1100 °C, bis 150 mm Wafer, nass/ feucht Oxidation mit HCl für ultrareine Oxide, Formiergastemperaturen
Annealsys RTP AsOne150	bis 1250 °C (max. 60 s), bis 150 mm Wafer, Heizrate maximal 150 K/s, Oxidationen, Annealing/ Ausheilprozesse
<b>Beschichtung CVD/ALD</b>	
CVD Oxford Plasmalab 80	bis 150 mm Wafer, SiO <sub>x</sub> , SiN <sub>x</sub> , SiON
CVD Oxford PlasmaPro 100	bis 200 mm Wafer, SiO <sub>x</sub> , SiN <sub>x</sub> , SiON
ALD 1 Beneq TFS 500	bis 200 mm Wafer, TiN, TiO, Co, CoO, AlO <sub>x</sub> , optional mit Plasma
ALD 2 FHR 300 ALD Cluster	bis 300 mm Wafer, Mehrkammeranlage für Metalle und Oxide, TaN, Ru, AlO <sub>x</sub> , HfO <sub>x</sub> , TiO <sub>x</sub> , TaO <sub>x</sub> , optional mit Plasma, inkl. <i>in situ</i> -Analytik mit AFM/STM, XPS/UPS
ALD 3 FHR Cluster DS 100x4	bis 100 mm Wafer, Mehrkammeranlage, AlO <sub>x</sub> , TaO <sub>x</sub> , TaN, optional mit Flash-Unterstützung, PECVD-Kammer
ALD 4 Picosun R-200	bis 200 mm Wafer, PEALD AlO <sub>x</sub> , TiO <sub>x</sub> , TiN
<b>Beschichtung PVD</b>	
FHR PVD Cluster	bis 200 mm Wafer, inverser Ionenätzter, Multitargetanlage SiO <sub>2</sub> , WTi, TaN, W, Co, Cu, Ru, ZnO:Al, ITO, AlSiCu, Fe, Mehrtiegelbedampfungsanlage Au, Al, Ni, Cr, Pt, Ti, Pd, Cu
<b>Strukturierung RIE/DRIE</b>	
RIE Oxford Plasmalab 80	bis 150 mm Wafer, Ätzen von SiO <sub>2</sub> , Polymerstrukturierung, Oberflächenaktivierung
RIE Oxford Plasmapro100	bis 200 mm Wafer, RIE, ALE
DRIE Oxford Estrelas	bis 150 mm, DRIE Si-Tiefenätzter
ASE 1 STS	150 mm Wafer, Si-Tiefenätzter
DRIE STS Pegasus	100 bis 200 mm Wafer, DRIE Si-Tiefenätzter, hohe Ätzrate + Aspektverhältn.
PVA Tepla AutoLoader 300	Resiststripper
<b>Beschichtung nasschemisch (elektrochemisch)</b>	
ECD Rena EPM 100 T	bis 200 mm Wafer, Cu galvanisch (andere Metalle möglich)
<b>Strukturierung nasschemisch</b>	
CMP 1 Presi	bis 150 mm Wafer, Cu
CMP 2 Mecapol E460	bis 200 mm Wafer, SiO <sub>x</sub>
CMP 3 Poli 762	bis 300 mm Wafer, divers
Cleaner 812	bis 300 mm Wafer
Nassbank und Spinätzer	bis 200 mm Wafer
Waferreinigung	RCA, HF, ...



<b>Analytik - Chemische Analytik und Oberflächenanalytik</b>	
XPS/UPS, AFM/STM Omicron	Integriert in FHR ALD 300 Cluster
AFM Digital Instruments 3500	
REM Zeiss EVO 15	Proben bis 250 mm, 3 nm Ortsauflösung
Profilometer Bruker DektakXT	
<b>Elektrische Charakterisierung</b>	
ResMap 4-Spitzen-Messplatz	bis 200 mm Wafer, Schichtwiderstandsmessungen
Vakuumprober + Keithley 4200SCS	Temperatur- und feuchtigkeitsabhängig, LF- und HF-C-V, I-V, gepulste Messungen, Widerstand, Diode, Transistor (MOSFET), BJT, Kondensator
<b>Optische Charakterisierung</b>	
Hochauflösende Mikroskope Nikon L200 und L300	Objektive 5 – 100x, Okulare 10x, Durchlicht und Reflexion, differenzieller Interferenzkontrast
Ellipsometer RC2 J.A. Woolam	Schichtdickenbestimmung
Messmikroskopsystem	Spektralreflektometer mit Mapping-Option
FTIR-Spektrometer Bruker Vertex 80v	NIR-FIR-Messungen in Transmission und verschiedenen Reflexions-Techniken (spiegelnd, ATR etc.); Interferometer- und Probenraum evakuierbar; Wafer z. T. bis 300 mm

## 4.2 Ausstattung FaM

Verfahren / Anlagen	Einsatzbereich/Parameter
<b>Beschichtung PVD</b>	
B30 Verdampfer	Verdampfung Al, Ag
<b>Beschichtung nasschemisch (galvanisch)</b>	
Galvanikanlage ENIG Ramgraber	bis 100 mm Wafer, NiP, Au (chemisch)
Galvanikanlage ECD	bis 100 mm Wafer, Au, SnAg, SnPb, In, Pd
<b>Analytik - Elektrochemische Analyse</b>	
VA Computrace 797	Messsystem zur Analyse von Elektrolytzusätzen
Versastat3-500	Elektrochemische Impedanzspektroskopie (EIS) inkl. ZView-Modellierung sowie Voltammetrie (inkl. rotierender Scheibenelektrode, RDE)
<b>Analytik - Elektrische Charakterisierung</b>	
Dunkelleitfähigkeitsmessplatz	200 fA ... 2 mA, 5E-05 mbar, <200°C, I(t), I(U), I(T), Keithley 617
Photoleitfähigkeitsmessplatz	20 pA ... 20 mA, I(t), I(U), AM1.5 Beleuchtung, Keithley 6517A
Sonnensimulator	150 W Xe-Lampe + Filter (AM1.5 Beleuchtung), I(U), 200 µA ... 3 A, HP34401A
Spequest ReRA/LOT-QD	250 nm – 1800 nm, phasenselektive Messung I(λ), externe Quanteneffizienz, Reflexion, Transmission
Halbautomatischer Wafermessplatz	200 pA ... 3 A, I(U), I(t), R(4-Punkt), I(U) Transistorkennlinien, diverse Mappingfunktionen, temperierbarer Chuck <600 °C, Triangularer Spannungssweep, Keithley 236/237/238, HP4140B
C-V-Messplatz/ Impedanzanalysator	20 Hz ... 2 MHz, 0 ... 2 V Testsignal, ±20 V bias, Cp-Rp, D, Q, G, Z, X, R, Keysight E4980
Keysight B1500A Semiconductor Device Analyzer	10 fA ... 1 A, (pulsed) I-V, C-V
<b>Analytik - Oberflächenanalytik</b>	
AFM Oxford Cypher S	Topographie (Kontakt- und Tapping-Modus), DART, KPFM, CAFM, PFM
<b>Mikrodrahtbonden</b>	
Manueller US-Drahtbonder F&K Delvotec 5430	Al-Draht, beschichteter Au- und Cu-Draht

## 5 Lehre und Ausbildung

Die Professur vertritt in der Lehre hauptsächlich das Fachgebiet der Mikro- und Nanoelektronik. Schwerpunkte der Lehrveranstaltungen sind bestehende und aufkommende Speichertechnologien (Memory Technology), Halbleitertechnik und Mikrotechnologie sowie innovative Bauelemente (Innovative Semiconductor Devices). Darüber hinaus vermittelt die Professur den Studenten die Grundlagen der guten wissenschaftlichen Praxis (Academic and Scientific Work) und engagiert sich in diversen fakultätsübergreifenden Übungen/ Tutorien.

Studenten ist die Möglichkeit gegeben, an unserer Professur ihre Belegarbeit/Studienarbeit, Diplomarbeit, Project Work, oder Masterarbeit anzufertigen. Sehr guten Absolventen steht die Möglichkeit offen, nach dem Studium ihre Doktorarbeit (Dr.-Ing.) am Institut betreuen zu lassen.

### 5.1 Übersicht über die Lehrveranstaltungen

Die folgenden Lehrveranstaltungen werden von den Mitarbeitern der Professur für Nanoelektronik abgedeckt:

Name der Veranstaltung	Verantwortlicher
Mikrotechnologie	Prof. Thomas Mikolajick
Chemie für Ingenieure	Dr. Ulrich Künzelmann
Halbleitertechnologie/ Prozessintegration	Prof. Johann W. Bartha
Dünne Schichten	Dr. Christian Wenzel
Vakuumtechnik/ Vacuum Technology	Prof. Johann W. Bartha
Solarenergietechnik	Dr. Matthias Albert
Speichertechnologie/ Memory Technology 1	Prof. Thomas Mikolajick
Speichertechnologie/ Memory Technology 2	Prof. Thomas Mikolajick
Academic and Scientific Work	Dr. Stefan Schmolt
Innovative Semiconductor Devices	Dr. André Heinzig
Praktikum Halbleitertechnologie	Dr. Ulrich Künzelmann
- CVD	- Johanna Reif, Dr. Martin Knaut
- RIE	- Dr. Karola Richter, Dr. Rumen Deltschew
- PVD	- Dr. Carsten Strobel, Dr. Benjamin Max
- Lithographie	- Sebastian Killge, Andreas Jahn
- ECD	- Dr. Volker Neumann
- Nassätzung	- Dr. Ulrich Künzelmann, Sylva Waurenschk
- Elektrische Charakterisierung	- Sebastian Leszczyński, Florian Nebe

## 5.2 Übersicht über angefertigte studentische Arbeiten

DA = Diplomarbeit, MA = Masterarbeit, PA = Projektarbeit (project work), SA = Studienarbeit

Student	Art, Ende	Betreuer	Thema
Rasbach, Julius	DA, 04/2022	Dr. M. Knaut	Gezielte Modifikation fester Ladungen in Siliziumdioxid – Prozessoptimierung und Charakterisierung
Shahrukh Shakeel	MA, 03/2021	Dr. K. Richter	Creation of top down produced SiGe Nanowires by Plasma Etching
Islam Ahmed	MA, 10/2020	Dr. M. Knaut	Deposition and characterization of high temperature stable passivation layers for SAW technology
Shuozhou Yang	SA, 09/2020	Dr. C. Strobel, Dr. R. Kirchner	Development of a polymeric nanoimprint mold concept for realization of sub-500 nm patterns in graphene mono-layers
Rasbach, Julius	SA, 10/2021	Dr. M. Knaut	Entwicklung eines plasmagestützten Prozesses für die Atomlagenabscheidung von Aluminiumnitrid-Schichten
Yuanhe Cui	SA, 02/2021	Dr. M. Knaut, S. Killge	Entwicklung von Prozessen für die Atomlagenabscheidung von Tantalnitrid und Ruthenium
Voigt, Carl Lukas	SA, 05/2021	Dr. C. Strobel, S. Leszczynski	Untersuchung der Eignung von VHF-PECVD (140 MHz) für die TOPCon Solarzellentechnologie
Long, Lei	SA, 11/2021	Dr. V. Neumann	Untersuchung der elektrochemischen Abscheidung von Kupfer (Cu-ECD) aus schwefelsauren Elektrolyten mittels elektrochemischer Impedanz-Spektroskopie (EIS)
Ohlsen, Arne	SA, 09/2021	Dr. M. Knaut, S. Killge	Untersuchung von Schichtspannung bei verschiedenen Beschichtungsprozessen
Bieg, Ole	SA, 06/2022	Dr. M. Knaut	Entwicklung eines kombinierten thermischen und plasmagestützten ALD-Prozesses zur Herstellung von Ruthenium-Schichten
Akash Sunilkumar Mistry	PA, 05/2020	S. Charania, Dr. K. Richter, Dr. U. Künzelmann	Optical coupling elements: Design, fabrication and characterization of optical coupling elements
Islam Ahmed	PA, 03/2020	Dr. M. Knaut	Investigations on sticking coefficients of alumina atomic layer deposition processes
Nithin Anujan Beena	PA, 04/2021	Dr. K. Richter, A. Hiess	Deposition of anti-sticking layers on moulding masters of silicon

## 6 Veranstaltungen und Workshops

### 6.1 DGKK Workshop 2019



Der Workshop der Deutschen Gesellschaft für Kristallzüchtung und Kristallwachstum e. V. (DGKK) zur Epitaxie von III-V-Halbleitern wurde am 05./06. Dezember 2019 im Penck-Hotel von der Professur für Nanoelektronik organisiert. Insgesamt konnten 115 Teilnehmer aus Deutschland, Großbritannien, Niederlande, Tschechien und den USA begrüßt werden. Auf dem Workshop wurden folgende Themen behandelt:

- Nano- und Quantenstrukturen
- Oberflächen
- Homo- und Heteroepitaxie
- Lichtemitter
- technische Neuerungen in der Epitaxie
- neuartige Materialien, u. a. Nitride, Phosphide, Arsenide, Antimonide

Der Workshop wurde organisiert von:

Dr. Stefan Schmult, Dr. Benjamin Max, Manuela Tetzlaff, Prof. Thomas Mikolajick

## 6.2 International Memory Workshop (IMW)



Der International Memory Workshop (IMW) ist das führende internationale Forum für neue und etablierte Wissenschaftler und Technologen, um die aktuellsten Entwicklungen der Speichertechnologie, Designs, Prozesse, Systeme und aktuelle Marktlagen, Trends und Strategien mit der globalen Wissenschaftsgemeinde zu teilen und zu erfahren. Der Fokus dieses Workshops reicht dabei von neuen Speicherkonzepten in der frühen Forschungsphase, aufstrebenden Technologien in der Entwicklung bis hin zu bestehenden Technologietreibern in kommerzieller Volumenproduktion. Die Workshop-Sitzungen sind so organisiert, dass genügend Zeit für informellen Wissensaustausch und Gespräche zwischen Präsentatoren und Teilnehmern vorhanden ist. Die Diskussionen sollen dabei an aktuell relevante Themen in der Speicher- und Systemtechnologie angelehnt sein. Eingereichte Beiträge behandeln alle Aspekte der Halbleiterspeicher (Flash, DRAM, SRAM, PCRAM, RRAM, MRAM, FRAM, eingebettete Speicher, Systeme und aufstrebende Speicherkonzepte), z. B.:

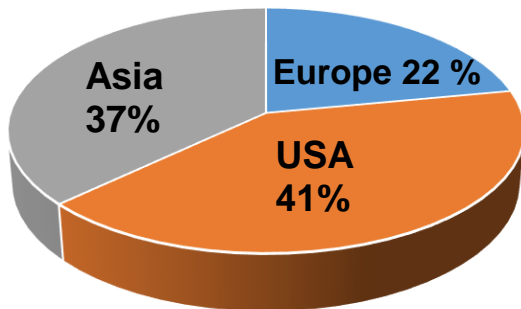
- Device Physics & Modeling
- New Concepts & Disruptive Technologies
- Cell Design & Novel Materials
- Emerging Applications & Markets
- Circuit Design, Algorithms & Error Management
- SSD, Mobile & Automotive Applications
- Quality & Reliability
- In-Memory & Neuromorphic Computing
- System Architecture
- Memory-enabled Artificial Intelligence

Vor der Corona-Pandemie war der 12. International Memory Workshop (IMW) für den 17. bis 20. Mai 2020 in Dresden geplant. Durch die Kontakt- und Reisebeschränkungen fand er stattdessen als virtuelle On-Demand-Konferenz statt. Alle Präsentationen (Tutorials, akzeptierte Paper und Poster) wurden als Online-Präsentation/ Video mit Audiokommentaren hochgeladen und standen für die Konferenzteilnehmer danach als On-Demand-Video zur Verfügung. Zusätzlich gab es die Möglichkeit, online Fragen an die Redner zu stellen. Es haben insgesamt ca. 200 Personen an der Konferenz teilgenommen.

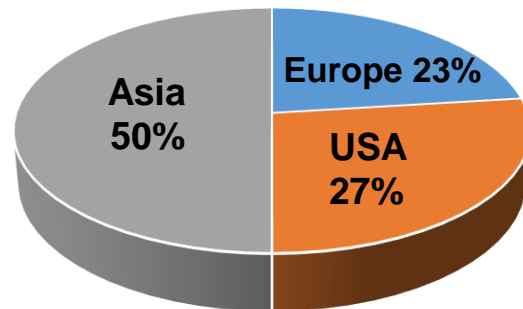
Der 13. International Memory Workshop (IMW) fand vom 16. bis 19. Mai 2021 ebenfalls als virtuelle On-Demand-Konferenz statt. Die Teilnehmeranzahl betrug 231.

Die Zusammensetzung beider Workshops nach Regionen zeigt die folgende Grafik.

International Participation  
IMW 2020



International Participation  
IMW 2021



Das Organisationskommittee bestand 2021 aus folgenden Personen:

General Chair	Publicity Chair	Technical Chair	Finance and Local Chair
Srivardhan Gowda	Zhiqiang Wei	Dirk Wouters	Thomas Mikolajick
Intel	Avalanche Technology	RWTH Aachen	TU Dresden / NaMLab gGmbH

Aktuelle Informationen zum 14. International Memory Workshop (IMW) 2022 finden sich hier:  
<https://www.ewh.ieee.org/soc/eds/imw/>

### 6.3 GMM Arbeitskreis „Materialien für nichtflüchtige Speicher“



Der Arbeitskreis „Materialien für nichtflüchtige Speicher“ beschäftigt sich mit aktuellen Forschungsthemen auf dem Gebiet hochintegrierter Halbleiterspeicher und zukünftiger Speicherzellenkonzepte.

Der Arbeitskreis wird zukünftig als Fachgruppe der GMM - VDE/VDI-Gesellschaft Mikroelektronik, Mikro- und Feinwerktechnik fortgeführt.

Innerhalb des Fachbereichs Mikro- und Nanoelektronik - Herstellung (GMM-FB 1) wurde hierfür im Fachausschuss Gesamtprozesse (1.3) der neue Schwerpunkt Materialien für nichtflüchtige Speicher (1.3.6) eingerichtet.

Aufgrund der Corona-Pandemie musste das normalerweise jährlich stattfindene GMM-Arbeitskreis-Meeting im Jahr 2020 und im Jahr 2021 ausfallen. Das nächste Treffen ist für März 2022 im Rahmen der Abschlusstagung ForLab geplant.

Weitere Informationen findet man auf diesen Webseiten:

<https://tu-dresden.de/ing/elektrotechnik/ihm/nanoelektronik/kooperation/gmm-arbeitskreis-materialien-fuer-nichtfluechtige-speicher>

<https://www.elektronikforschung.de/service/aktuelles/mikroelektronikforschung#veranstaltung>

#### 6.4 Erste Tagung des ALPIN – Atomic Layer Processing Innovation Network



Am 21. und 22. September 2021 fand der kick-off-Workshop des "Atomic Layer Processing Innovation Network" (ALPIN) mit 72 Teilnehmern im Gerhart-Potthoff-Bau der Technischen Universität Dresden statt. ALPIN soll als deutschlandweiter Nachfolger des ALD Lab Saxony die Zusammenarbeit und Vernetzung der verschiedenen Forschergruppen, Anwender und Firmen in den Bereichen Atomic Layer Deposition und des Atomic Layer Etching fördern. Geplant sind jährliche Workshops an wechselnden Standorten, nach dem Start in Dresden 2021 geht es 2022 nach Duisburg oder Bochum. Die Präsentation von Veröffentlichungen und Neuigkeiten finden Sie auf der Internetseite des Netzwerks (<https://alpin-germany.de/>).

Beim Kick-Off Workshop haben sich die Teilnehmer am ersten Tag mit je einer persönlichen Folie vorgestellt und in den Pausen sowie bei der gemeinsamen Abendveranstaltung besser kennengelernt. Am zweiten Tag wurden in neun Fachvorträgen neue Ergebnisse und Entwicklungen aus dem Bereich Atomic Layer Processing präsentiert. Parallel dazu gab es eine Ausstellung mit zahlreichen Postern und einigen Firmenpräsentationen.



### 6.5 Dresden Microelectronics Academy (DMA)

Stillstehende Autofabriken, Lieferengpässe bei Elektronikprodukten - das Jahr 2021 wird unter anderem als das Jahr des Chipmangels in Erinnerung bleiben. Viele Schlagzeilen drehten sich um die Lieferengpässe der Halbleiterbranche. Vielen Menschen wurde bewusst, wie stark die Abhängigkeit der Wirtschaft von einem der wichtigsten Güter unserer Zeit ist und wie empfindlich die Lieferketten sind. Die Diskussion um die Stärkung Europas als Halbleiterstandort mit dem Ziel einer größeren Unabhängigkeit von Asien und Nordamerika gewann noch einmal deutlich an Fahrt.

#### Infrastruktur und Talente

Während dafür einerseits enorme Investitionen in die Produktionsinfrastruktur notwendig sind, braucht es auf der anderen Seite auch ausreichend hochqualifizierte Fachkräfte. Die Sommerschule „Dresden Microelectronics Academy“ (DMA) wurde im Jahr 2000 von Prof. Johann W. Bartha (Senior-Professur für Halbleitertechnik) an der TU Dresden gegründet, um einen Beitrag zu leisten, Aufmerksamkeit für den boomenden Mikroelektronik-Standort „Silicon Saxony“ zu schaffen und Talente anzulocken, die sich hier aus- oder weiterbilden wollen oder einen Job in der Branche suchen. Seit einigen Jahren ist das Center for Advancing Electronics Dresden (cfaed) maßgeblich an der Organisation und Durchführung der DMA beteiligt.

Ein zentraler, attraktiver Schwerpunkt der einwöchigen Veranstaltung waren bisher stets die unmittelbaren Live-Einblicke in die Produktionshallen der großen lokalen Halbleiterproduzenten. Durch die Pandemie war das nun so nicht mehr umsetzbar, und im Jahr 2020 wurde die DMA deshalb nicht durchgeführt. 2021 nun haben die Partner den Versuch gewagt, die Veranstaltung komplett online durchzuführen und dennoch so nah wie möglich an den besonderen Charakter der traditionsreichen Sommerschule heranzukommen.

#### Neuer Mitveranstalter an Bord

Der große Zuspruch hat dieses Konzept bestätigt: Mit knapp 60 Teilnehmerinnen und Teilnehmern hat das cfaed einen der größten Jahrgänge der DMA absolviert. Neben der leichteren Zugänglichkeit eines Online-Formats dürfte auch die namhafte Erweiterung des Kreises der Veranstaltungspartner als Zugpferd gewirkt haben.

Zu den langjährigen Partnern Globalfoundries, Infineon und X-Fab konnte Bosch Sensortec dazugewonnen werden. Nachdem bereits 2018 die DMA-Partnerschaften um das Dresdner Büro der Bosch Sensortec für Chipentwicklung mit dessen Einblicken in die Halbleiter-Domäne erweitert werden konnten, wurde in diesem Jahr durch den Elektronik-Spezialisten nun auch die neue Chipfabrik in Dresden eröffnet. Das 300-mm-Halbleiterwerk in Dresden ist Boschs erste AIoT-Fabrik. Dieser Begriff steht für die Kombination von künstlicher Intelligenz und dem Internet der Dinge. Mit der Fabrik setzt Bosch nach eigenen Angaben neue Maßstäbe beim Thema Industrie 4.0. Im Dresdner Werk wird u. a. Augmented Reality (AR) eingesetzt - dank smarter AR-Datenbrillen oder Tablets werden Nutzerinnen und Nutzern digitale Zusatzinformationen in die reale Umgebung eingeblendet.

Die Keynote von Dr. Dirk Droste (Head of ASIC Design Center Dresden, Bosch Sensortec GmbH) „Semiconductor Industry – Beyond Textbook Physics“ war einer der Höhepunkte des Programms, wie auch die Podiumsdiskussion zum Thema „Career Paths in Microelectronics“,

an der führende Vertreter aller Veranstaltungspartner sowie Prof. Stefan Mannsfeld (cfaed/ TU Dresden, Professur für Organische Bauelemente) teilnahmen und ganz persönliche Einblicke in ihre Werdegänge gaben. Yvonne Keil aus dem Vorstand des Branchenverbandes Silicon Saxony e. V. moderierte die Diskussion, bei der sich die Teilnehmer Tipps für die eigene Karrieregestaltung holen konnten. Generell führte das DMA-Programm entlang des Oberthemas „From ‚More Moore‘ to ‚Beyond Moore‘“ und war gefüllt mit inspirierenden Vorträgen, virtuellen Führungen, einem Online-Quiz, Diskussionsrunden und Karriereentwicklungstrainings.

### Teilnehmende 2021

56 Teilnehmende

16 Herkunftsländer

69 % Masterstudierende, 15 % Doktoranden, 11 % PostDoc-Level

69 % männlich, 31 % weiblich

Fachrichtungen: Elektroingenieur- und Materialwissenschaften, Informatik, Physik, Chemie

### Über die DMA

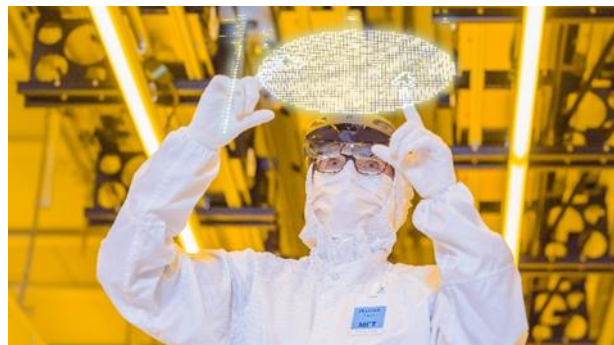
Die jährlich stattfindende Sommerschule Dresden Microelectronics Academy (DMA) wird in Zusammenarbeit der Professuren für Halbleitertechnologie und Organische Bauelemente der TU Dresden durchgeführt. Partner sind die Unternehmen Robert Bosch Semiconductor Manufacturing Dresden GmbH, Bosch Sensortec GmbH, Globalfoundries Dresden, Infineon Technologies Dresden GmbH & Co. KG und X-FAB Dresden GmbH & Co. KG. Seit 2015 liegt die Organisation der Akademie beim Center for Advancing Electronics Dresden (cfaed) an der TU Dresden. Die Veranstaltung wird von der Landeshauptstadt Dresden unterstützt.

Link: [www.cfaed.tu-dresden.de/dma-welcome](http://www.cfaed.tu-dresden.de/dma-welcome)

### Über das cfaed - Center for Advancing Electronics Dresden

Das cfaed ist ein Forschungscluster an der Technischen Universität Dresden (TUD). Als interdisziplinäres Forschungszentrum für Perspektiven der Elektronik ist es an der TUD als Zentrale Wissenschaftliche Einrichtung angesiedelt und integriert Mitglieder aus außer-universitären Forschungseinrichtungen in Sachsen und Sachsen-Anhalt sowie der TU Chemnitz. Das Cluster widmet sich den Grundlagen zukunftsfähiger Informationstechnologien, die mit den heutigen siliciumbasierten Bauelementen nicht möglich wären. Um seine Ziele zu erreichen, verbindet das cfaed den Wissensdurst der Naturwissenschaften mit der Innovationskraft der Ingenieurwissenschaften.

Link: <https://www.cfaed.tu-dresden.de/news>



A clean room worker operates a virtual screen. Photo: Bosch

## 7 Publikationen

### Dissertationen

F. Winkler, „**Through Silicon Via Field-Effect Transistor with Hafnia-based Ferroelectrics and the Doping of Silicon by Gallium Implantation Utilizing a Focused Ion Beam System**“, September 2020.

Betreuender Hochschullehrer: Prof. Johann W. Bartha

Link: <https://nbn-resolving.org/urn:nbn:de:bsz:14-qucosa2-728829>

B. Max, „**Kombination Resistiver und Ferroelektrischer Schaltmechanismen in HfO<sub>2</sub>-basierten Bauelementen**“, April 2021.

Betreuender Hochschullehrer: Prof. Thomas Mikolajick

Link: <https://nbn-resolving.org/urn:nbn:de:bsz:14-qucosa2-751631>

### Veröffentlichungen in Zeitschriften und Konferenzen (chronologisch)

J. Reif, M. Knaut, S. Killge, F. Winkler, M. Albert, J. W. Bartha, „**In-vacuo studies on plasma-enhanced atomic layer deposition of cobalt thin films**“, Journal of Vacuum Science & Technology A, Bd. 38, Nr. 1, 012405, Jan. 2020.

DOI: [10.1116/1.5132891](https://doi.org/10.1116/1.5132891)

D. D. Fischer, M. Knaut, J. Reif, F. Nehm, M. Albert, J. W. Bartha, „**Direct plasma-enhanced atomic layer deposition of aluminum nitride for water permeation barriers**“, Journal of Vacuum Science & Technology A, Bd. 38, Nr. 2, 022419, März 2020.

DOI: [10.1116/1.5131087](https://doi.org/10.1116/1.5131087)

T. Mikolajick, U. Schröder, S. Slesazek, „**The Past, the present, and the future of ferroelectric memories**“, IEEE Transactions on Electron Devices, Bd. 67, Nr. 4, S. 1434–1443, April 2020.

DOI: [10.1109/TED.2020.2976148](https://doi.org/10.1109/TED.2020.2976148)

S. Schmult, S. Wirth, V. V. Solovyev, R. Hentschel, A. Wachowiak, T. Scheinert, A. Groß, I. V. Kukushkin, T. Mikolajick, „**Normally-off operation of lateral field-effect transistors fabricated from ultrapure GaN/AlGaN heterostructures**“, physica status solidi (a), Bd. 217, Nr. 7, 1900732, April 2020.

DOI: [10.1002/pssa.201900732](https://doi.org/10.1002/pssa.201900732)

I. V. Kukushkin, S. Schmult, „**Renormalization of the spectrum of in-depth excitations below the Fermi level in a two-dimensional electron system with strong interaction**“, Physical Review B, Bd. 101, Nr. 23, 235152, Juni 2020.

DOI: [10.1103/PhysRevB.101.235152](https://doi.org/10.1103/PhysRevB.101.235152)

T. Mauersberger, I. Ibrahim, M. Grube, A. Heinzig, T. Mikolajick, W. M. Weber, „**Size effect of electronic properties in highly arsenic-doped silicon nanowires**“, Solid-State Electronics, Bd. 168, 107724, Juni 2020.

DOI: [10.1016/j.sse.2019.107724](https://doi.org/10.1016/j.sse.2019.107724)

T. Mikolajick, H. Mulaosmanovic, P. Lomenzo, M. Hoffmann, S. Slesazeck, U. Schröder, „**Hafnium oxide as an enabler for competitive ferroelectric devices**“, in 2020 IEEE Silicon Nanoelectronics Workshop (SNW), Juni 2020.

DOI: [10.1109/SNW50361.2020.9131618](https://doi.org/10.1109/SNW50361.2020.9131618)

S. Charania, N. Neumann, S. Killge, F. Winkler, Z. Al-Husseini, L. Szilagy, R. Henker, F. Ellinger, D. Plettemeier, J. W. Bartha, „**Design, fabrication, and comparison of 3D multimode optical interconnects on silicon interposer**“, Journal of Lightwave Technology, Bd. 38, Nr. 13, S. 3454–3460, Juli 2020.

DOI: [10.1109/JLT.2020.2971394](https://doi.org/10.1109/JLT.2020.2971394)

L. Krückeberg, S. Wirth, V. V. Solovyev, A. Großer, I. V. Kukushkin, T. Mikolajick, S. Schmult, „**Quantum and transport lifetimes in optically induced GaN/AlGaN 2DEGs grown on bulk GaN**“, Journal of Vacuum Science & Technology B, Bd. 38, Nr. 4, 042203, Juli 2020.

DOI: [10.1116/1.5145198](https://doi.org/10.1116/1.5145198)

A. V. Shchepetilnikov, A. R. Khisameeva, Yu. A. Nefyodov, S. Schmult, I. V. Kukushkin, „**Observation of microwave-induced resistance oscillations in a contactless geometry**“, Physical Review B, Bd. 102, Nr. 7, 075445, August 2020.

DOI: [10.1103/PhysRevB.102.075445](https://doi.org/10.1103/PhysRevB.102.075445)

B. Max, M. Hoffmann, S. Slesazeck, T. Mikolajick, „**Built-in bias fields for retention stabilisation in hafnia-based ferroelectric tunnel junctions**“, Electronics Letters, Bd. 56, Nr. 21, S. 1108–1110, September 2020.

DOI: [10.1049/el.2020.1529](https://doi.org/10.1049/el.2020.1529)

R. Kirchner, V. Neumann, F. Winkler, C. Strobel, S. Völkel, A. Hiess, D. Kazazis, U. Künzelmann, J. W. Bartha, „**Anisotropic etching of pyramidal silica reliefs with metal masks and hydrofluoric acid**“, Nano Micro Small, Bd. 16, Nr. 43, 2002290, Oktober 2020.

DOI: [10.1002/sml.202002290](https://doi.org/10.1002/sml.202002290)

F. Winkler, C. Strobel, C. Wenzel, J. W. Bartha, „**The doping of Si p-field-effect transistor devices by gallium focused ion beam implantation enabling flexible fabrication routes at moderate temperatures**“, physica status solidi (a), Bd. 218, Nr. 2, 2000511, November 2020.

DOI: [10.1002/pssa.202000511](https://doi.org/10.1002/pssa.202000511)

B. Max, M. Hoffmann, H. Mulaosmanovic, S. Slesazeck, T. Mikolajick, „**Hafnia-based double-layer ferroelectric tunnel junctions as artificial synapses for neuromorphic computing**“, ACS Applied Electronic Materials, Bd. 2, Nr. 12, S. 4023–4033, Dezember 2020.

DOI: [10.1021/acsaelm.0c00832](https://doi.org/10.1021/acsaelm.0c00832)

V. V. Solovyev, S. Schmult, L. Krückeberg, A. Großer, T. Mikolajick, I. V. Kukushkin, „**Light-tunable 2D subband population in a GaN/AlGaN heterostructure**“, Applied Physics Letters, Bd. 118, Nr. 1, 013101, Januar 2021.

DOI: [10.1063/5.0027010](https://doi.org/10.1063/5.0027010)

D. Hiller, D. Tröger, M. Grube, D. König, T. Mikolajick, „**The negative fixed charge of atomic layer deposited aluminium oxide - a two-dimensional SiO<sub>2</sub>/AlO<sub>x</sub> interface effect**“, Journal of Physics D: Applied Physics, Bd. 54, Nr. 27, 275304, April 2021.

DOI: [10.1088/1361-6463/abf675](https://doi.org/10.1088/1361-6463/abf675)

T. Mikolajick, U. Schröder, S. Slesazeck, „**The case for ferroelectrics in future memory devices**“, 5th IEEE Electron Devices Technology Manufacturing Conference (EDTM), April 2021.

DOI: [10.1109/EDTM50988.2021.9420821](https://doi.org/10.1109/EDTM50988.2021.9420821)

T. Mikolajick, U. Schröder, M. H. Park, „**Special topic on ferroelectricity in hafnium oxide: Materials and devices**“, Applied Physics Letters, Bd. 118, Nr. 18, 180402, Mai 2021.

DOI: [10.1063/5.0054064](https://doi.org/10.1063/5.0054064)

J. Reif, M. Knaut, S. Killge, M. Albert, J. Bartha, T. Mikolajick, „**In situ analysis on atomic layer etching of Al<sub>2</sub>O<sub>3</sub>**“, 21st International Conference on Atomic Layer Deposition and 8th International Atomic Layer Etching Workshop ALD/ALE 2021, Juni 2021.

M. Knaut, L. Jäckel, M. Albert, T. Mikolajick, „**Process parameter and substrate dependence of sticking coefficients in atomic layer deposition processes**“, 21st International Conference on Atomic Layer Deposition and 8th International Atomic Layer Etching Workshop ALD/ALE 2021, Juni 2021.

S. Killge, J. Reif, M. Knaut, M. Albert, J. W. Bartha, T. Mikolajick, „**In-situ and in-vacuo studies on area selective atomic layer deposited ruthenium films on silicon and silicon oxide**“, 21st International Conference on Atomic Layer Deposition and 8th International Atomic Layer Etching Workshop ALD/ALE 2021, Juni 2021.

T. Mikolajick und U. Schröder, „**Ferroelectricity in bulk hafnia**“, Nature Materials, Bd. 20, Nr. 6, Art. Nr. 6, Juni 2021.

DOI: [10.1038/s41563-020-00914-z](https://doi.org/10.1038/s41563-020-00914-z)

T. Mauersberger, J. Trommer, S. Sharma, M. Knaut, D. Pohl, B. Rellinghaus, T. Mikolajick, André Heinzig, „**Single-step reactive ion etching process for device integration of hafnium-zirconium-oxide (HZO)/titanium nitride (TiN) stacks**“, Semiconductor Science and Technology, Bd. 36, Nr. 9, 095025, August 2021.

DOI: [10.1088/1361-6641/ac1827](https://doi.org/10.1088/1361-6641/ac1827)

C. Strobel, C. A. Chavarin, B. Leszczynska, S. Leszczynski, K. Richter, M. Albert, C. Wenger, J. W. Bartha, „**A novel graphene-base heterojunction transistor with saturated output current**“, Video Proceedings of Advanced Materials, Bd. 2, 2108241, August 2021.

DOI: [10.5185/vpoam.2021.08241](https://doi.org/10.5185/vpoam.2021.08241)

M. Knaut, R. Deltshew, M. Albert, T. Mikolajick, „**Flash-lamp enabled atomic layer deposition of titanium oxide**“, Electrochemical Society Meetings Abstract, Bd. MA2021-02, Nr. 29, S. 869, Oktober 2021.

DOI: [10.1149/MA2021-0229869mtgabs](https://doi.org/10.1149/MA2021-0229869mtgabs)

T. Mikolajick, G. Galderisi, M. Simon, S. Raj, A. Kumar, A. Heinzig, W. M. Weber, J. Trommer,  
„**20 Years of reconfigurable field-effect transistors: From concepts to future applications**“,  
Solid-State Electronics, Bd. 186, 108036, Dezember 2021.  
DOI: [10.1016/j.sse.2021.108036](https://doi.org/10.1016/j.sse.2021.108036)





**Impressum**

**Herausgeber:** Technische Universität Dresden  
Institut für Halbleiter- und Mikrosystemtechnik  
Professur für Nanoelektronik

**Redaktion:** Dr. Benjamin Max / Dr. Volker Neumann

**Adresse:** Nöthnitzer Straße 64  
01187 Dresden