

**detaillierter Studienablaufplan Studiengang Informationssystemtechnik, Fachgebiet Elektronische Schaltungen und Systeme (DPO 2014), Hilfsmittel zur Planung**

Stand: 30.08.2024

= alte Module

Modul-Nr./CN	Modulname Lehrveranstaltung (Abk. im Stundenplan)	6. Semester	7. Semester	Konto HISPOS	Hinweise zu Prüfungsleistungen	LP	Modulverantwortlicher	Studentensets
		V/Ü/P	V/Ü/P					
ET-12 08 19 <small>M1208-11240</small>	<b>VLSI-Prozessorwurf</b> VLSI-Prozessorwurf/ VLSI Processor Design ( <i>VLSI-ProcDesign</i> ) [Lehrsprache Englisch]	<b>2/2/2 2PL</b> 2/2/2		<b>78100</b>	<b>M = (2 PL1 + PL2) / 3</b> PL1 Projektarbeit 30h 78110 PL2 Referat 20 min 78120	<b>7</b>	<b>Prof. Mayr</b>	EuiDE-8-ST, EuiDE-8-BEI, EuiDI-6-ESS
ET-12 08 16 <small>M1208-11100</small>	<b>Radio Frequency Integrated Circuits</b> Radio Frequency Integrated Circuits ( <i>RadFreqIC</i> ) [Lehrsprache Englisch]	<b>3/1/2 PL</b> 3/1/2		<b>75100</b>	<b>M = PL</b> PL Klausur (engl., Beantwortung dt. o. engl.) 120min 75110 75111 (engl.)	<b>7</b>	<b>Prof. Ellinger</b>	EuiDE-8-ST, EuiDE-8-BEI, EuiDI-6-ESS, EuiMN-3-APP, EuiMN-3-TEC, EuiMN-3-DES
ET-12 08 17 <small>M1208-11230</small>	<b>Integrated Circuits for Broadband Optical Communications</b> Integrated Circuits for Broadband Optical Communications ( <i>ICBC</i> ) [Lehrsprache Englisch]		<b>3/1/2 PL</b> 3/1/2	<b>77900</b>	<b>M = PL</b> PL1 Klausur (wahlweise dt. o. engl.) 120min 77910 (77911 engl.)	<b>7</b>	<b>Prof. Ellinger</b>	
ET-12 10 16 <small>M1210-11220</small>	<b>Digitale Signalverarbeitung und Hardware-Implementierung</b> Hardware-/Software-Codesign für Signalprozessoren ( <i>H-/S-Codesign</i> )  Praktikum Hardware-/Software-Codesign ( <i>Hardware/Software Codesign Lab</i> )	<b>2/1/0 PL</b> 2/1/0	<b>0/0/2 PL</b> 0/0/2	<b>77300</b>	<b>M = (2 PL1 + 1 PL2) / 3</b> PL1 ab 16 TN Klausur 120 min, bis zu 16 TN mdl. PL 20min 77310 PL2 Praktikumsbericht 77320	<b>7</b>	<b>Prof. Fettweis</b>	EuiDE-9-NT2, EuiDE-9-ST, EuiDI-7-ESS, EuiDI-7-KOM  EuiDE-9-NT2, EuiDE-9-ST, EuiDI-7-ESS, EuiDI-7-KOM

Modul-Nr./CN	Modulname Lehrveranstaltung (Abk. im Stundenplan)	6. Semester	7. Semester	Konto HISPOS	Hinweise zu Prüfungsleistungen	LP	Modulverantwortlicher	Studentensets
		V/Ü/P	V/Ü/P					
<b>ET-12 08 07</b> <small>M1208-11170</small> <small>wird ab WiSe 24/25 nicht mehr angeboten</small>	<b>Einführung in die Theorie nichtlinearer Systeme</b> Beschreibung und Analyse nichtlinearer Systeme/ Analysis and Description of Nonlinear Systems ( <i>B.u.A. nichtlin. Syst</i> ) [Lehrsprache Englisch]	<b>2/1/0 PL</b> 2/1/0	<b>2/1/0 PL</b>	<b>77500</b>	<b>M = (PL1 + PL2) / 2</b> PL1 ab 10 TN Klausur 90 Min., bis zu 10 TN Mdl. PL 30min 77530	<b>7</b>	<b>Prof. Tetzlaff</b>	EuiDE-8-ST, EuiDI-6-ESS
	Zellulare nichtlineare Netzwerke ( <i>Zell.ni.-lin.NW</i> ) [Lehrsprache Englisch]		2/1/0		PL1 an 10 TN Klausur 90min, bis zu 10 TN Mdl. PL 30min 77540			EuiDE-9-ST, EuiDI-8-ESS
<b>ET-12 08 08</b> <small>M1208-11180</small>	<b>Schaltungssimulation und Systemidentifikation</b> Schaltungssimulation und -modellierung ( <i>Schalt.Simul.</i> ) Modellbildung und Systemidentifikation ( <i>Mod.bil.u.Syst.ident.</i> )	<b>1/1/0 PL</b> 1/1/0	<b>2/1/0 PL</b> 2/1/0	<b>81500</b>	<b>M = (PL1 + PL2) / 2</b> PL1 Klausur 120 min 81510 PL2 Klausur 120 min 81520	<b>7</b>	<b>Prof. Tetzlaff</b>	EuiDE-8-ST, EuiDI-6-ESS
								EuiDE-9-ST, EuiDI-7-ESS
<b>ET-12 08 27</b> <small>M1208-11360</small>	<b>Neuromorphe VLSI Systeme</b> Neuromorphe VLSI Systeme ( <i>Neurom.VLSI-Sys</i> )	<b>4/2/0</b> 4/2/0		<b>83100</b>	<b>M = (2 PL1 + PL2) / 3</b> PL1 Beleg 83110 PL2 Referat 83120	<b>7</b>	<b>Prof. Mayr</b>	EuiDE-8-ST, EuiDI-6-ESS