



Hauptseminar „Rechnerarchitektur und Programmierung“

Thema:

Mikroarchitektur- und Speicherzugriffsanalyse auf ARM Serverprozessoren

Der Student beschreibt den Aufbau und die Funktionalität der Mikro- und Speicherarchitektur eines aktuellen ARM Server Systems. Dazu führt er Benchmarks aus, die Bandbreiten und Latenzen des Systems messen und passt diese Benchmarks entsprechend der Architektur an.

Inhaltliche Schwerpunkte und Hinweise:

- Literaturrecherche und Einarbeitung in Vorarbeiten zur Analyse von ARM Systemen
- Beschreibung der Cavium Vulcan ARM Mikroarchitektur
- Speicherarchitekturbeschreibung eines Cavium ThunderX2 Systems
- Anpassung der existierenden Arbeiten an die neue Architektur
- Ausführung von Benchmarks zur Speicherarchitekturanalyse und Auswertung der Ergebnisse

Literatur:

- McIntosh-Smith, Simon, et al. "Comparative benchmarking of the first generation of hpc-optimised arm processors on isambard." Cray User Group 5 (2018).
- Molka, Daniel, et al. "Memory performance and cache coherency effects on an intel nehalem multiprocessor system." 2009 18th International Conference on Parallel Architectures and Compilation Techniques. IEEE, 2009.
- Oldenburg, Roland M., "Das Texas Instruments OMAP 4430 SoC - Architektur und Performance-Analyse", Hauptseminar Rechnerarchitektur und Programmierung, TU Dresden, 2011
- Oldenburg, Roland M., "Analyse der Speicherhierarchie bei ARM Cortex-A9 Prozessoren", Großer Beleg, TU Dresden, 2013
- Hofmann, J., Alappat, C. L., Hager, G., Fey, D., & Wellein, G. (2019). Bridging the Architecture Gap: Abstracting Performance-Relevant Properties of Modern Server Processors. arXiv preprint arXiv:1907.00048.

Betreuender Hochschullehrer: Prof. Dr. Wolfgang E. Nagel

Betreuer: Dr.-Ing. Schöne, Robert
robert.schoene@tu-dresden.de
Raum: WIL A104