



Aufgabenstellungen für Beleg-, Bachelor-, Master- oder Diplomarbeiten

Thema: **Aufbau einer FPGA-basierten Datenverarbeitung für eine parallelisierte Datennahme physikalischer Experimente am Ausbildungskernreaktor AKR-2**

Hintergrund zu den Aufgabenentwürfen:

Ein zentrales Element von sogenannten *Beamline Facilities* (X-Ray, Electrons, Protons, Neutrons, Heavy Ions) ist eine effiziente und belastbare Datenaufzeichnung (Data Acquisition – DAQ) zu gewährleisten. Gleichzeitig stellt der Trend von immer höheren Datenraten zunehmend komplexere Anforderungen an die Analyse eben dieser Daten. Als low-budget System angesetzt soll am Beispiel der Datenaufzeichnung für ein Experiment des Ausbildungskernreaktors (AKR-2) der TU Dresden eine parallelisierte Aufzeichnung der Daten mittels eines FPGA-gestützten System-on-a-Chip (SoC) mit einer teilautomatisierten Zuweisung bzw. Auswertung der Daten anhand eines Neuronalen Netzwerkes (NN) aufgebaut werden. Das Experiment nutzt dabei mehrere Protonen-Rückstoß-Detektoren, um Rückschlüsse auf das Spektrum der schnellen Neutronen des Reaktors zu ermöglichen. Eine Online-Analyse und Kategorisierung der Eingangssignale würde dabei die Datenverarbeitung enorm unterstützen. Der Aufbau dieses low-budget Systems erfolgt dabei in den im Folgenden erläuterten Schritten und baut auf ersten Voruntersuchungen auf.

Weitere Anpassungen der Aufgabenstellungen sind möglich.

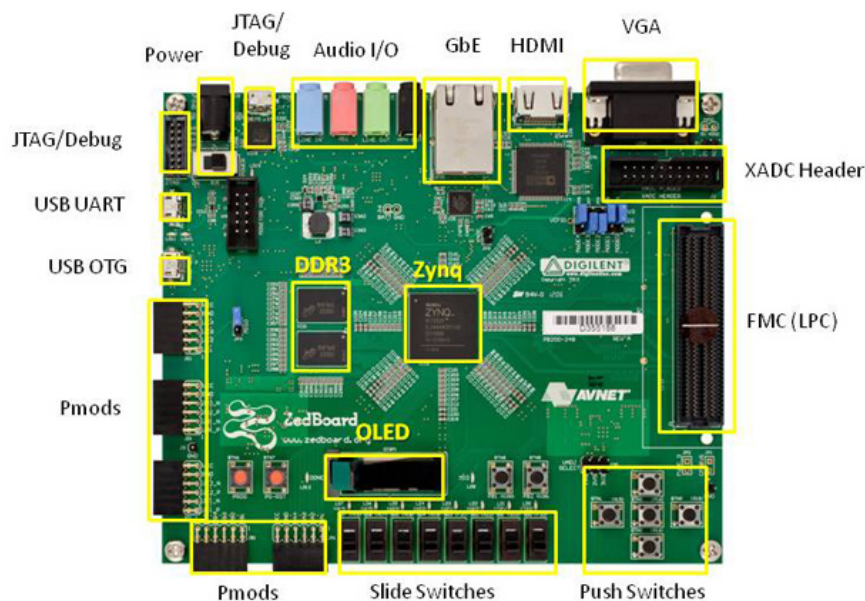
1. Optimierung der Messung sowie Benchmarking der Datenverarbeitung von Signalverläufen über die Pmod-Schnittstelle des ZedBoards

Die Aufgabe unterteilt sich in zwei Schwerpunkte. Zum einen ist der Signalverlauf von den acht BNC-Eingängen, welche über ein Zusatzmodul an die Pmod-Schnittstelle des ZedBoard geknüpft sind, nachzuvollziehen und zu optimieren. Die Verarbeitung sowie die Übermittlung der Daten via Ethernet ist dabei auf dem ZedBoard zu implementieren. Hierfür sind Kenntnisse der Software Vivado bzw. der Umgang mit der Hardwarebeschreibungssprache VHDL/Verilog von Vorteil, jedoch nicht Bedingung. Dies stellt die Einarbeitung in das Thema sowie die erste Bearbeitungsphase dar. Des Weiteren ist eine Kontrollsoftware (GUI oder Kommandozeile) zur alleinigen Ansteuerung der FPGA-Messkarte des ZedBoards via Ethernet zu implementieren, welche für das an die Optimierung der Datenverarbeitung anschließende Benchmarking benötigt wird. Nähere Informationen über das ZedBoard finden sich unter:

<http://zedboard.org/product/zedboard>

Die Arbeit wird in folgende Teilaufgaben untergliedert:

- (a) Einarbeitung in die Pmod-Schnittstelle des ZedBoards
- (b) Einarbeitung in die FPGA-Programmiersprache Verilog/VHDL
- (c) Implementierung der Datenverarbeitung und Datenübermittlung via Ethernet
- (d) Benchmarking der Datenverarbeitung
- (e) Auswertung und Dokumentation der Arbeit



* SD card cage and QSPI Flash reside on backside of board

Betreuer und Ansprechpartner:

- Dr. Carsten Lange (carsten.lange@tu-dresden.de)
- M.Sc. Rico Hübscher (rico.huebscher@tu-dresden.de)

2. Erweiterung des ZedBoards zur Datennahme um ein Analog-Digital-Converter Board

Auf die vorherige Aufgabe aufbauend ist die Datennahme des FPGA-gestützten ZedBoard um ein ADC-Board zu erweitern. Dieses wird gestellt und soll über den FMC (LPC) Anschluss des ZedBoard angeschlossen und ertüchtigt werden. Eine entsprechende Erweiterung der Kontrollsoftware sowie ein Benchmarking knüpfen sich an diese Aufgabe an. Auch hier sind Kenntnisse der Software Vivado bzw. der Umgang mit der Hardwarebeschreibungssprache VHDL/Verilog von Vorteil, jedoch nicht Bedingung. Dabei ist folgendes ADC-Board zu verwenden:

<https://www.digikey.com/product-detail/en/linear-technology-analog-devices/DC1884A-F/DC1884A-F-ND/4766022>.

Die Arbeit ist in folgende Teilaufgaben untergliedert:

- (a) Einarbeitung in das ADC-Board
- (b) Einarbeitung in die FPGA-Programmiersprache Verilog/VHDL
- (c) Anschluss des ADC-Boards an die entsprechenden Schnittstellen des ZedBoards
- (d) Erweiterung der Kontrollsoftware
- (e) Auswertung und Dokumentation der Arbeit



Linear Technology/Analog Devices

Betreuer und Ansprechpartner:

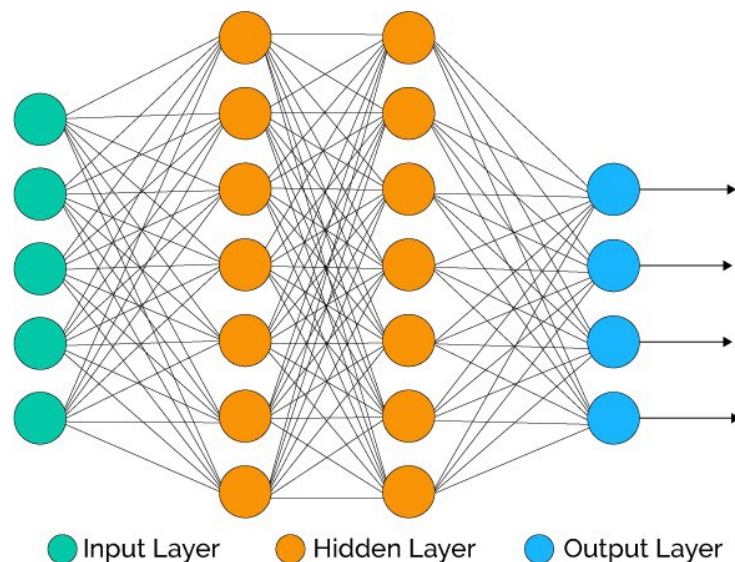
- Dr. Carsten Lange (carsten.lange@tu-dresden.de)
- M.Sc. Rico Hübscher (rico.huebscher@tu-dresden.de)

3. Automatisierung der experimentellen Datenauswertung mittels Künstlicher Neuronaler Netze

In letzter Instanz soll die Datennahme unter Zuhilfenahme von Künstlichen Neuronalen Netzen (KNN) für die Auswertung der Daten des Experimentes teilautomatisiert werden. Hierfür ist angedacht ein NN auf dem FPGA des ZedBoard zu realisieren. Die Auswahl des KNN wird dabei durch Vorarbeiten unterstützt. Die endgültige Entscheidung, welches KNN sich als geeignete Wahl herausstellt, soll über eine Analyse bzw. ein Benchmarking getroffen werden.

Die Arbeit untergliedert sich in folgende Teilaufgaben:

- (a) Literaturrecherche zu Arten und Einsatzgebieten Künstlicher Neuronaler Netze
- (b) Einarbeitung in das ZedBoard
- (c) Implementierung eines geeigneten Neuronalen Netzes
- (d) Inbetriebnahme des Netzes auf dem ZedBoard
- (e) Auswertung und Dokumentation der Arbeit



Schematische Darstellung eines Neuronalen Netzes

Betreuer und Ansprechpartner:

- Dr. Carsten Lange (carsten.lange@tu-dresden.de)
- M.Sc. Rico Hübscher (rico.huebscher@tu-dresden.de)
- Dipl.-Ing. Ilkay Wunderlich (ilkay.wunderlich@tu-dresden.de)