



HDP – Hardware Defined Programming

Adaptive Computing with Reconfigurable Hardware

Dienstag, 26.09.2017 - N105

Begrüßung und Keynote

9:00 Uhr – 10:30 Uhr

- **Dr. Albrecht Mayer,**
Senior Principal Emulation Systems and Tooling Infineon Technologies AG

Kaffeepause

10:30 Uhr

Applications I

11:00 Uhr – 12:00 Uhr

- **FPGA-basierter Protein- und DNA-Sequenzvergleich zur optimierten Datenbanksuche mit dem BLAST-Algorithmus**
Thomas Fabian Starke, Timm Bostelmann and Sergei Sawitzki
- **A Hardware Accelerator Framework Approach for Dynamic Partial Reconfigurable Overlays on Xilinx PYNQ**
Benedikt Janßen, Tim Wingender and Michael Hübner

Mittagspause

12:00 Uhr

Applications II

14:00 Uhr – 15:30 Uhr

- **Modellierung anwendungsspezifischer Hardware und deren Einbettung in die DBT-basierte Prozessor-Verhaltenssimulation**
Steffen Köhler and Rainer G. Spallek
- **Hardwaregestützte Positionsschätzung mit Bayes'schen Filtern auf Basis 3- dimensionaler Umgebungsmodelle für den Innenbereich**
Christian Schott, Daniel Froß, Marko Roßler and Ulrich Heinkel
- **DC/DC Converter Development by Means of Electrical/Thermal Co-Simulation – from Concept to Control Algorithm and Test**
Radovan Vuletić, Sandra Zeljković, Pawan Garg and Denais Alann

Kaffeepause

15:00 Uhr

Security

16:00 Uhr – 17:00 Uhr

- **A New Level of Trusted Cloud Computing – Virtualized Reconfigurable Resources in a Security-First Architecture**
Paul R. Genßler, Oliver Knodel and Rainer G. Spallek
- **Separated Random Number Generators for Virtual Machines**
Clemens Fritzsich, Jörn Hoffmann and Martin Bogdan

Abschluss

17:00 Uhr

Organisation des Workshops

Dipl.-Inf. Oliver Knodel, TU Dresden
Dr.-Ing. Steffen Köhler, TU Dresden

Prof. Dr. Rainer G. Spallek, TU Dresden
Dr.-Ing. Marko Rößler, TU Chemnitz

