



# Verdrahtungsvorhersage beim Layoutentwurf

Johann Knechtel

Dresden, 13.01.2010

# Gliederung

1. Motivation & Einleitung
2. Metriken & Methoden der Verdrahtungsvorhersage
3. Zusammenfassung

# 1.1 Motivation zur Verdrahtungsvorhersage

- *Moore's law*: Gatteranzahl steigt exponentiell
  - elektrische Eigenschaften Leiterzüge skalieren nicht gut
  - Allokation der verfügbaren Leiterzüge kritisch für gesamtes Design
    - *power, clock* & kritische Netze zuerst; danach rest. Signalnetze
    - event. lokale Überfüllungen
- Definition Überfüllung [SSS07]: Lokaler Bedarf an Verdrahtungsressourcen übersteigt lokale Verdrahtungskapazitäten
- während Verdrahtung → Umgehung von Überfüllungen, evt. kompliziert
- frühzeitige Erkennung & Vermeidung Überfüllungen: Verdrahtungsvorhersage, *congestion-aware design tools*

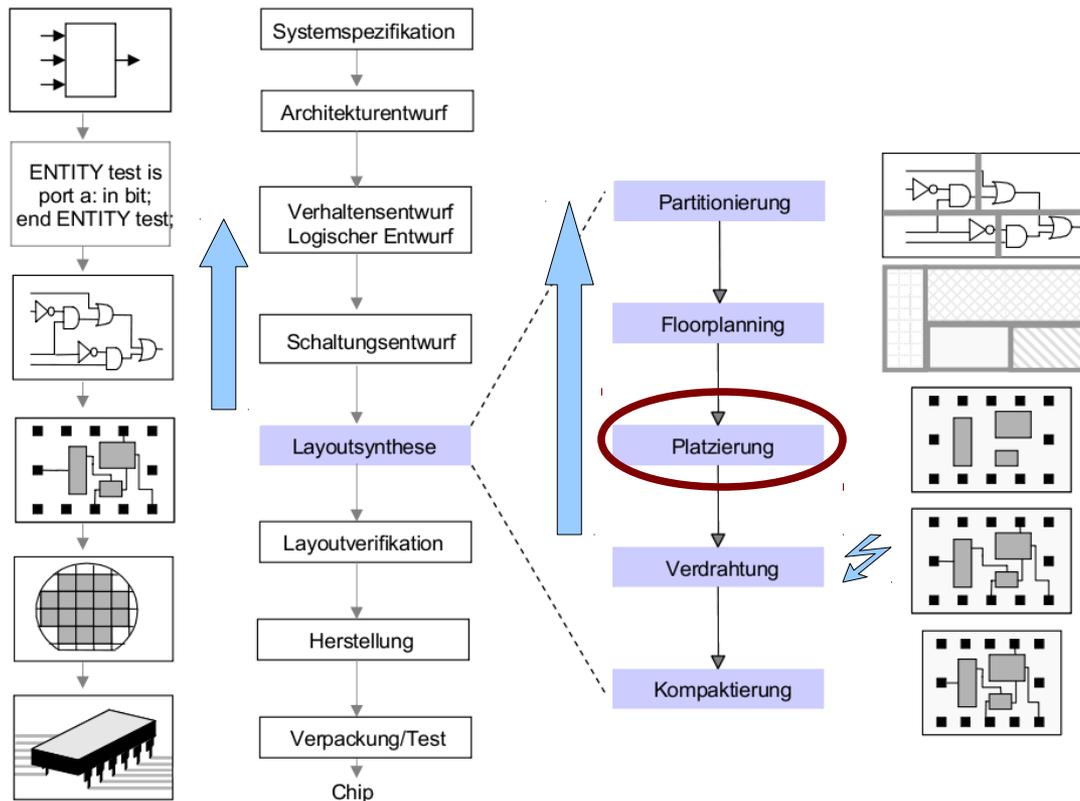
## 1.2 Probleme durch Überfüllungen [SSS07]

- reduzierte Leistung des Gesamtdesigns; *delay*
  - Umleitungen, resistivere Metall-Lagen, mehr Vias, höheres Übersprechen
- Unsicherheit innerhalb des *design flows*
  - fehlerhafte Schätzung kritischer Pfade
  - Block nicht verdrahtbar → *redesign* → gesamtes Design betroffen
- reduzierte Produktionsausbeute & Zuverlässigkeit
  - Vias generell produktionskritisch
  - größere Bereiche mit dicht gepackten Leiterzügen → prozessbedingte Kurzschlüsse wahrscheinlicher
- Verschärfung durch Skalierungen in Design-Prozess
  - erhöhter Bedarf an Verdrahtungskapazitäten
  - Verkleinerung Leiterbahnen → Vergrößerung Leitungswiderstand

## 1.3 Auflösung während Verdrahtung

- Verdrahter nutzen vielfältige Ansätze
- Globalverdrahter: Verdrahtungsressourcen entsprechend Kapazitäten gleichmäßig verteilen
  - Hierarchien, *rip-up and reroute*
- Lokalverdrahter: lokale Auflösung von Überfüllung bzw. Unverdrahtbarkeiten
  - z.B. *Signal and Power Codesign*

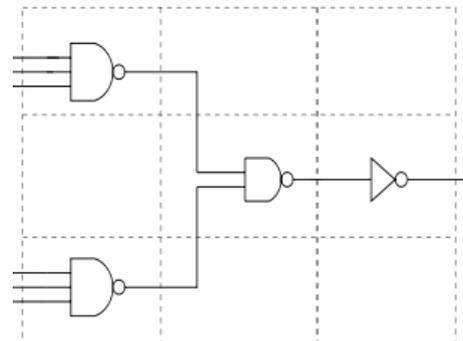
# 1.4 Einordnung in den Design-Prozess



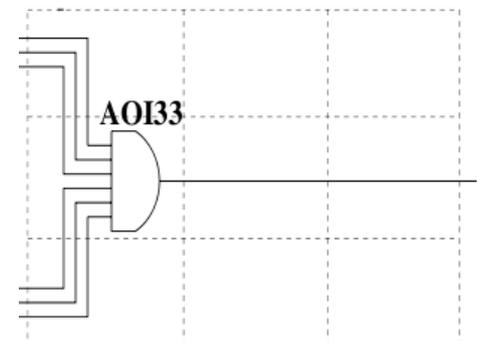
[Lie06]

## 2.1 Vorhersage in frühen Entwurfsphasen

- Logischer Entwurf bzw. Logische Synthese
    - RTL → boolesches Netzwerk
  - graphenbasierte Metriken, z.B. *literal count*
    - Korrelation zu finaler Gatterschaltung & Platzierung gering
      - Bewertung Metriken schwierig
- Bsp: literal count, and-or-invert [SSS+04]
    - (a): 9 Literale
      - höhere Gatteranzahl, Fläche, *delay*
    - (c): 6 Literale
      - höhere Leiterzugsdichte: 7



(a)



(c)

## 2.1 Vorhersage in frühen Entwurfsphasen

- Schaltungsentwurf bzw. Technologiemapping
  - konkrete Gatter
- Methoden analog Vorhersage während Platzierung
  - wie vorheriges Beispiel; jetzt konkrete Gatte & initiale Platzierung
  - Korrelation zu finaler Platzierung besser, nicht optimal
    - Partitionierung & Floorplanning

## 2.2 Vorhersage während Platzierung [SSS07]

- am sinnvollsten, Schritt vor Verdrahtung
  - aktuelle Platzierer sind *congestion-aware*
- Verdrahtungsvorhersage: Abwägung zwischen Laufzeit und Qualität
  - Schnelle Metriken: schnell, geringe Qualität
  - Probabilistische Methoden: Balance zw. Laufzeit und Qualität
  - Schnelle Globalverdrahter: langsamer, höchste Qualität
- Hierarchische Vorhersage
  - zu Beginn großer Lösungsraum → schnelle, ungenaue Vorhersage
  - gegen Ende kleiner Lösungsraum → langsame, genaue Vorhersage

## 2.3 Schnelle Metriken [SSS07]

- Gesamte Verdrahtungslänge

$$TWL = \sum_{n \in N} l_n = \sum_B d(B) = \sum_B C^B \cdot s(B)$$

$l_n$ : length net  $n$ ;  $d(B)$ : demand for tracks for bin  $B$ ;  
 $s(B)$ : supply of tracks for bin  $B$ ;  $C^B$ : congestion for bin  $B$

- Pin-Dichte

$$PD = \frac{p(B)}{A(B)}$$

$p(B)$ : pins for bin  $B$ ;  $A(B)$ : area for bin  $B$

- global; problematisch
  - TWL nicht lokal, manche Bins können hohe Überfüllung aufweisen
  - Abschätzung TWL generell fehlerbehaftet
- lokal: bin bezogen; besser
  - *intra-bin* & *inter-bin* Netze
  - $\frac{3}{4}$  der Überfüllungen entstehen d. *intra-bin* bzw. *inter-bin* Netze [HM02]
- Perimeter-Grad, Rent's Rule, ...

## 2.4 Probabilistische Methoden [SSS07]

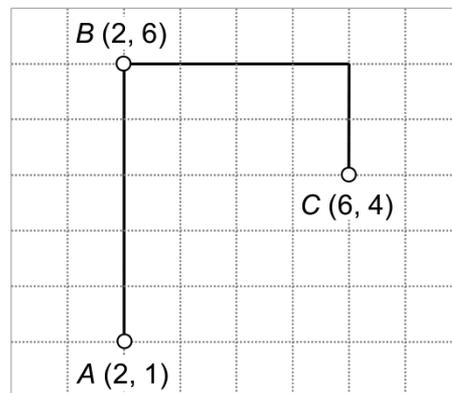
- probabilistische Modellierung des Verhaltens von Globalverdrahtern
  - wahrscheinliche Strukturen Leiterzüge → wahrscheinliche Belegung von Verdrahtungsressourcen
- besonders in überfüllten Bereichen ungenau (Überschätzung)
  - Globalverdrahter können oft Überfüllungen auflösen, *rip-up and reroute* erwähnt
  - Nachbesserung Schätzung → z.B. Umverteilung überfüllte Bereiche [SY05]
- allgemeine Fehlerquellen
  - Handhabung Blockierungen; Makroblöcke, Vias, Layer-Kapazitäten
  - Modellierung Umleitungen, *reroute*
  - Zuordnung Leiterbahnen zu konkreten Layern
  - Zerlegung von Multipin-Netzen

## 2.5 Schnelle Globalverdrahter [SSS07]

- Vereinfachung Verdrahtungsaufgabe
- Reduktion Lösungsraum; Verdrahtungsgraph
  - Zusammenlegung von Layern
  - grobere Kachelung Verdrahtungsbereiche
- Schnelle Suchalgorithmen
  - vereinfachtes *rip-up and reroute*
  - Schnelle Wegsuche; *best-first* statt *breadth-first*
- Vergleich mit Probabilistischen Methoden lohnenswert
  - ähnliche Laufzeit, bessere Qualität eines spez. Globalverdrahters [WG05]
  - typischerweise 2-3 langsamer als probabilistische Methoden [SSS07]

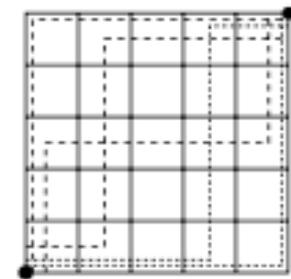
## 2.6 Probabilistisches Modell nach Westra [WBG04]

- Untersuchung von sechs industriellen Design (max. 240 000 Netze)
  - Großteil der Netze sind 2-Pin-Netze
  - Wenige 2-Pin-Netze weisen Umleitungen auf
  - Wenige 2-Pin-Netze weisen mehr als 2 Biegungen auf (*L & Z shape*)
  - Verteilung von L-Netzen (60%) und Z-Netzen (40%) ist relativ konstant
- Multipin-Zerlegung als rektilinear minimaler Spannbaum
- Fehleranalyse (bzgl. max. reale Belegung): 65% bins: < 5%; <1% bins: >20%



[Lie06]

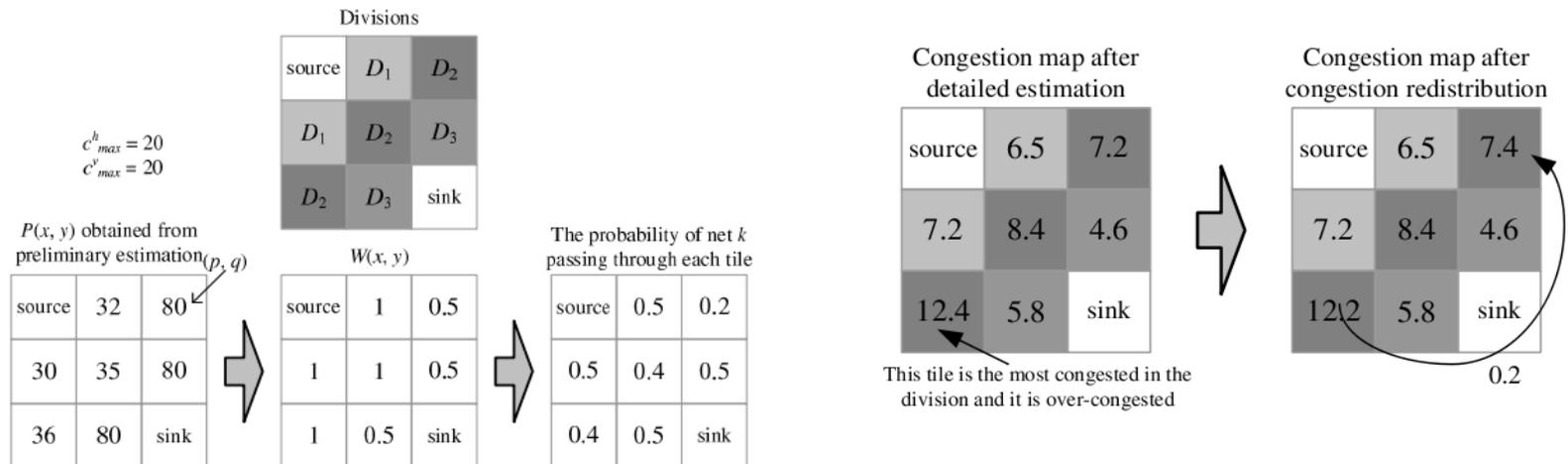
.25	.29	.38	.46	.50
.29	.08	.08	.08	.46
.38	.08	.08	.08	.38
.46	.08	.08	.08	.29
.50	.46	.38	.29	.25



Verteilungswahrscheinlichkeit [WBG04]

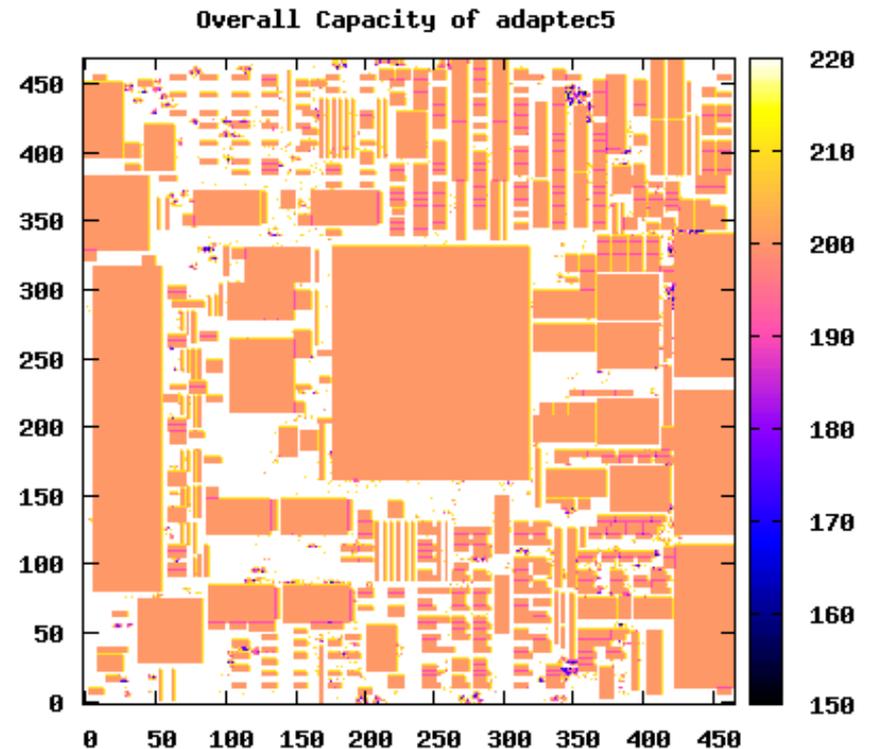
## 2.7 Probabilistisches Modell nach Sham [SY05]

- Ziel: bessere Modellierung Verhalten Verdrahter, v.a. in überfüllten Bereichen
- dreistufiger Ablauf
  1. grobe Vorhersage; Gleichverteilung Leiterzüge, kürzeste Manhattan-Verb.
  2. detaillierte Vorhersage; Wichtung potenziell überfüllter bins
  3. lokale Umverteilung bei Überfüllung
- Fehleranalyse: 20% geringere Abweichung [WBG04] (bei doppelter Laufzeit)

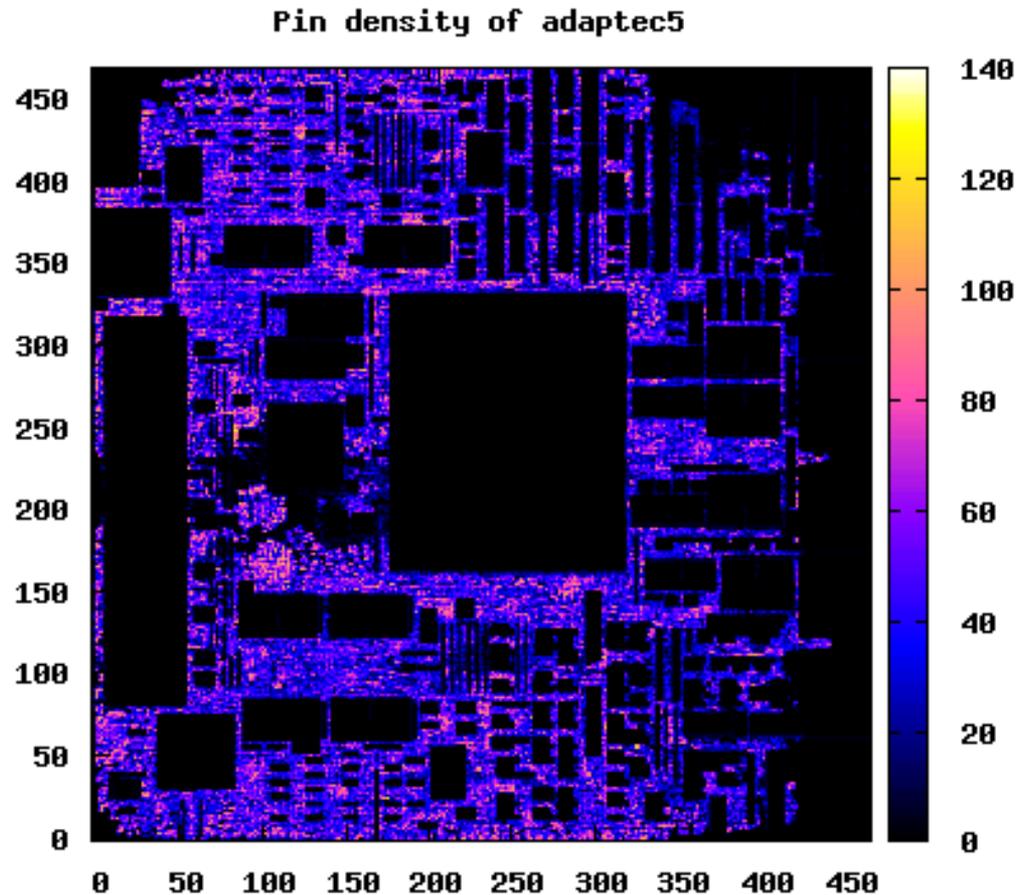


## 2.8 Beispiel aus der ISPD 2008 Suite

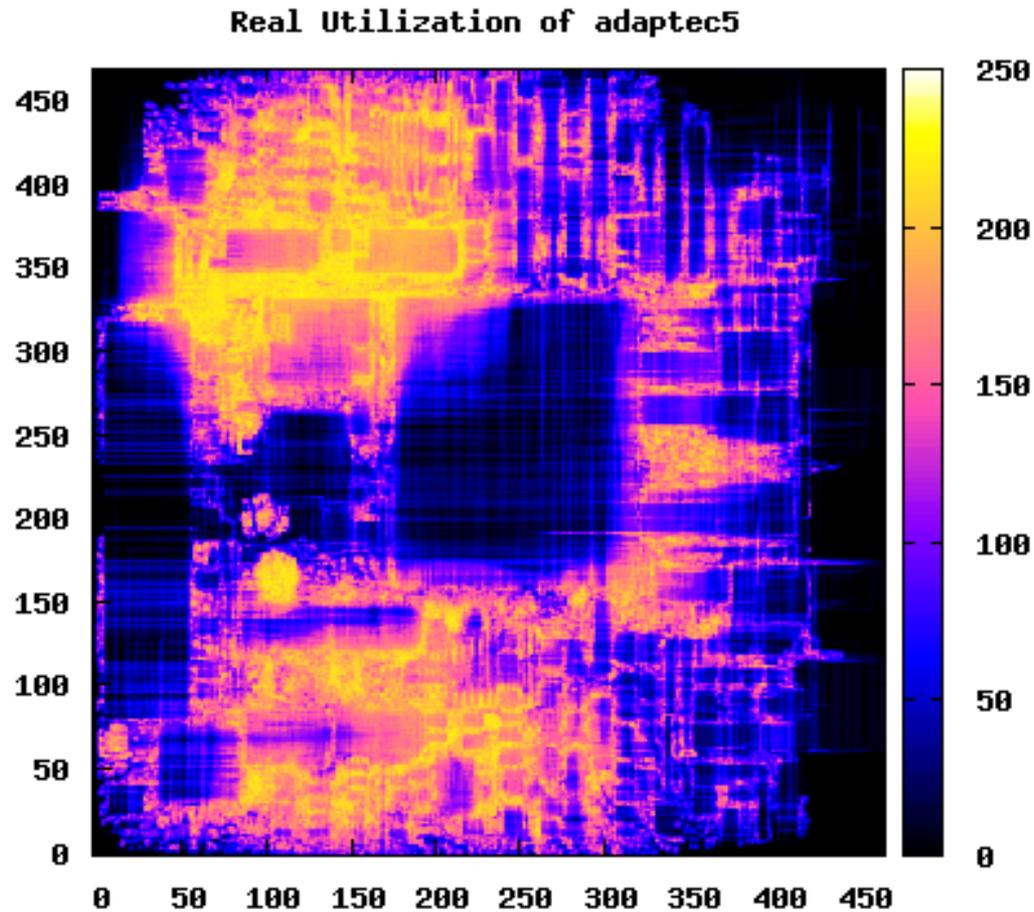
- akademischer Globalverdrahtungs-Wettbewerb, 2007 & 2008 ausgerufen
  - Vorgabe: platzierte Designs
- zeitgemäße Datensätze
  - versch. Metall-Layer
  - explizite Definition von Maßen: Vias, Leiterzüge, Abstände, Schutzbereiche
  - Makroblöcke
- Folgendes Design als Beispiel: adaptec5
  - 6 Layer
  - 548 073 Netze
  - viele Makroblöcke
- Kapazitäten adaptec5



## 2.8 Pin-Dichte

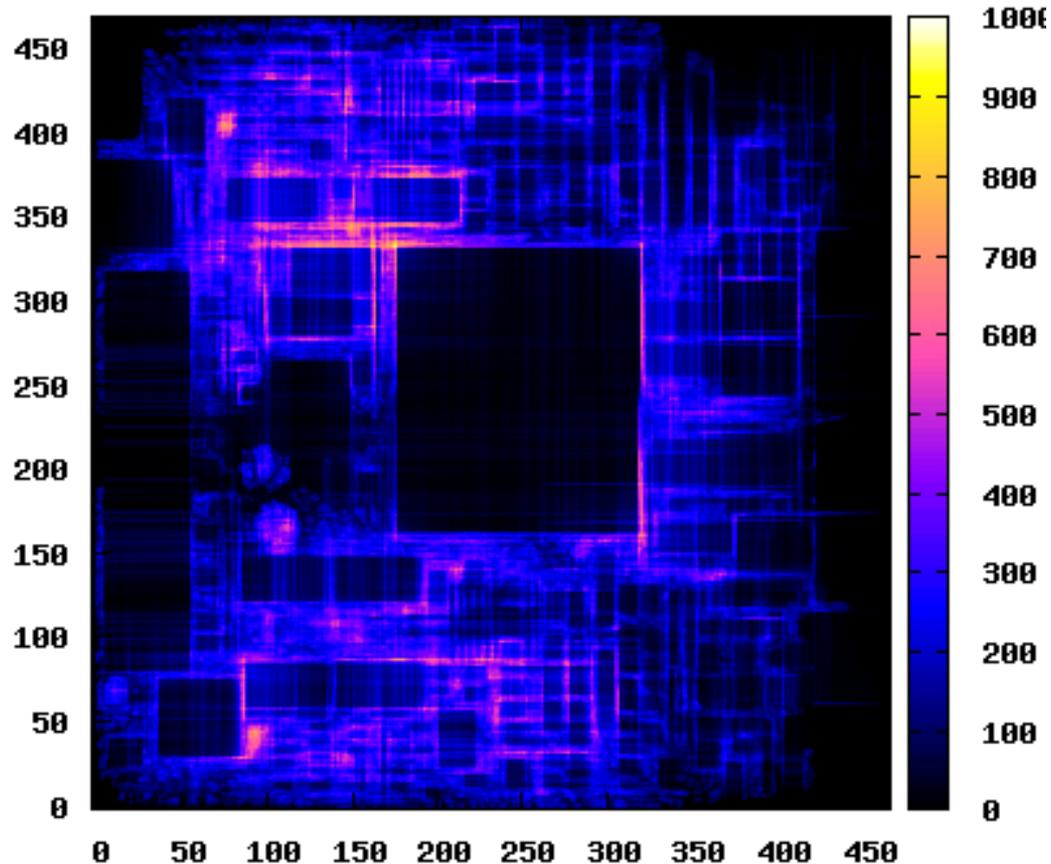


## 2.8 Reale Auslastung (NTHURoute2.0)



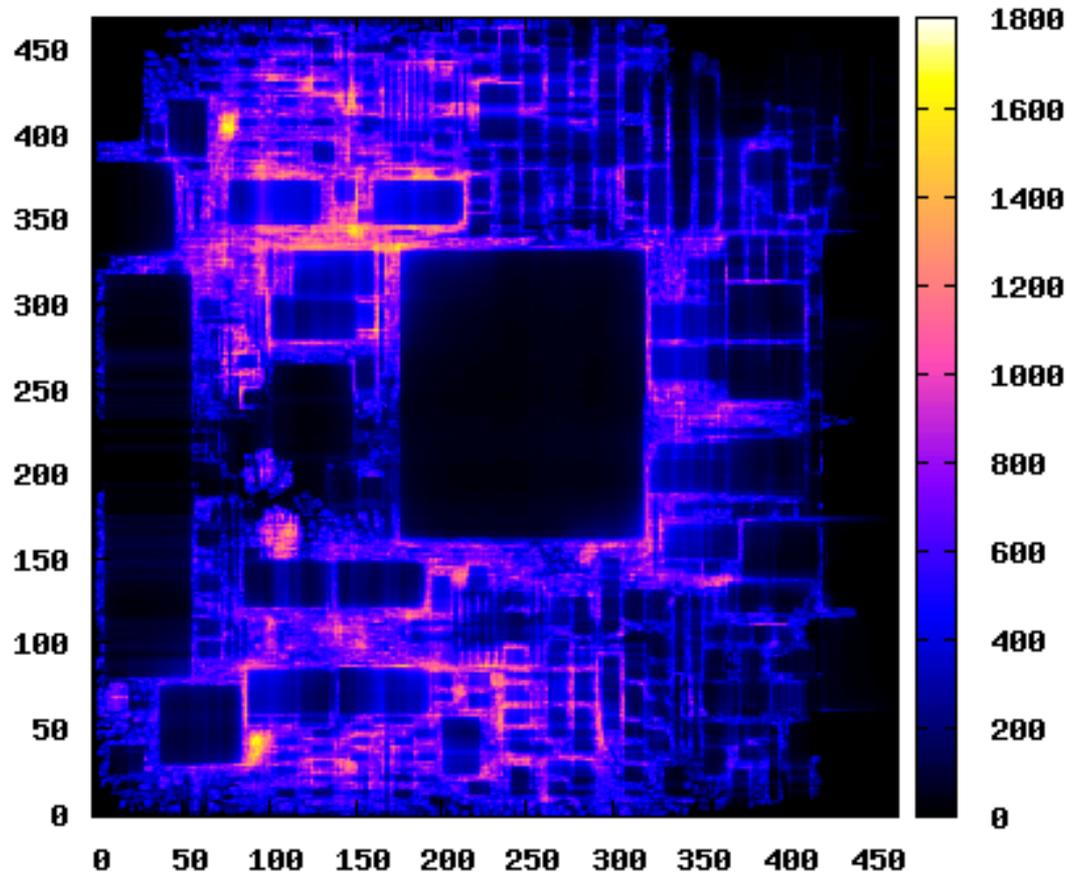
## 2.8 Geschätzte Auslastung nach Westra

Utilization Estimation: westra of adaptec5

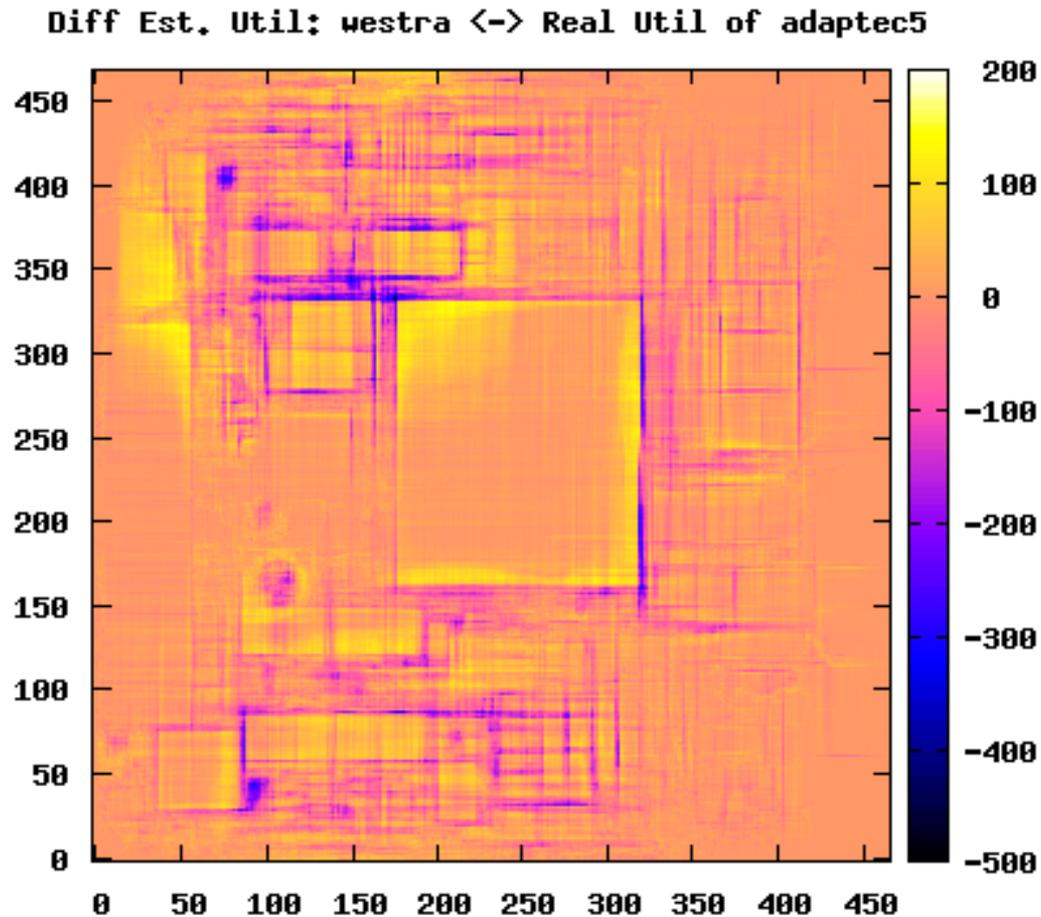


## 2.8 Geschätzte Auslastung nach Sham

Utilization Estimation: sham120 of adaptec5

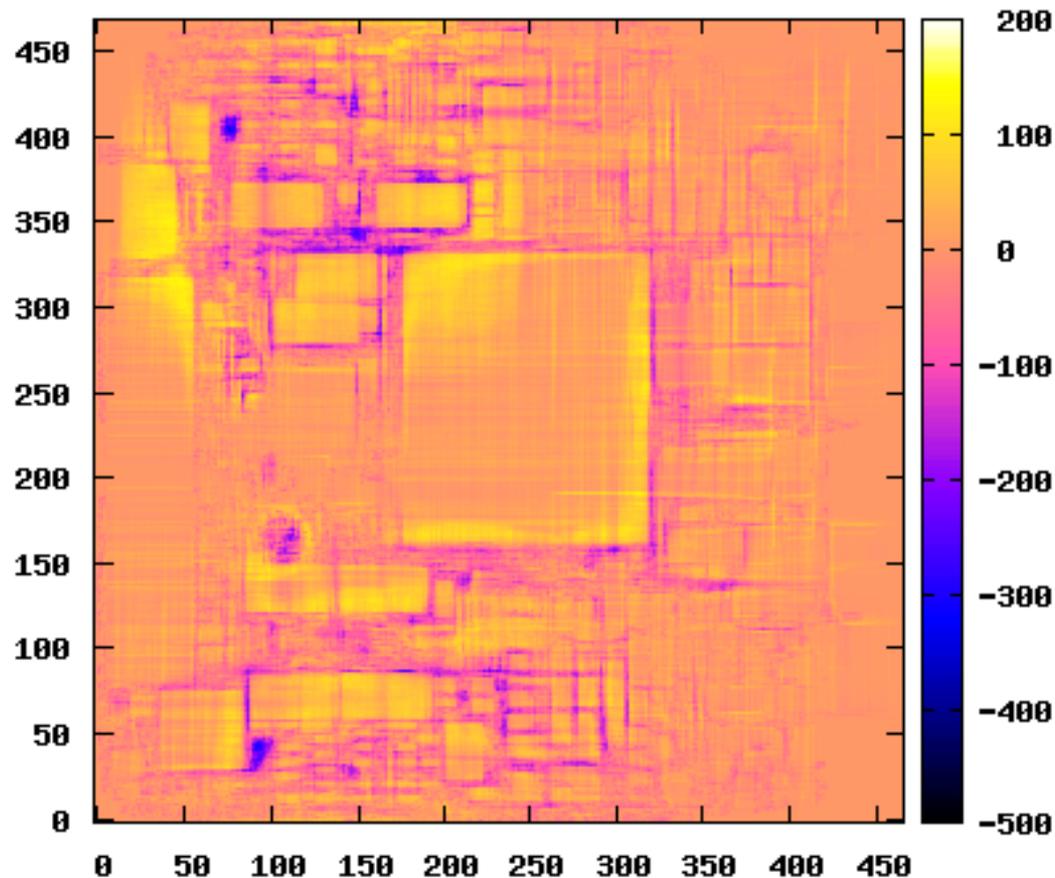


## 2.8 Abweichung der Schätzung nach Westra



## 2.8 Abweichung der Schätzung nach Sham

Diff Est. Util: shan120 <-> Real Util of adaptec5



## 3. Zusammenfassung

- Verdrahtungsvorhersage notwendig
  - Überfüllungen: red. Leistung & Zuverlässigkeit, unsicherer *design flow*
  - Überfüllungen während Verdrahtung auflösen suboptimal
- Vorhersage in frühen Entwurfsphasen noch nicht vollständig erforscht
- Vor allem (nicht nur) Platzierer verwenden Vorhersage-Daten
- Vorhersage-Methoden gekennzeichnet durch Kompromiss Laufzeit & Qualität
  - Schnelle Metriken wenig relevant, zu ungenau
  - Probabilistische Methoden oft verwendet; Überschätzung der Überfüllung
  - Vereinfachte Globalverdrahter ebenfalls viel versprechend
    - vergleichbare Laufzeit wie Probabilistische Methoden mgl.
    - bessere Modellierung Verhalten Verdrahter

# Quellen

- [SSS07] Sapatnekar, S. S., Saxena, P., and Shelar, R. S. 2007 *Routing Congestion in VLSI Circuits: Estimation and Optimization (Series on Integrated Circuits and Systems)*. Springer-Verlag New York, Inc.
- [Lie06] Lienig, J. 2006 *Layoutsynthese elektronischer Schaltungen - Grundlegende Algorithmen für die Entwurfsautomatisierung*. Springer-Verlag New York, Inc.
- [SSS+04] Shelar, R. S., Sachin S. Sapatnekar, S. S., Saxena, P., and Wang, X. 2004. A predictive distributed congestion metric and its application to technology mapping. In *Proceedings of the 2004 international Symposium on Physical Design* (Phoenix, Arizona, USA, April 18 - 21, 2004). ISPD '04. ACM, New York, NY, 210-217
- [HM02] Hu, B. and Marek-Sadowska, M. 2002. Congestion minimization during placement without estimation. In *Proceedings of the 2002 IEEE/ACM international Conference on Computer-Aided Design* (San Jose, California, November 10 - 14, 2002). ICCAD '02. ACM, New York, NY, 739-745.
- [Str01] Stroobandt, D. 2001 *A priori Wire Length Estimates for Digital Design*. Kluwer Academic Publishers
- [SY05] Sham, C. and Young, E. F. 2005. Congestion prediction in early stages. In *Proceedings of the 2005 international Workshop on System Level interconnect Prediction* (San Francisco, California, USA, April 02 - 03, 2005). SLIP '05.
- [WBG04] Westra, J., Bartels, C., and Groeneveld, P. 2004. Probabilistic congestion prediction. In *Proceedings of the 2004 international Symposium on Physical Design* (Phoenix, Arizona, USA, April 18 - 21, 2004). ISPD '04. ACM, New York, NY, 204-209.
- [WG05] Westra, J. and Groeneveld, P. 2005. Is probabilistic congestion estimation worthwhile?. In *Proceedings of the 2005 international Workshop on System Level interconnect Prediction* (San Francisco, California, USA, April 02 - 03, 2005). SLIP '05. ACM, New York, NY, 99-106.