



ÜBERBLICK ZU NETWORKS-ON-CHIP:

Architekturen, Herausforderungen und Lösungen

Jan Hoyer

Dresden, 7.7.2010

Gliederung

Motivation

Network-on-Chip

Herausforderungen

Architektur

- Topologie

- Netzwerkadapter

- Router

NoC Beispiel - AEthereal

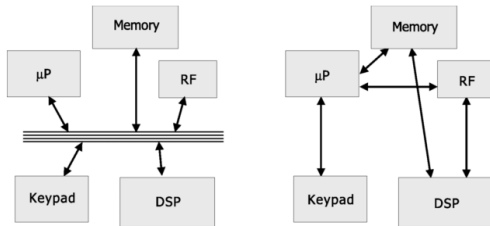
Übersicht

Quellen

01 Motivation

System-on-a-Chip (SoC)

- SoC: komplettes System auf einem Chip integriert
- Verbindungsnetzwerk als Bus (z.B. ARM AMBA) oder Point-to-Point



01 Motivation

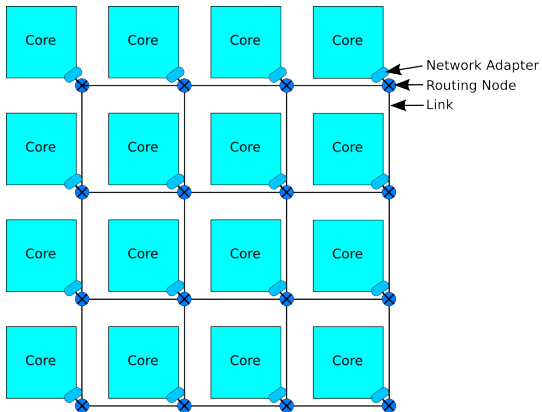
Probleme

- Technologische Probleme
- Synchronisation
- steigende Komplexität
- Wiederverwendbarkeit

02 Lösungsansatz: Network-on-Chip

- Komponenten (IP-Cores) werden über paketorientiertes Verbindungsnetzwerk verbunden
- bestehend aus:
 - Links
 - Routern
 - Netzwerkadapter
- klare Trennung zwischen Computation und Communication
- modularer Aufbau des gesamten Systems
- damit hohes Maß an Wiederverwendbarkeit erreicht

02 NoC Beispiel





03 Herausforderungen

Aspekte

- Technologie
- Leistung u. Effizienz
- Entwicklung

03 Herausforderungen

Technologie

- Gate-Delays vs. Wire-Delays
- Synchronisation
- Signalintegrität (Interferenzen, Rauschen)

03 Herausforderungen

Leistung und Effizienz

- Latenz, Durchsatz und Bandbreite
- Chipfläche
- Stromverbrauch
- Vermeidung von Konflikten
- Verhindern von Dead- und Livelocks

03 Herausforderungen

Entwicklung

- Entwicklungsgeschwindigkeiten von Synthesetools, Compilern und Produktionstechnologien
- Time-to-Market
- gefordert: hohes Maß an Wiederverwendbarkeit
- Nutzen von IP-Cores auf verschiedenen Plattformen (plug-and-play)

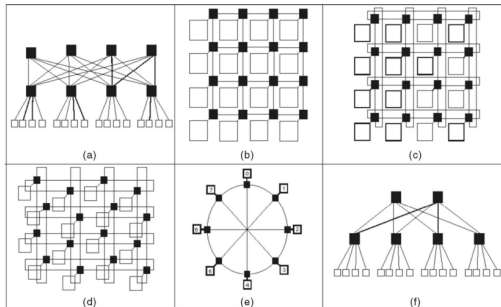
04 Topologie

- definiert in welcher Weise die Knoten des Netzwerkes miteinander verbunden sind
- kritische Design-Entscheidung

wichtige Kenngrößen

- Durchmesser
- Bisektionsweite

04 Topologie



04 Topologie

Maschen

Vorteile:

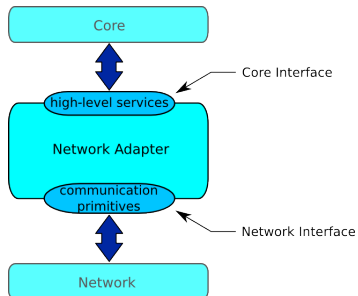
- hohe Bisektionsweite
- einfach
- elektrische Parameter sind leicht zu beherrschen/steuern (Bsp: cross-talk)

Nachteile:

- großer Durchmesser
- aufgrund vieler Hops, höherer Energieverbrauch und höhere Latenzen
- ungleichmäßige Auslastung

04 Netzwerkadapter

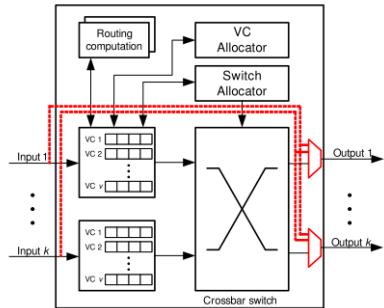
- entkoppelt IP-Cores und Netzwerk
- High-Level Service für IP-Core



04 Router

Allgemein

- Kernelement des Netzwerkes
- implementieren den Routing-Algorithmus
- bei der Architektur muss besonderes Augenmerk auf die benötigten Ressourcen gelegt werden



04 Router

Virtual Channels(VC) (1)

- ein VC teilt einen physischen Kanal in mehrere virtuelle Kanäle
- jeder virtuelle Kanal besitzt einen unabhängigen Pufferspeicher

Vorteile:

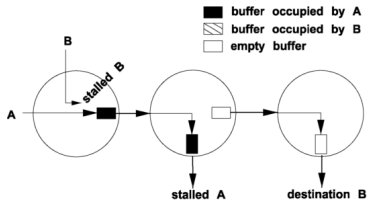
- verhindern Deadlocks
- bessere Auslastung der Links
- bessere Performance

Nachteil:

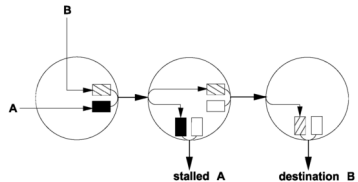
- Chipfläche
- Energieverbrauch
- höhere Produktionskosten

04 Router

Virtual Channels(VC) (2)



Incoming data stream B is stalled by stream A



Virtual channels allow stream B to pass stalled stream A

04 Routing

Allgemein

- Pfadfindung von der Quelle bis zum Ziel
- gewählte Topologie bestimmt Leitungsfähigkeit
- Ziele:
 - geringe Hops
 - kleine Latenzen
 - balancierte Auslastung des Netzwerkes

04 Routing

Strategien (1)

Store-and-forward:

- speichern des kompletten Paketes
- Probleme wenn Router das Paket nicht speichern kann
- hohe Latenz

Wormhole:

- Unterteilung der Pakete in flits (flow control digits)
- Zieladresse aus Headerflit
- anschließende Weiterleitung der Flits
- das Paket spannt sich über mehrere Router



04 Routing **Strategien (2)**

Virtual-Cut-Through:

- ähnlich wie Wormhole
- Kontrolle ob nächster Router Paket aufnehmen kann.

05 AEthereal

- Entwickelt von Philips um auf die Anforderungen in der Consumer-Elektronik einzugehen
- Unterscheidet zwischen zwei Formen der Datenübertragung
 - Guaranteed Services (GS)
 - Best-Effort Services (BES)

05 AEthereal

Guaranteed Services (1)

- Echtzeitanwendungen
- leitungsorientiert
- sichere, verlustfreie und geordnete Datenübertragung
- zugesicherter Durchsatz und Latenz

05 AEtherreal

Guaranteed Services (2)

Router

- Jeder Eingang benötigt genau einen Puffer für einen GS-Block
- Switch wird anhand der Slot-Tables konfiguriert
- nie zwei Pakete zur gleichen Zeit einen Routerausgang/Eingang belegen

05 AEtherreal

Best-Effort Services (1)

- nicht-kritischer Datenverkehr
- Wormhole-Routing
- Round-Robin Arbitration
- Routing-Strategien verhindern Deadlocks

05 AEtherreal

Best-Effort Services (2)

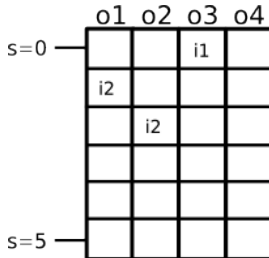
Router

- Eingangspuffer mit konfigurierbarer Größe
- über Flusskontrolle wird Pufferüberlauf verhindert
- Paket-Header enthält den Pfad von der Quelle zum Ziel

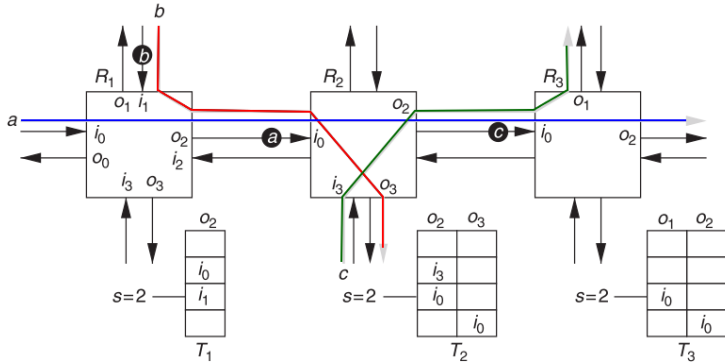
05 AEthereal

Slot-Tables (1)

- teilen Bandbreite pro Link auf
- schalten Daten zum korrekten Ausgang
- Verhindern Konkurrenzsituationen auf Leitungen



05 AEthereal Slot-Tables (2)



05 AEthereal

Distributed Programming Model

- Um GS-Verbindungen aufzubauen, werden BES-System Pakete gesendet
 - SetUp
 - TearDown
 - AckSetUp
- Programmieren die Router entlang des Pfades
- benötigte Programmierzeit hängt von Auslastung des NW ab

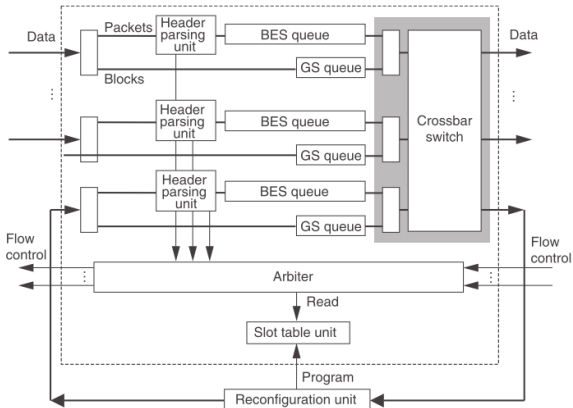
05 AEthereal

Centralized Programming Model

- Verbindungen werden über einen Konfigurationsprozessor programmiert
- Programmierung entweder über BES-Pakete
 - ReserveSlot
 - FreeSlotoder über memory-mapped I/Os (MMIO)
- Slot-Tables in den Routern entfallen
- aus GS-Blocks werden GS-Pakete (mit Header)
- GS-Pakete sind höher priorisiert

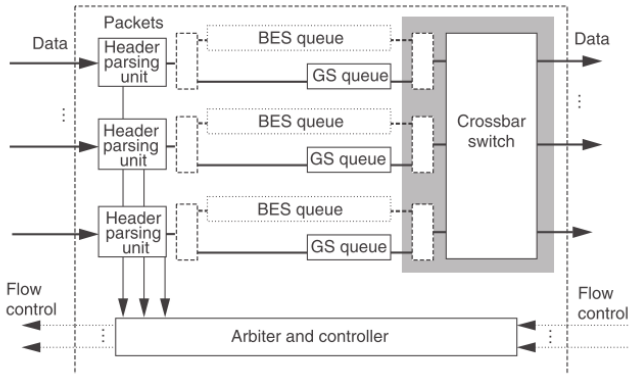
05 AEthereal

GS-BE distributed Router Architektur



05 AEthereal

GS-BE centralized Router Architektur



06 Übersicht

Router

#	Network	Author	Top.	Flit width	Buffering			Tech.	Min. lat		Router area		Freq.	Switching			Routing det./adapt.	Detail level
				[bit]	ports	VC	flits	[nm]	[cycle]	[ns]	[mm ²]	[kgates]		circuit/packet	s/c/w	Guarantees		
1	HIBI	Salminen	b	32	2	1	2,8	130	4	9.2	0.03,0.05	6, 15	435	c,p	w	-	d	R
2	SDM Noc	Leroy	m	32	5	1-32	1	130	n/a	n/a	0.03-0.14	n/a	2270	c	-	x	d	L
3	Wolkotte	Wolkotte	m	16	5,5	1,4	1,4	130			0.05,0.08		1075,507	c	-	x	d	R
4	Aethereal	Rijkema	m	3x32	5	1	8	120			0.26		500	p,(c)	w	x	n/a	L
5	Faust	Lattard	m	32	5	2	n/a	130		0.6	0.6	19	async	p	w	x	d	C
6	Lochside	Mullins	m	64	5	4	4	180	1	4.0	0.5		250	p	w	-	d	C
	Slim-Spider	Lee, K.	x,c	8			n/a	180	-	-	-	-	1600	p,c	n/a	x	d	C
7	Orion/Luna	Soteriou	m	64	5	4	16	50	7	0.7	0.11		1000	p	c,w	-	d/a	pred.
8	TeraFLOPS	Vangal	m	32	4	2	16	65	5	1.2	0.34	53	4270	p	w	-	d,a	C
9	XGFT	Kariniemi	ftr	32	3,6	1	7	130			0.16,0.25	16,21	400	p	w	-	a	R



Ankur Agarwal, Boca Raton, Cyril Iskander, Hi-tek Multisystems, and Ravi Shankar.

Survey of Network on Chip (NoC) Architectures & Contributions.
Networks, 3(1), 2009.



Bashir M. Al-Hashimi, editor.

System-on-Chip: Next Generation Electronics.
IEE Press, January 2006.



Davide Bertozzi and Luca Benini.

A Network-on-Chip Architecture for Gigascale Systems-on-Chip.
Ieee Circuits And Systems Magazine, 2004.



Tobias Bjerregaard and Shankar Mahadevan.

A survey of research and practices of Network-on-chip.
ACM Computing Surveys, 38(1):1–es, June 2006.



P.P. Pande, C. Grecu, M. Jones, a. Ivanov, and R. Saleh.

Performance Evaluation and Design Trade-Offs for Network-on-Chip
Interconnect Architectures.

IEEE Transactions on Computers, 54(8):1025–1040, August 2005.



Erno Salminen and Ari Kulmala.



Survey of Network-on-chip Proposals.
Simulation, (March):1–13, 2008.