

Parametrisierbare Busschnittstelle für IP-Cores

Belegverteidigung

Dresden, 30.11.2010

Stephan Richter

Aufgabenstellung

- 1 Literaturstudium zu Einsatz und Vernetzung von IP-Cores in einem System-on-a-Chip.
- 2 Entwurf einer parametrierbaren Bus-Schnittstelle auf Basis einer Anforderungsanalyse über verschiedene On-Chip-Busse.
- 3 Implementierung und Test der Schnittstelle für verschiedene On-Chip-Busse am Beispiel eines SHAP-IP-Cores.
- 4 Auswertung hinsichtlich Ressourcenbedarf, Bandbreite und Latenz anhand selbst gewählter Szenarien.
- 5 Zusammenfassung und Dokumentation der Ergebnisse.

Gliederung

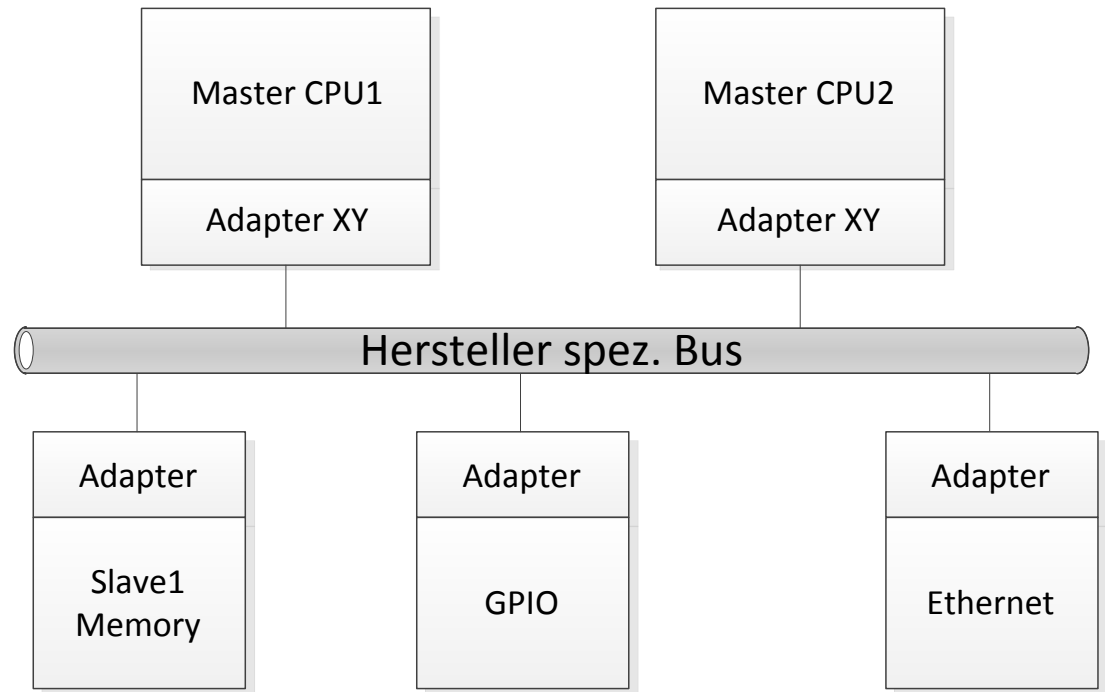
- 1 Einführung und Motivation**
- 2 Bussysteme für Systems-on-a-Chip**
- 3 Spezifikation**
- 4 Implementierung**
- 5 Test**
- 6 Auswertung**
- 7 Zusammenfassung**

01 Einführung (1)

Motivation

- SoC aus mehreren Master und Slaves.
- Das System ist an den herstellerspez. Bus gebunden.

(Adapter = Buscontroller)



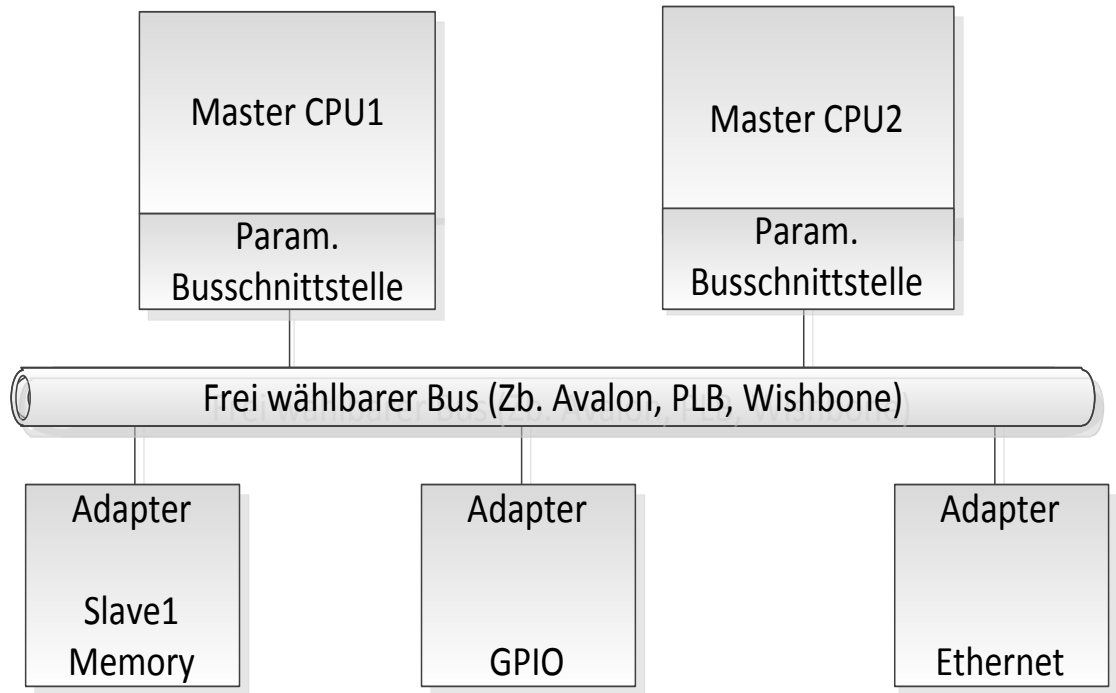
Klassische Variante mehrere IP-Cores in einem SoC zu verbinden.

01 Einführung (2)

Motivation

- Erweiterung um eine universelle Schnittstelle.
 - Parametrisierbare Busschnittstelle für alle Bussysteme mit gleicher Ansteuerung.
- Wrapper

(Adapter = Buscontroller)



Klassische Variante mehrere IP-Cores in einem SoC zu verbinden.

02 Bussysteme für SoCs (Übersicht)

Hersteller	Bussysteme	Version / Jahr
ARM	AMBA (APB, ASB..)	v4.0 / 2010
Altera	Avalon Bus	v1.3 / 2010
IBM	Core Connect (PLB, OPB..)	v4.6 / 2009
OpenCores	Wishbone	B4 / 2010
ST Microelectronics	STBus, STNoC	--
Sonics	Silicon Backplane	III 2002
...		

02 Bussysteme für SoCs (Eigenschaften)

Wichtige Eigenschaften

- Transferrichtung, beidseitiger Transfer
- Burstzugriffe
 - Ggf. maximale Burstlänge
- Handshaking
- Split
- Piplined
- Datenbreite
- Adressbreite

Eigenschaften der Topologie und Arbitrierung sind für eine Selektierung weniger relevant. (Multi-Master-Support vorausgesetzt)

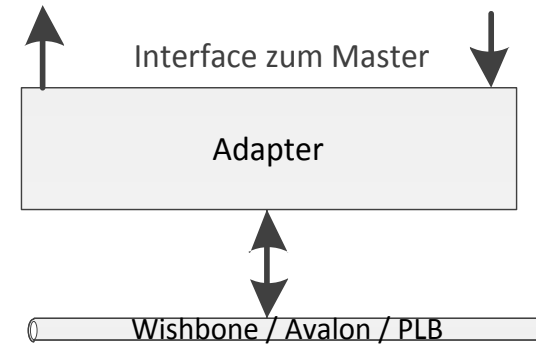
02 Bussysteme für SoCs (Eigenschaften Überblick)

Bus	Multi Master	Datenbreite	Adressbreite	Handshaking	Split	Pipelined	Burst
<i>AMBA</i>	X	8-1024	32	X	X	X	lim.
<i>Avalon Bus</i>	X	8-1024	1-32	X	X	X	lim.
<i>PLB</i>	X	32-256	32	X	X	X	lim.
<i>PLB ü LocalLink</i>	X	32-128	32	X	-	-	lim.
<i>Wishbone</i>	X	8-64	1-64	X	X	X	unl.

03 Spezifikation (1)

Was soll parametrisiert werden?

- ✓ Bus: Wishbone, Avalon, PLB
- ✓ Datenbreite
- ✓ Adressbreite
- ✓ Granularität der Adressierung, des zugrunde-liegenden Busses
 - Ein Bus kann auch mehrere Adressierungsarten unterstützen (z.b. Wishbone)
- ✓ Maximale Burstlänge



03 Spezifikation (2)

Unterstützte Features

- ✓ Sehr einfache Ansteuerung und Beschränkung auf wesentliche Signale
- ✓ Lese- und Schreibzugriff
- ✓ Bursttransfers
- ✓ Acknowledgement zur erfolgreichen Übertragung (Lesen und Schreiben)
- ✓ Terminierungssignal
- ✓ Synchrones Verhalten

03 Spezifikation (3)

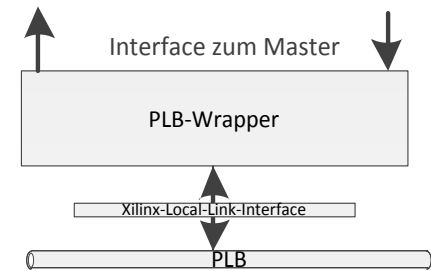
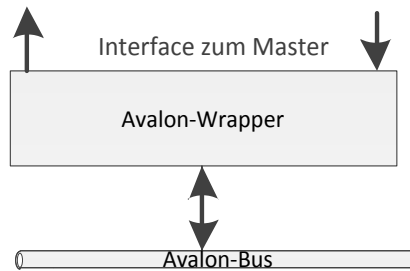
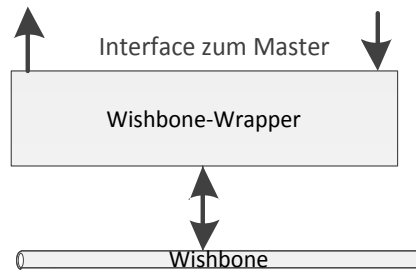
Besonderheiten

- Wortadressierung
 - Jeder Adresse ist genau 1 Datenwort zugeordnet und umgekehrt
- Neue Zugriffe müssen nur einen Takt angelegt werden
- Burstzugriffe müssen nicht gesondert angesteuert werden
 - Setzen der Burstlänge auf einen Wert ≥ 2 resultiert in einem Bursttransfer
 - Auslassen oder Burstlänge = [0 oder 1] \rightarrow Single Zugriff
- Jeder Transfer wird durch ein Terminierungssignal beendet
 \rightarrow Mitzählen des eigenen Bursttransfers nicht notwendig

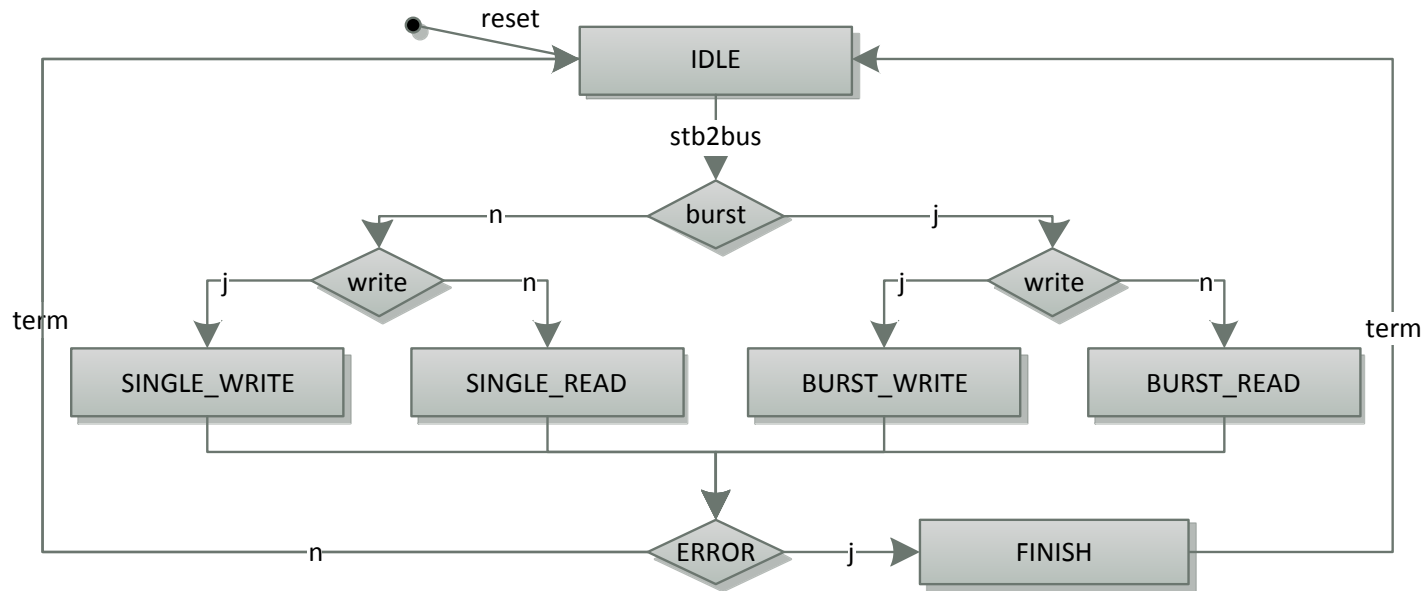
05 Implementierung (1)

3 Wrapper:

- Wishbone
- Processor-Local-Bus (PLB)
- Avalon-Bus



04 Implementierung (2)

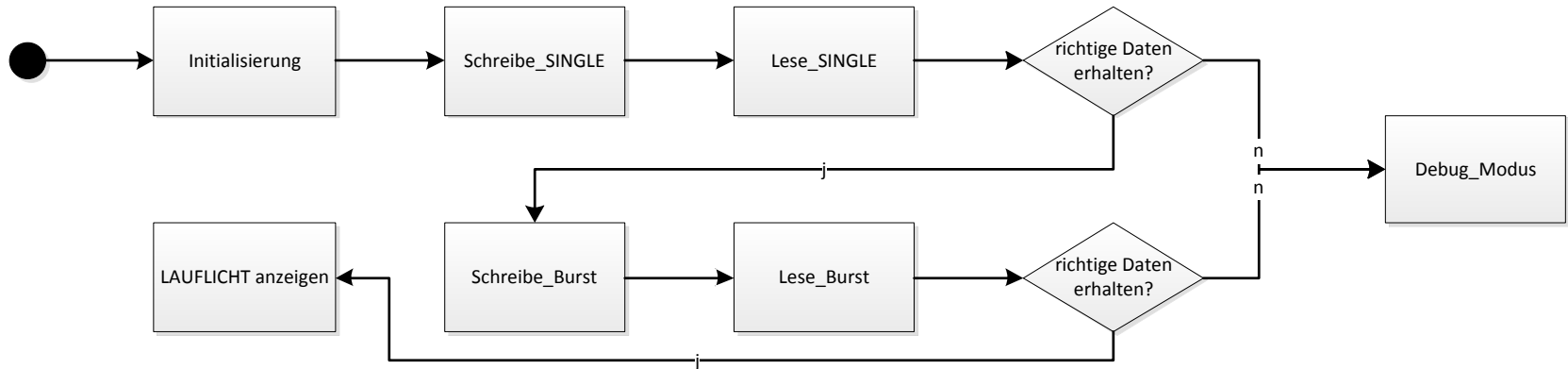


Vereinfachtes Zustandsdiagramm der Wrapper. Einzelne Implementierungen unterscheiden sich im Detail

05 Test auf dem FPGA (Virtex5-, DE2-Board)

Eigenes Testszenario

- Zeigt die Funktion aller Wrapper unter gleichen Testverfahren



Zustandsdiagramm des Testmoduls

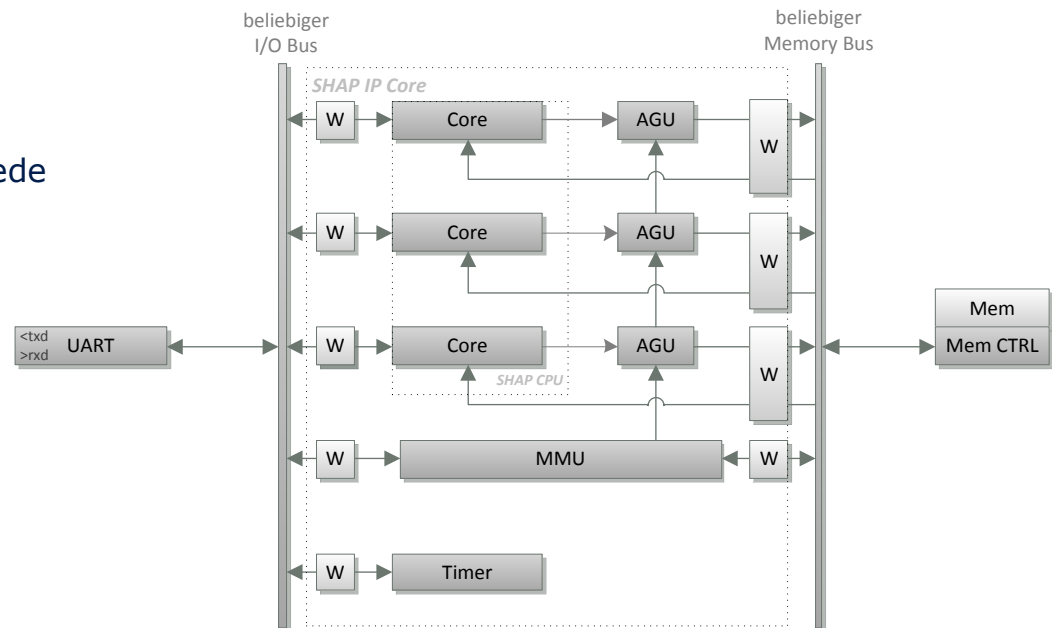
05 Test am SHAP (1)

Test am SHAP (Java Bytecode Prozessor)

- Prüft die Funktion und die Verwendbarkeit der Wrapper mit IP-Cores

Idealfall:

- Der Wrapper (W) wird für jede Busverbindung eingesetzt
- Verschiedene Busse

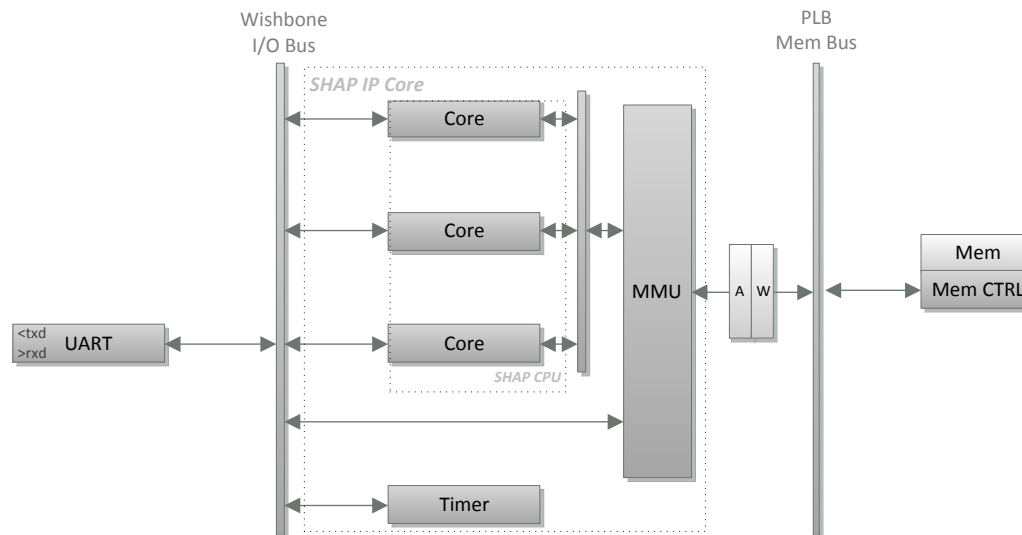


Blockschaltbild des SHAPs unter idealen Testbedingungen

05 Test am SHAP (2)

Davon umgesetzt:

- Der Wrapper (W) wird über einen Adapter (A) mit der MMU verbunden und stellt die Verbindung zum PLB Speicherbus her.



Blockschaltbild des SHAP-IP-Cores mit eingebauten Wrapper

05 Auswertung (Latenz)

Latenzen auf Virtex-5-ML505-Board:

- Verzögerung aller Anfragen auf den Bus um **einen Takt**
 - Reduziert kritische Pfade durch kombinatorische Wrapper → höhere Taktung möglich
- Taktfrequenz wird durch Adress-/ Burstzähler bestimmt.
- Eine Transaktion benötigt mindestens 3 Takte

	<i>PLB</i>	<i>Wishbone</i>	<i>Avalon</i>
<i>f_{max}</i>	282,5 MHz	268,8 MHz	275,6 MHz

Auszug aus dem Synthesereport (komb. Pfad incl I/O Buffers)

05 Auswertung (Ressourcen)

Ressourcenbedarf auf Virtex-5 ML505-Board:

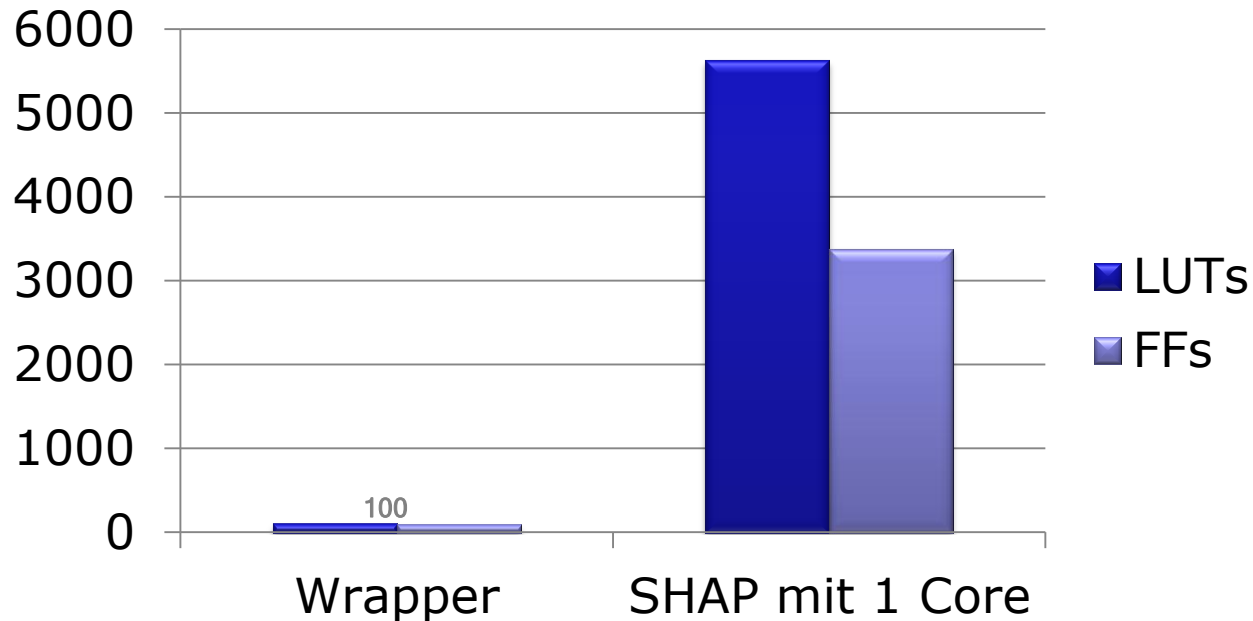
- Maximal 137 zusätzliche Slices werden pro Wrapper benötigt
- Durch die Synthese innerhalb eines SoCs können der Ressourcenbedarf und Verzögerungszeiten geringer ausfallen.

	<i>PLB</i>	<i>Wishbone</i>	<i>Avalon</i>
<i>Registers</i>	96	82	90
<i>6-Input LUTs</i>	98	135	83
<i>Ges. Slices</i>	123	137	120

Auszug aus dem Synthesereport

05 Auswertung (Ressourcen)

Ressourcenbedarf eines Wrappers im Vergleich zum SHAP-IPCore



05 Zusammenfassung

Ausgangslage

- Busprotokolle verschiedener Hersteller mit oft (zu-)vielen Signalen und langen Spezifikationen.

Ergebnisse

- Einheitliche Spezifikation für mehrere Busprotokolle mit einfacher Ansteuerung.
- Parametrisierbar hinsichtlich mehrerer Eigenschaften.
- Test am SHAP
- Geringer Ressourcenverbrauch

Ausblick

- Mehr Busprotokolle unterstützen
- Weitere Parameter
 - Zum Beispiel zur Einstellung der Adressierungsart.

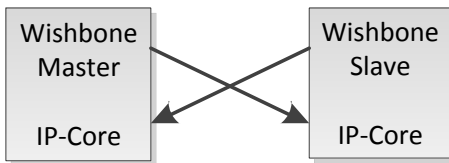
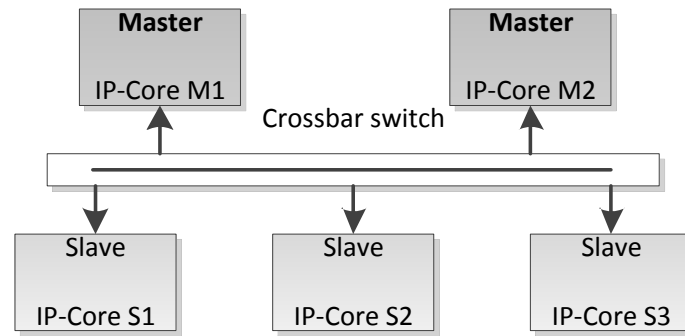
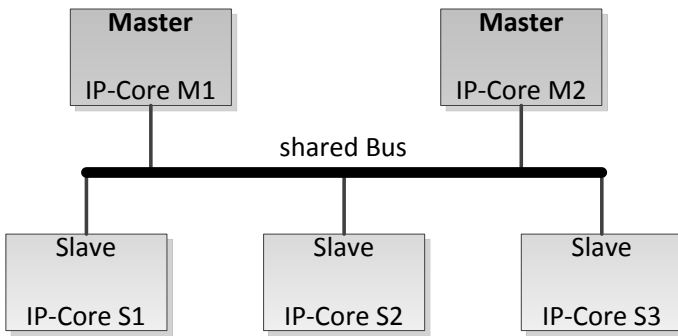
Quellen

- 1 Zabel, Martin ; Spallek, Rainer G.: Application requirements and efficiency of embedded Java bytecode multi-cores. In: JTRES '10: Proceedings of the 8th International Workshop on Java Technologies for real-Time and Embedded Systems.
- 2 ARM: ASB Example AMBA SYSTEM Technical Reference Manual 2006.
http://infocenter.arm.com/help/topic/com.arm.doc.ddi0138d/graphics/easy_system_diagram.svg
- 3 Altera: Avalon Interface Specifications. 1.3, April 2009.
www.altera.com/literature/manual/mnl_avalon_spec.pdf
- 4 OpenCores: Wishbone B4. B4, Juni 2010. http://cdn.opencores.org/downloads/wbspec_b4.pdf,
Abruf: 14. September 2010.

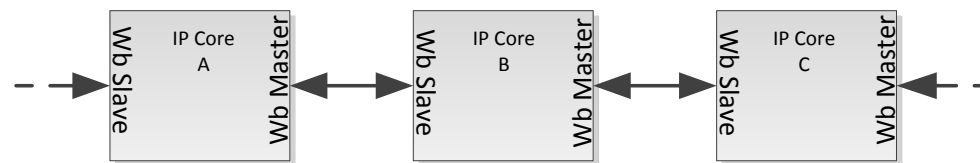


»Wissen schafft Brücken.«

A Topologien



Point-to-Point



Data-Flow



Busname	Topologie					Arbitrierung				Busbreite		Transfer				
	Point-to-Point	Ring	Shared Bus	Crossbar Switch	Anzahl Master	Statische Priorität	TDMA	Lottery	Round-Robin	Datenbus[bit]	Adressbus[bit]	Handshaking	Split	Pipelinded	Burst	Frequenz[MHz]
AMBA	-	-	✓ ^a	-	16 ^b	Anwender ^c				8-1024	32	✓	✓	✓	✓	Anwender
Avalon	✓	-	-	-	<i>o</i>	Slaveseitig				8-1024	1-32	✓	✓	✓	✓	Anwender
Atlantic I.	✓	-	-	-	-	-	-	-	-	≥ 8	- ^d	✓	-	<i>o</i>	✓	Anwender
PLB	✓	✓	-	✓	16	✓	-	-	✓	32-256	32	✓	✓	✓	✓	66-183 ^e
OPB	-	✓	-	-	✓	✓	-	-	-	8-32	32	✓	✓	✓	✓	<i>o</i>
DCR	-	✓	-	-	✓	✓	-	-	-	32	10	✓	✓	✓	✓	<i>o</i>
Local Link	✓	-	-	-	-	s. PLB				32-128	32	✓	-	-	✓	<i>o</i>
Wishbone	✓	✓	✓	✓	<i>o</i>	Anwender				8-64	1-64	✓	-	✓ ^f	✓	Anwender
STBus	<i>o</i>	<i>o</i>	✓	✓	<i>o</i>	✓	✓	-	✓	bis 512	<i>o</i>	✓	✓	✓	✓	<i>o</i>
Silicon-Backplane	-	-	-	✓	<i>o</i>	-	✓	-	✓	8-64	8-64	✓	✓	✓	✓	<i>o</i>
Lotterybus	-	-	✓ ^c	-	<i>o</i>	-	-	✓	-	<i>o</i>	<i>o</i>	<i>o</i>	<i>o</i>	<i>o</i>	✓	<i>o</i>
MARBLE	-	-	✓ ^c	-	<i>o</i>	Parametrisierbare Busschnittstelle				<i>o</i>	<i>o</i>	✓	✓	✓	✓	<i>o</i> ^g

✓ Feature vorhanden - nicht Verfügbar *o* nicht vorgegeben / keine Angabe ermittelt

Timingdiagramm Burst-Schreiben

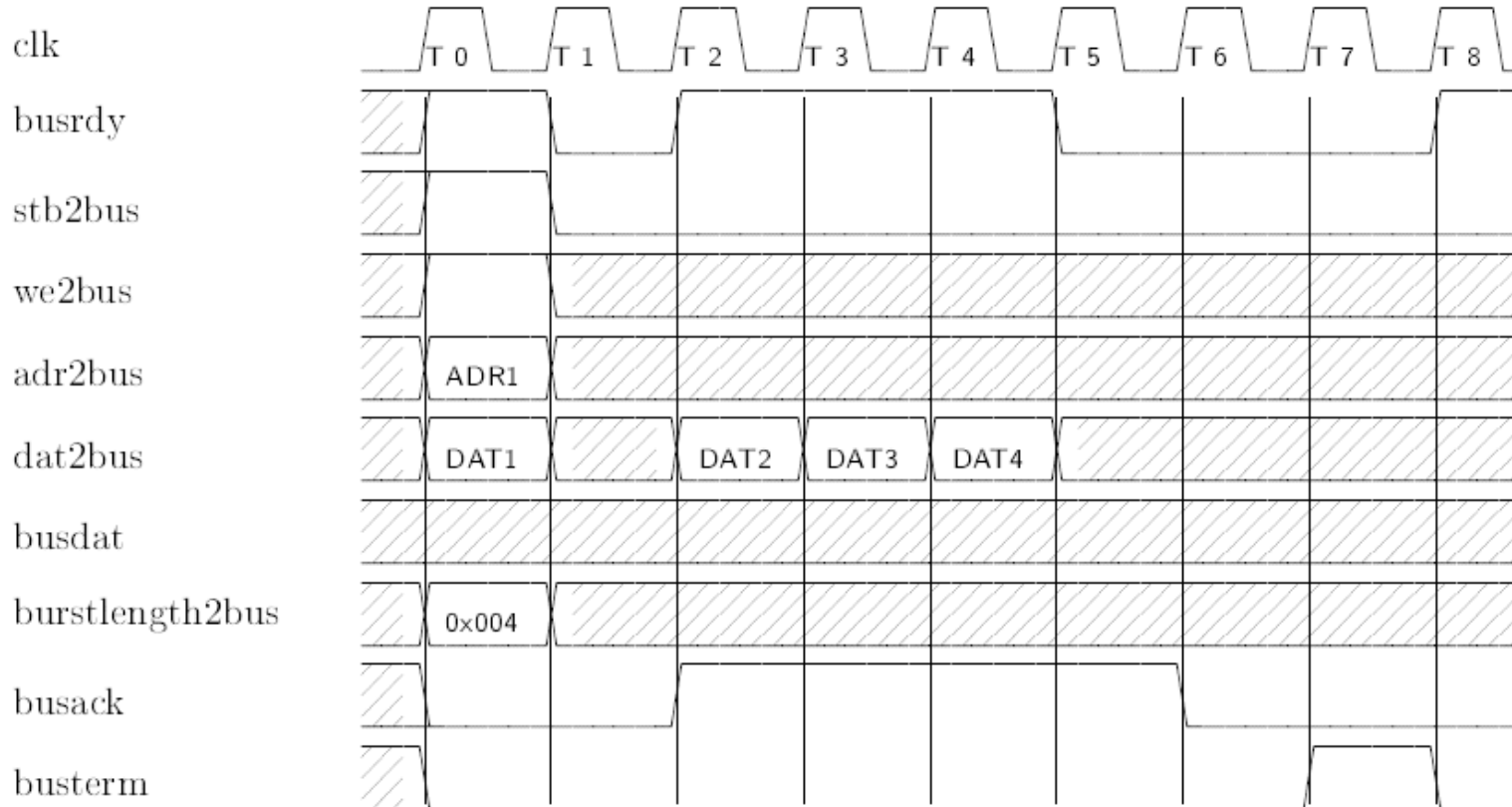


Diagramm 4.4: Burst-Schreibzugriff: Anforderung bei T0, Schreibdaten müssen bei T0, T2, T3 und T4 gültig sein. Der nächste Zugriff könnte bei T8 gestartet werden.