



**TECHNISCHE  
UNIVERSITÄT  
DRESDEN**

**Fakultät Informatik** Institut für Technische Informatik, Lehrstuhl für VLSI-Entwurf, Diagnostik und Architektur

# **Der Aufbau der Fusion-APU von AMD**

**Johannes Müller**

**Dresden, 05.07.2011**



**DRESDEN  
concept**  
Exzellenz aus  
Wissenschaft  
und Kultur

# Inhalt

## **Geschichtliche Entwicklung**

### **Was ist eine APU?**

### **Elemente der AMD-APU**

- **Bobcat als Prozessorkern der APU**
  - **Aufbau, Befehlsverarbeitung**
  - **Verwendete Techniken zur Leistungseinsparung**
- **Grafikeinheit und Hudson-Controller**

### **Zacate-APU**

### **Zukunftsvisionen**

# Vision Technologie



2006 erwirbt AMD den Grafikkartenspezialisten ATI

- Erste Ankündigungen einer engeren Zusammenarbeit zwischen CPU und GPU folgen

2009 VISION-Technologie von AMD startet

- Marketingstrategie um eine Plattform aus AMD Prozessor und Grafikkarte darzustellen

2010 Erste Prototypen zu einer APU

2011 Erste AMD APU unter der Marke **AMD Fusion** im Handel erhältlich

# AMD—a history of innovation.



**1969**—AMD co-founded by Jerry Sanders in Sunnyvale, CA.



**2000**—AMD Athlon™ processor is the first commercially available processor to break the historic 1GHz barrier.



**2003**—AMD launches the first x86 processors featuring simultaneous 32- and 64-bit computing.



**2006**—AMD acquires ATI Technologies Inc., a leading graphics technology vendor.



**2009**—VISION Technology from AMD launches.

**2010**—AMD delivers the first public demonstration of an AMD Fusion processor.



**2011**—AMD introduces the groundbreaking new APU platform.

2011



# Was ist eine APU?

„Accelerated Processing Unit“

Verbindung aus CPU und (programmierbarer) GPU Architektur  
auf einem DIE

→ System-on-a-Chip

Kann durch weitere Komponenten erweitert werden, bspw.  
Videobeschleuniger

# APU

## Vorteile

Extrem schnelle Busarchitektur

Alles auf einem DIE

Verringerte Leistungsaufnahme

Platzsparendes Design welches um Module erweitert werden kann

Berechnungen können auf GPU ausgelagert werden (OpenCL)

# Fusion APU

## Modelle

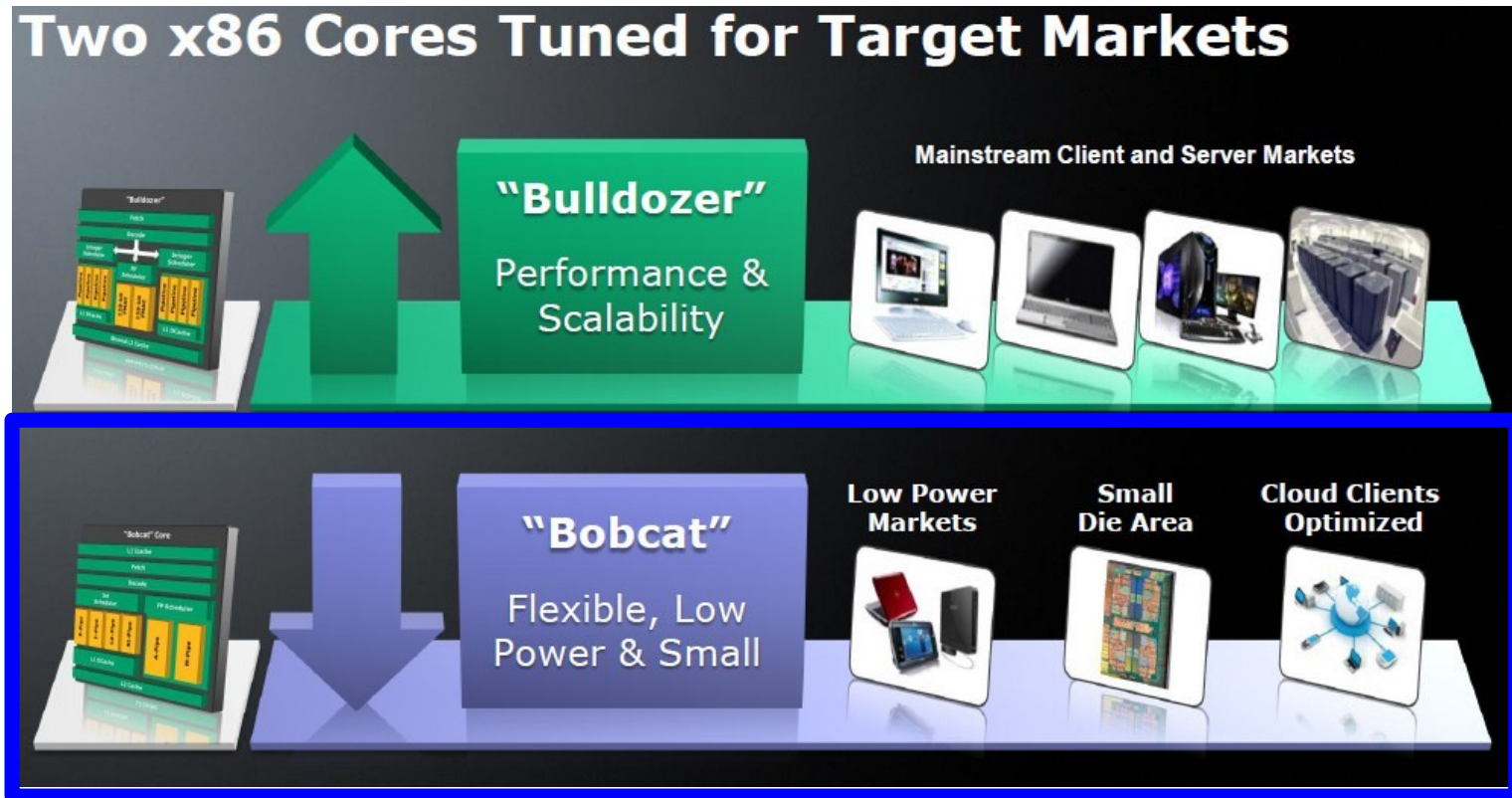
### **2011**

- Liano/A-Serie
  - Vier modifizierte K10-Kerne; TDP: 45W
- Ontario/C-Serie (1/2011)
  - Bis zwei Bobcat-Kerne; TDP: 9W
- Zacate/E-Serie (1/2011)
  - Bis zwei Bobcat-Kerne; TDP: 18W
- Embedded G-Serie
  - Bis zwei Bobcat-Kerne; TDP: 5 - 18W

# Prozessorkerne für APUs

## Zwei Modelle von AMD

### Two x86 Cores Tuned for Target Markets



**"Bulldozer"**  
Performance & Scalability

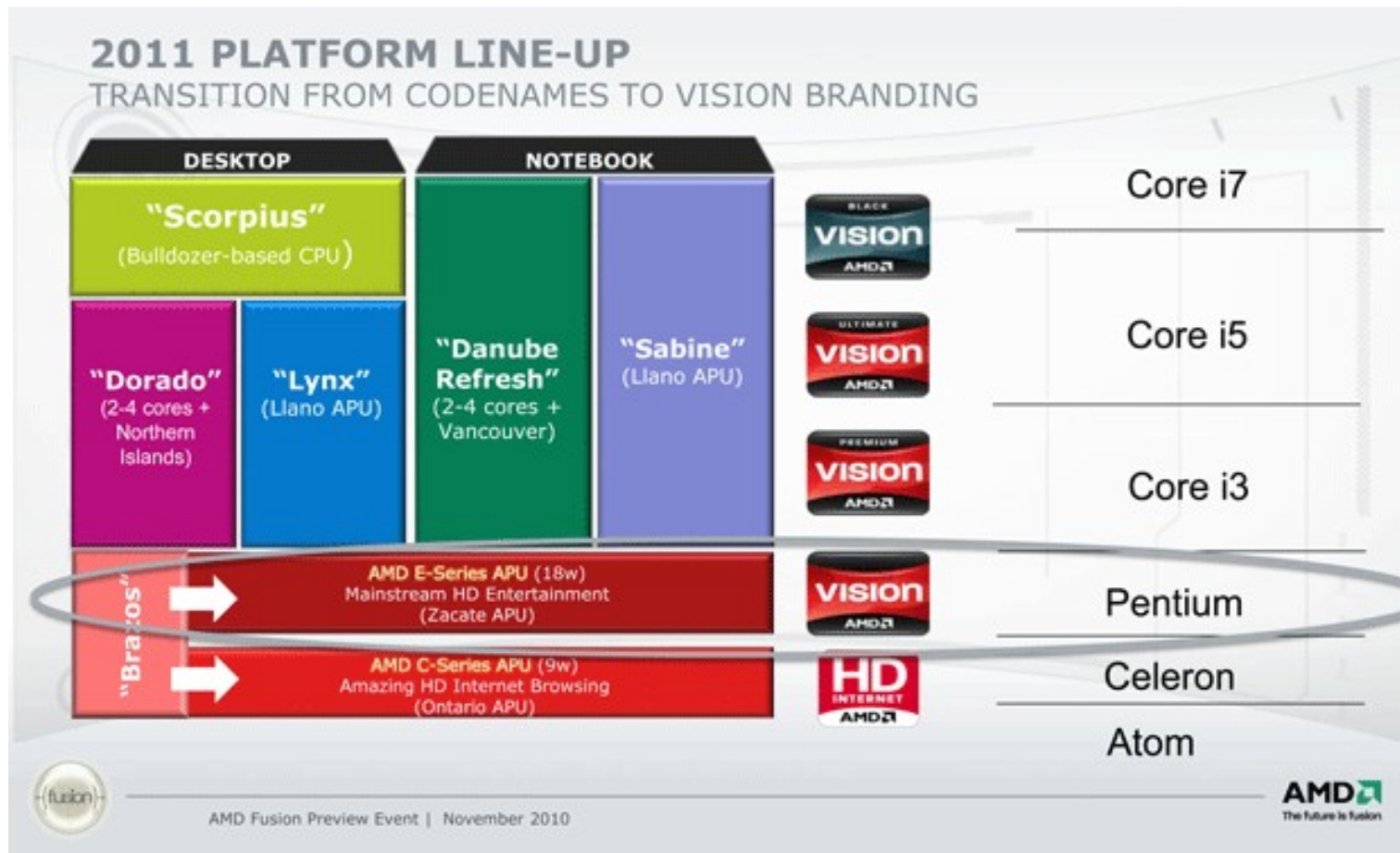
Mainstream Client and Server Markets

**"Bobcat"**  
Flexible, Low Power & Small

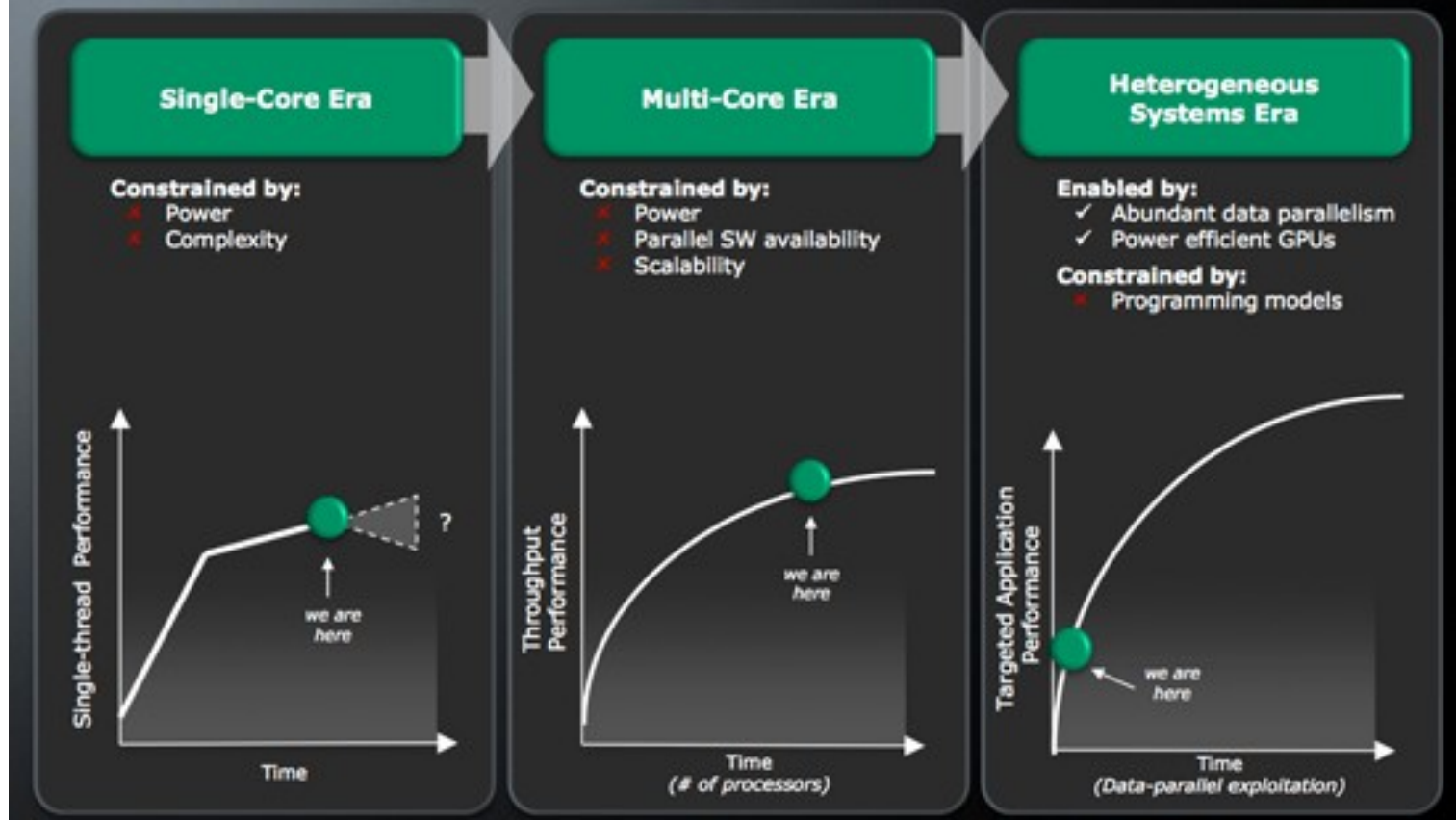
Low Power Markets    Small Die Area    Cloud Clients Optimized



# Einordnung der APU-Plattformmodelle



## A New Era of Processor Performance



## AMD CPU-Kern „Bobcat“

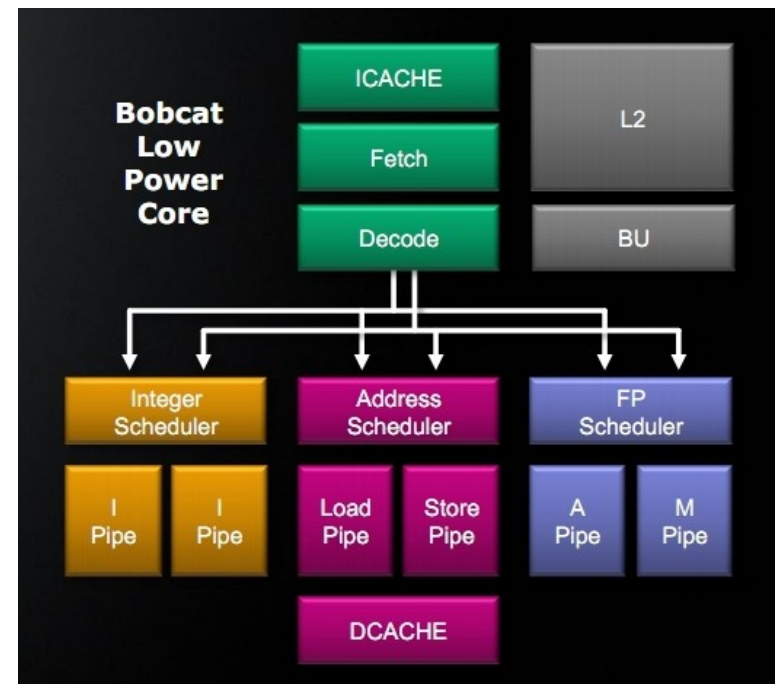
### CPU-Einheit für die erste APU

- Geringe Leistungsaufnahme
- Einfach auf andere Herstellungsprozesse zu übertragen
- Laut AMD ca. 90 % der aktuellen Leistung eines CPU-Kerns (K10) im Mainstream Notebook Bereich
- Getaktet bis zu 1,6 GHz

# CPU-Kern „Bobcat“

## Architektur – Übersicht

Decoder	2
Integer-Einheiten	2
FP-Einheiten	2
Load-Einheit	1
Store-Einheit	1
Befehls- und Datencache	je 32 kb
L2-Cache	512 kb



# CPU-Kern „Bobcat“

## Mikroarchitektur - Befehls-cache

32 Kbyte

2-Wege-Assoziativ

Paritätsbit

Liest bis zu 32 Byte/Takt

512/8 Befehls-TLB



# CPU-Kern „Bobcat“

## Mikroarchitektur - Datencache

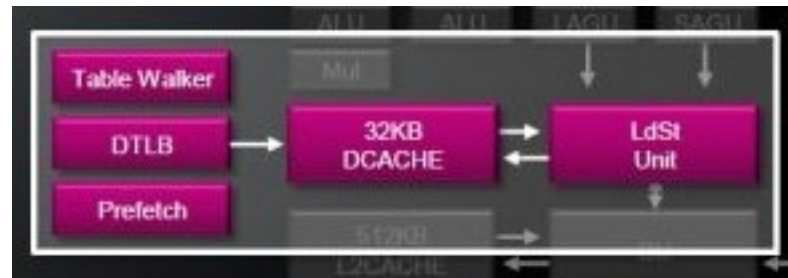
32 Kbyte

8-Wege-Assoziativ

Paritätsbit

40/8 L1-DatenTLB

512/64 L2-DatenTLB



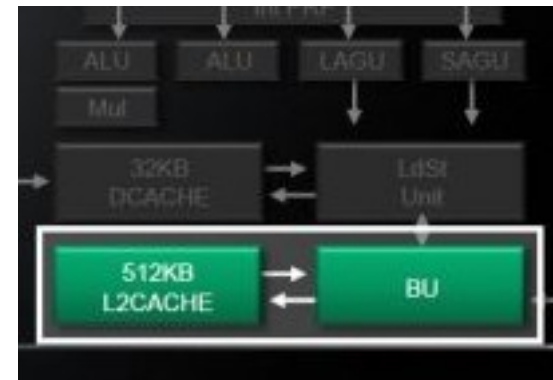
## CPU-Kern „Bobcat“

### Mikroarchitektur – L2-Cache und Buseinheit

512 Kbyte L2-Cache 16-fach

ECC-Fehlerkorrektur

Buseinheit verwaltet Kohärenz



# CPU-Kern „Bobcat“

## Mikroarchitektur - Decoder

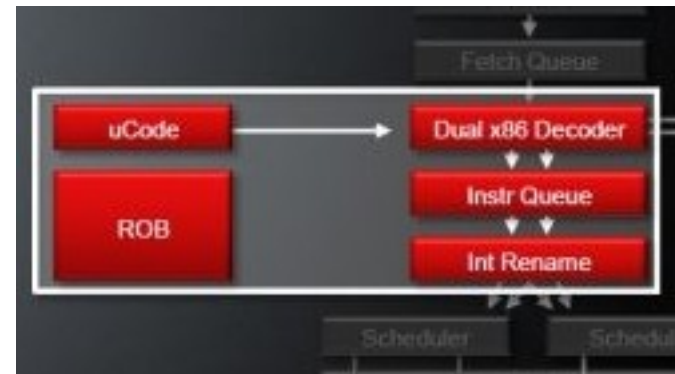
Decodiert zwei Befehle je Takt

Übertragung der x86-Befehle:

89 % direkt zu microOP

10 % zu 2 microOPS

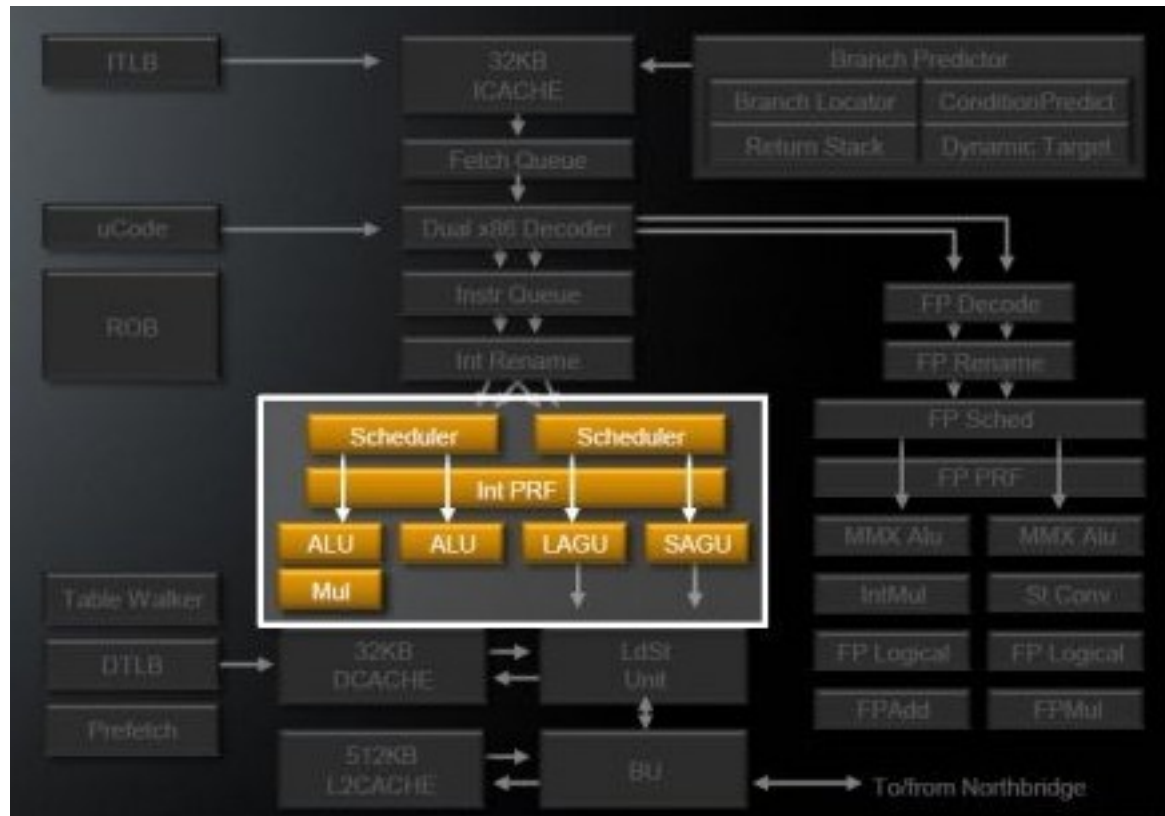
1 % durch Mikrocode





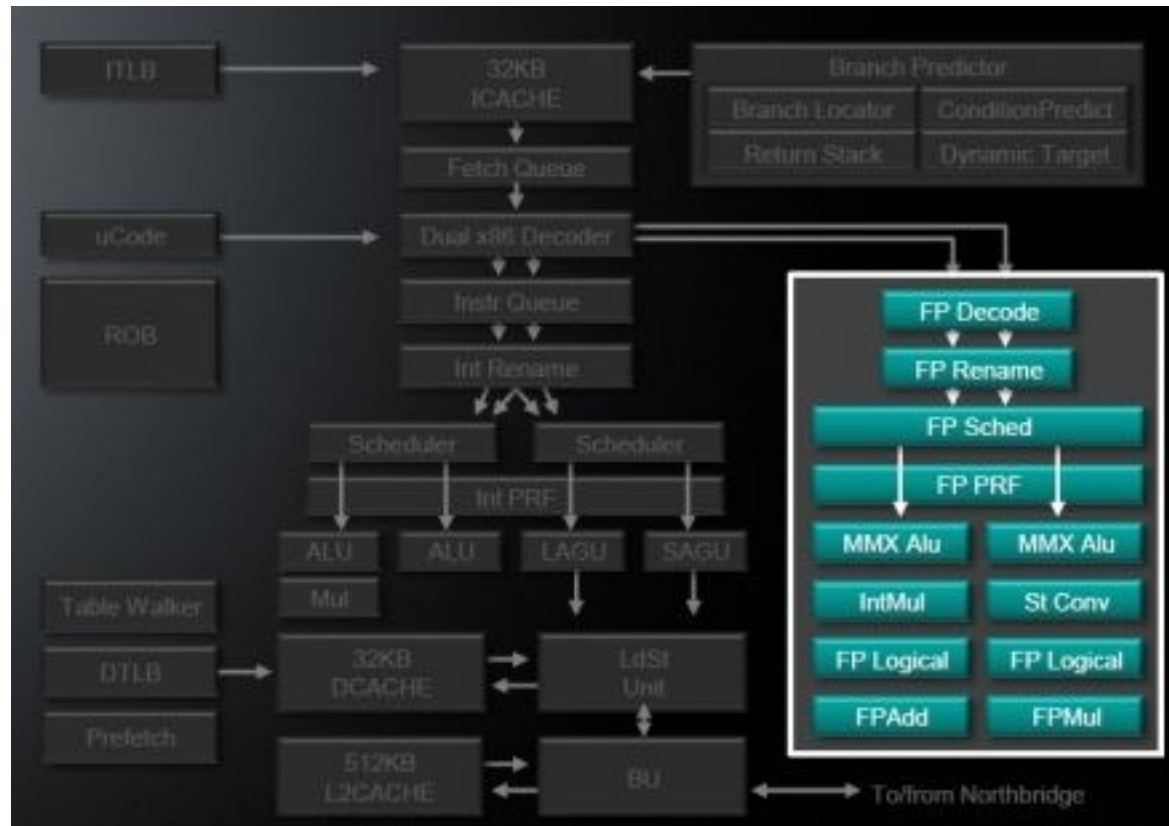
# CPU-Kern „Bobcat“

## Mikroarchitektur - Integereinheit

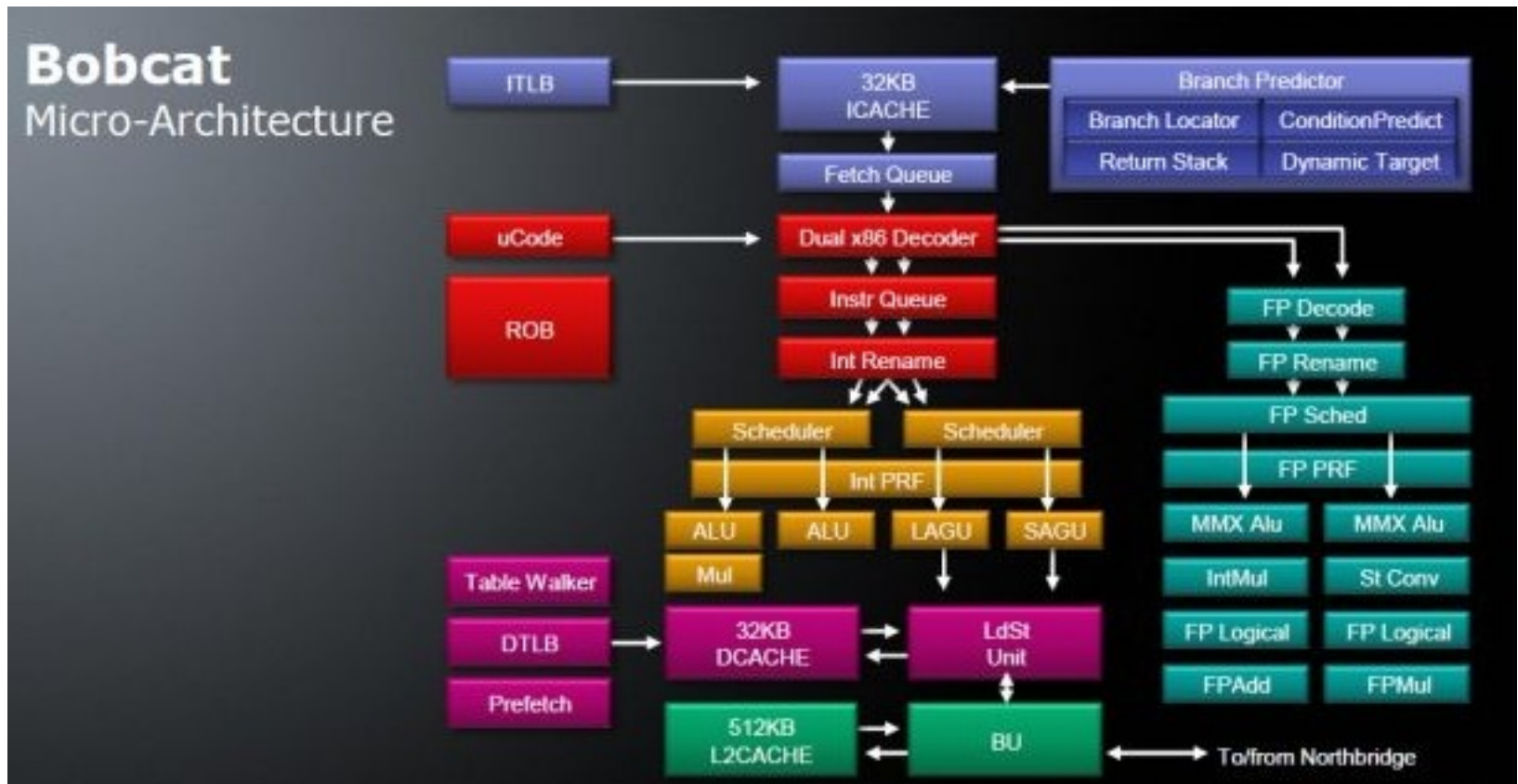


# CPU-Kern „Bobcat“

## Mikroarchitektur - Fließkommeneinheit



# Bobcat Architektur



# CPU-Kern Befehlsverarbeitung

## Pipelineverarbeitung

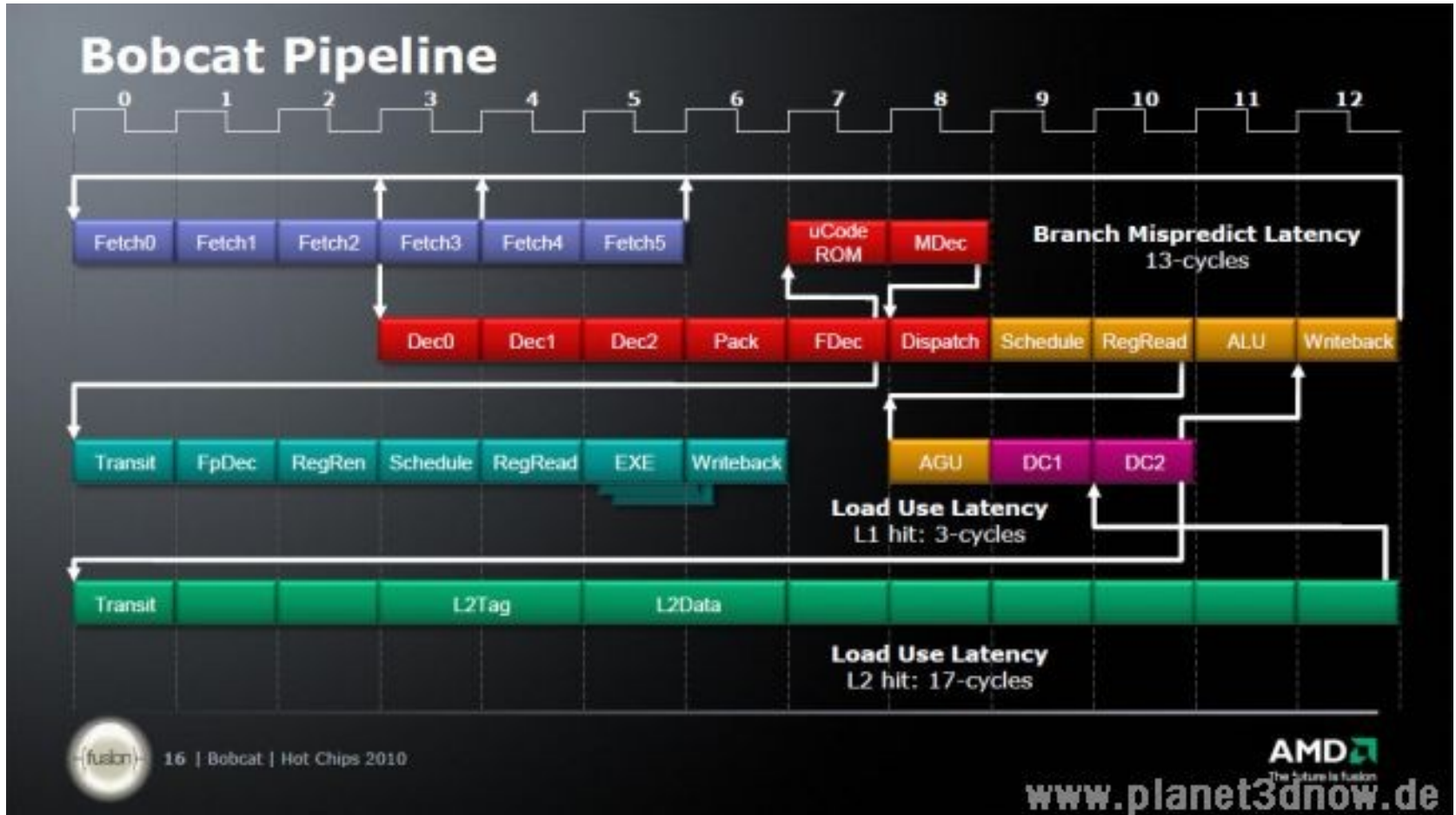
Insgesamt 13 Stufen

Latenzzeiten:

L1-Hit: 3 Zyklen

L2-Hit: 17 Zyklen

Der L2-Cache läuft (vermutlich) nur mit halben Kerntakt



# CPU-Kern „Bobcat“

## Eigenschaften

### Erweiterungen

- SSE, SSE2, SSE3, SSSE3, SSE4a, NX Bit, AMD64, PowerNow!, AMD-V

### Geringe Leistungsaufnahme durch

- Auf Leistungsaufnahme optimierte Befehlsausführung
- Architektur minimiert benötigten Datenaustausch
- **Clock-Gating**
- **Power-Gating**
- **Physikalisches Registerfile**
- Low-Power-State C6

# Stromsparmechanismen

## Clock-Gating

Abschalten des Clock-Signals für einzelne FlipFlops

→ Laden/Entladen der Kapazitäten wird dadurch verhindert

Schwierigkeiten:

- Zusätzliche Gatter nötig

# Stromsparmechanismen

## Power-Gating

Stromversorgung einzelner Einheiten wird unterbrochen

→ Leckströme der hochintegrierten Chips werden reduziert

Nachteile/Schwierigkeiten:

- Zeitverzögerungen durch Ab-/Anschalten der einzelnen Einheiten
- Abwiegen des Aufwands zum Schalten der Stromversorgung zu den auftretenden Leckströmen



# Stromsparmechanismen

## Physikalisches Registerfile

ReOrderBuffer (ROB) dient dazu, out-of-order Berechnungen zu speichern

- Ohne Registerfile:
  - Ergebnisse werden in ROB geschrieben, sortiert und in einem weiteren Register gespeichert
- Mit Registerfile:
  - Ergebnisse werden lediglich in ein Register geschrieben, nur der Verweis auf dieses wird geändert

# Grafikeinheit

Basiert auf AMDs Evergreen-Architektur mit DX11 (Radeon-HD-5000)

Insgesamt 80 Shader sind in VLIW-Einheiten angeordnet:

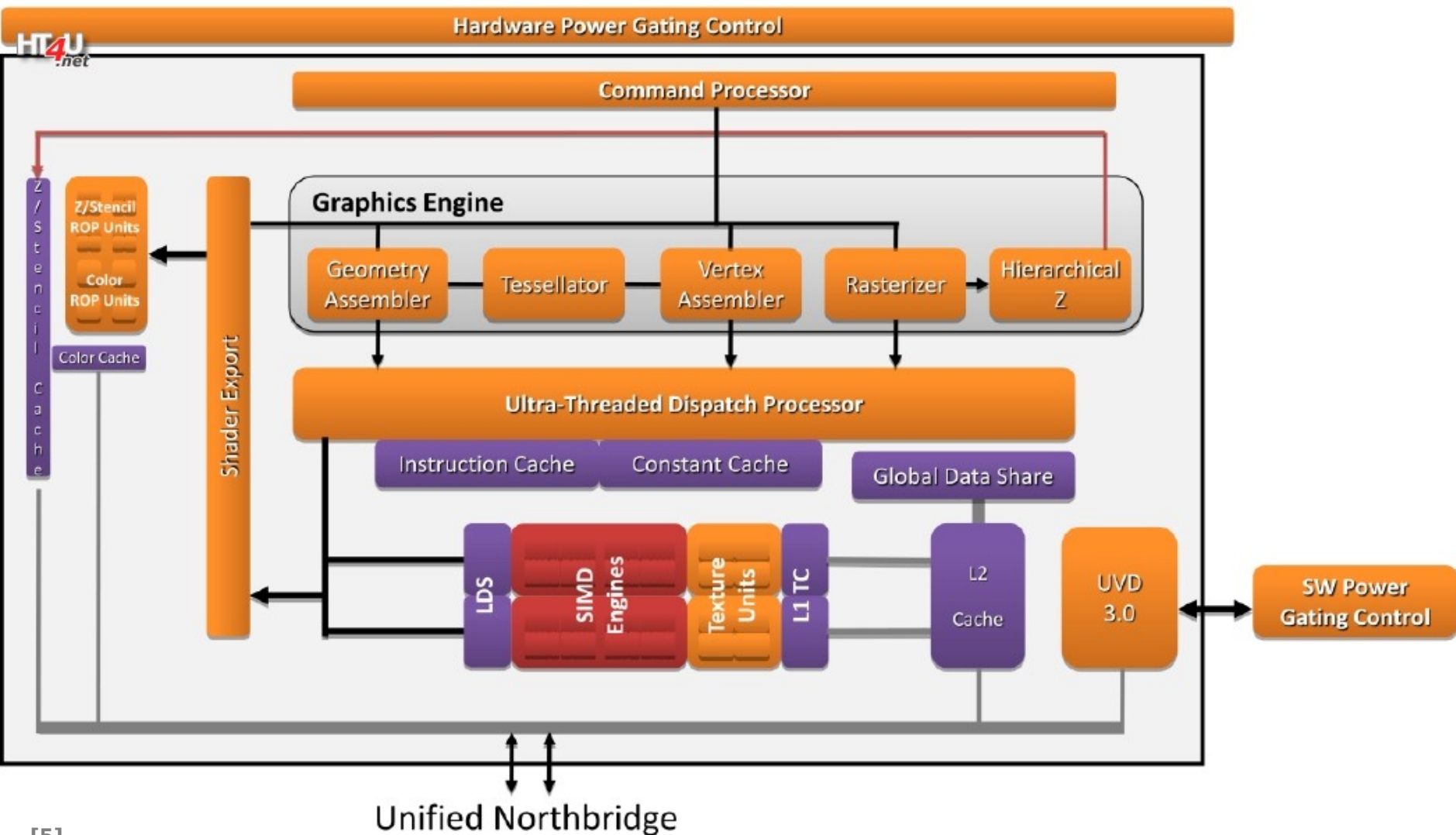
- 5 bilden VLIW-Verbund (Vec5)
- 8 Vec5 bilden SIMD-Cluster
- Insgesamt 2 SIMD-Cluster zu je 40 Shader

2 x 4 TMUs (Textur-Mapping-Units)

→ Texturabbildung

4 ROP-Einheiten (Raster Operation Processor)

→ Bildsynthese aus Rohdaten



# Hudson-Chipsatz

## Fusion Controller Hub

Ersetzt Northbridge (weitgehend in APU integriert) und Southbridge

Anbindung per UMI (Unified Media Interface) an APU

Schnittstellen: USB 2, 4 PCIe 2.0, HDAudio, SATA 3 GBit/s

Fertigung: 65 nm

Größe: 35 mm<sup>2</sup>

TDB: 4,7 W

# Hudson-Chipsatz

## Fusion Controller Hub

Ersetzt Northbridge (weitgehend in APU integriert) und Southbridge

Anbindung per UMI (Unified Media Interface) an APU

Schnittstellen: USB 2, 4 PCIe 2.0, HDAudio, SATA 3 GBit/s

Fertigung: 65 nm

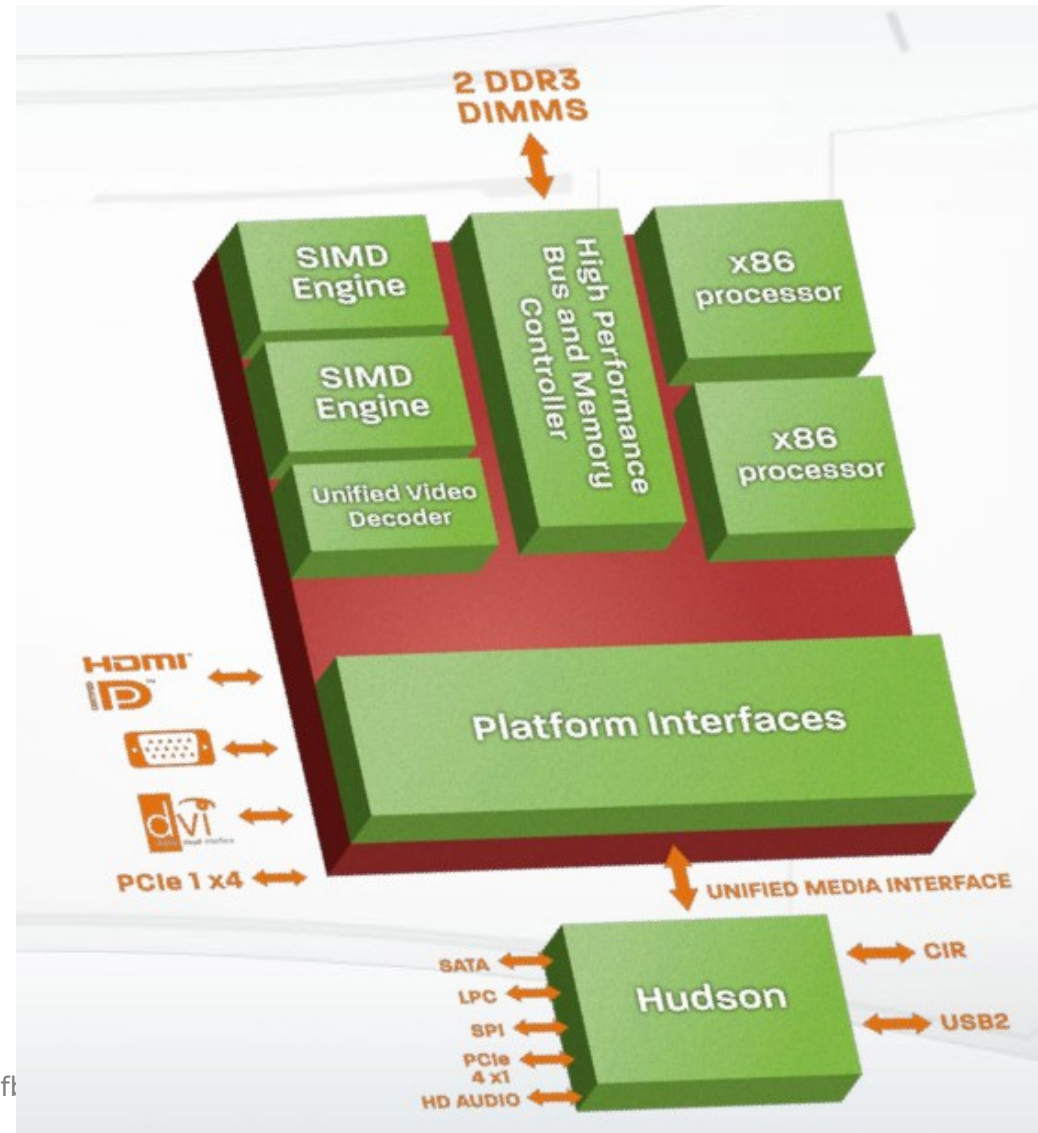
Größe: 35 mm<sup>2</sup>

TDB: 4,7 W

# Zacate-APU

Verbindung aus folgenden  
Einheiten:

- 1 oder 2 Bobcat-Kernen
- GPU-Einheit
- Bus und Speicherschnittstelle
- Platform-Interface



## Zacate-APU I/O

### Anbindung Peripherie und FCH

#### Schnittstellen:

- Zwei digitale Displayausgänge
- VGA
- 4x1 bzw. 1x4 PCIe
- Weitere Schnittstellen über FCH

#### Unified Media Interface zum FCH

- bestehend aus vier PCIe 2.0 Leitungen
- 2 Gbyte/s Burstrate ohne Overhead

(Liano-APUs unterstützen eine Dual-Channel Anbindung)

## Zacate-APU I/O

### Speicher-Anbindungen

Grafikeinheit besitzt keinen eigenen Speicher

- → CPU-Kerne und Shader greifen über Speichercontroller auf den Hauptspeicher zu

Speicherunterstützung:

- DDR3-1066
- Single-Channel

→ Speicherbandbreite: 8,5 Gbyte/s

(Liano-APUs unterstützen eine Dual-Channel Anbindung)



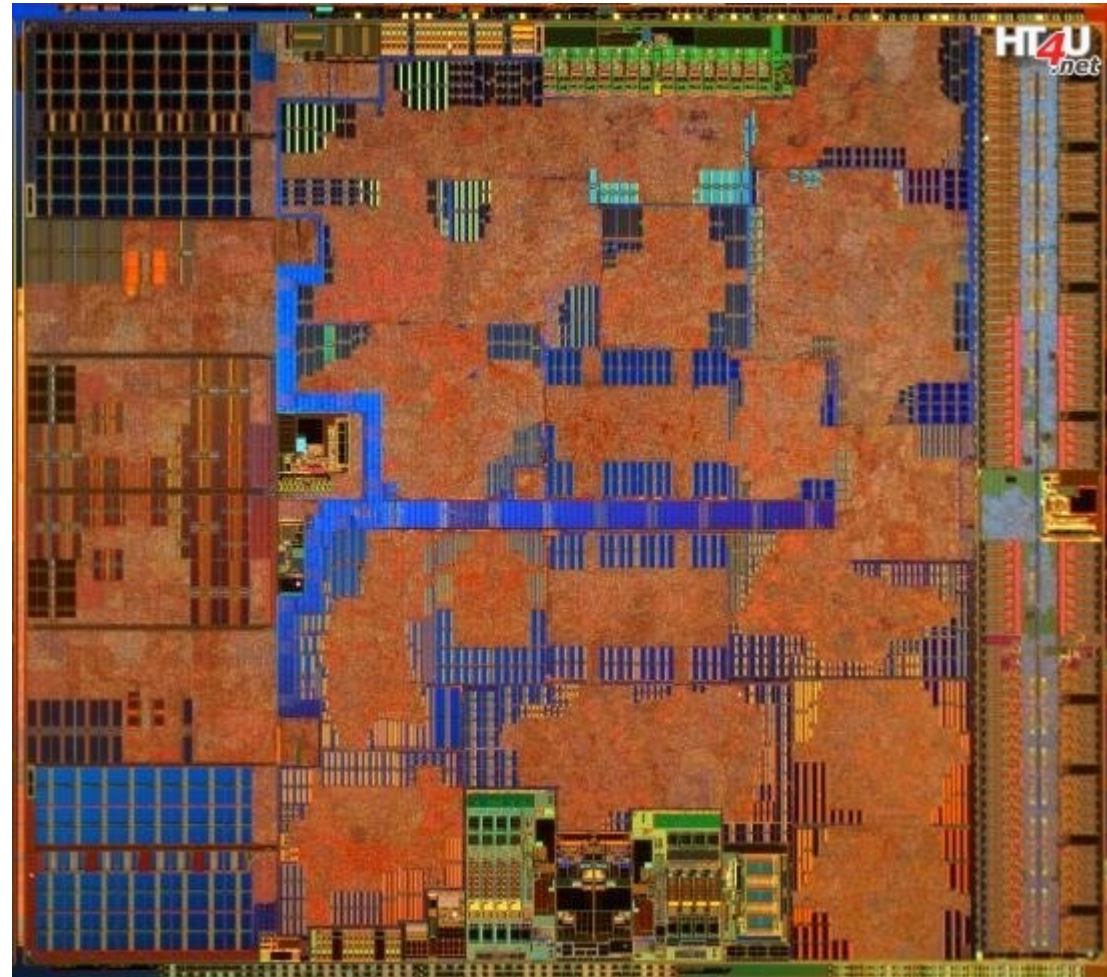
## Fertigung

Herstellung bei TSMC

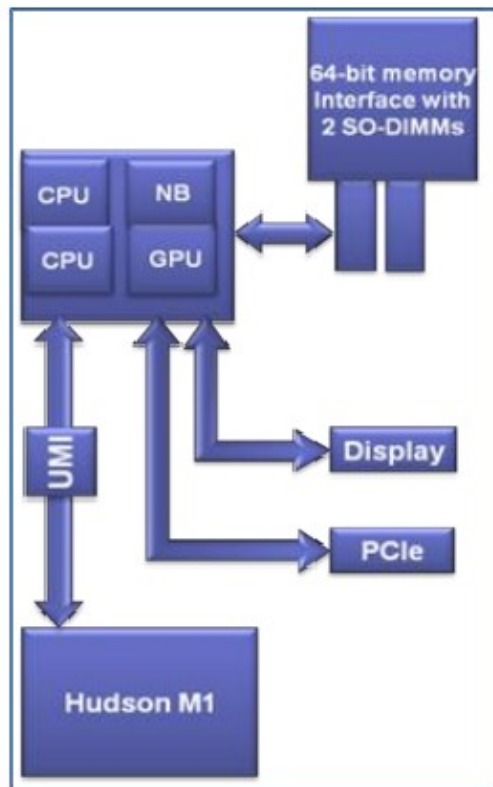
Strukturbreite:  
40 nm

Größe:  
75 mm<sup>2</sup>

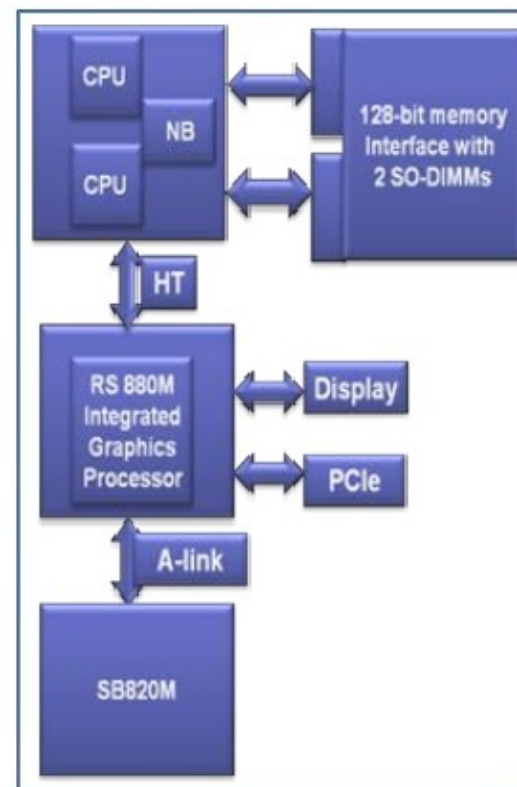
TDP:  
18 W



# Vergleich APU <> Herkömmliche Systeme



**Figure 1: Schematic of the APU system (CPU, GPU on single die/chip)**



**Figure 2: Schematic of Nile system (CPU, Northbridge, and Southbridge on different chips)**

[1]

# Vergleich APU <> Herkömmliche Systeme

## Leistung

### APU-System

„Zacate“ 18W Dual-Core APU

„Hudson“ Southbridge

### Referenzsystem

AMD Athlon Neo II Dual-Core

RS880M Northbridge  
SB820 Southbridge

ATI Radeon HD 5430 GPU

PCMark® Vantage	2300 (77%)	3003 (100%)
3DMark Vantage E (1024x768)	3384 (93%)	3652 (100%)

# Vergleich APU <> Herkömmliche Systeme

## CO2-Bilanz

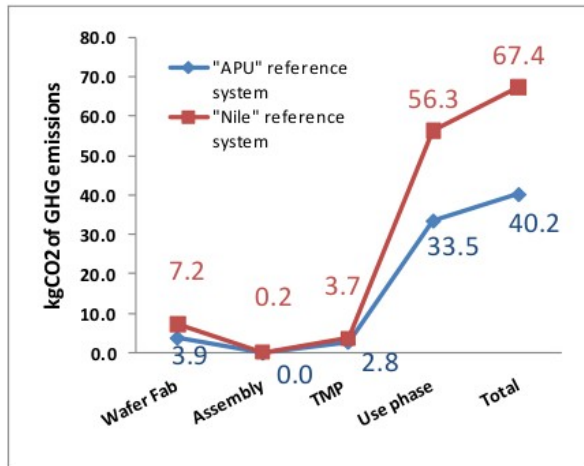


Figure 7: Variance of GHG emissions resulting from the two reference systems

[1]

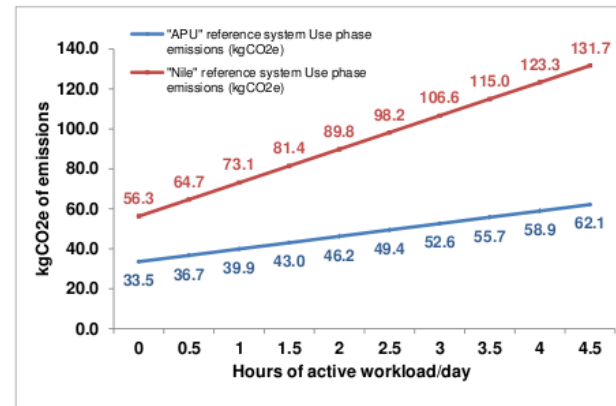
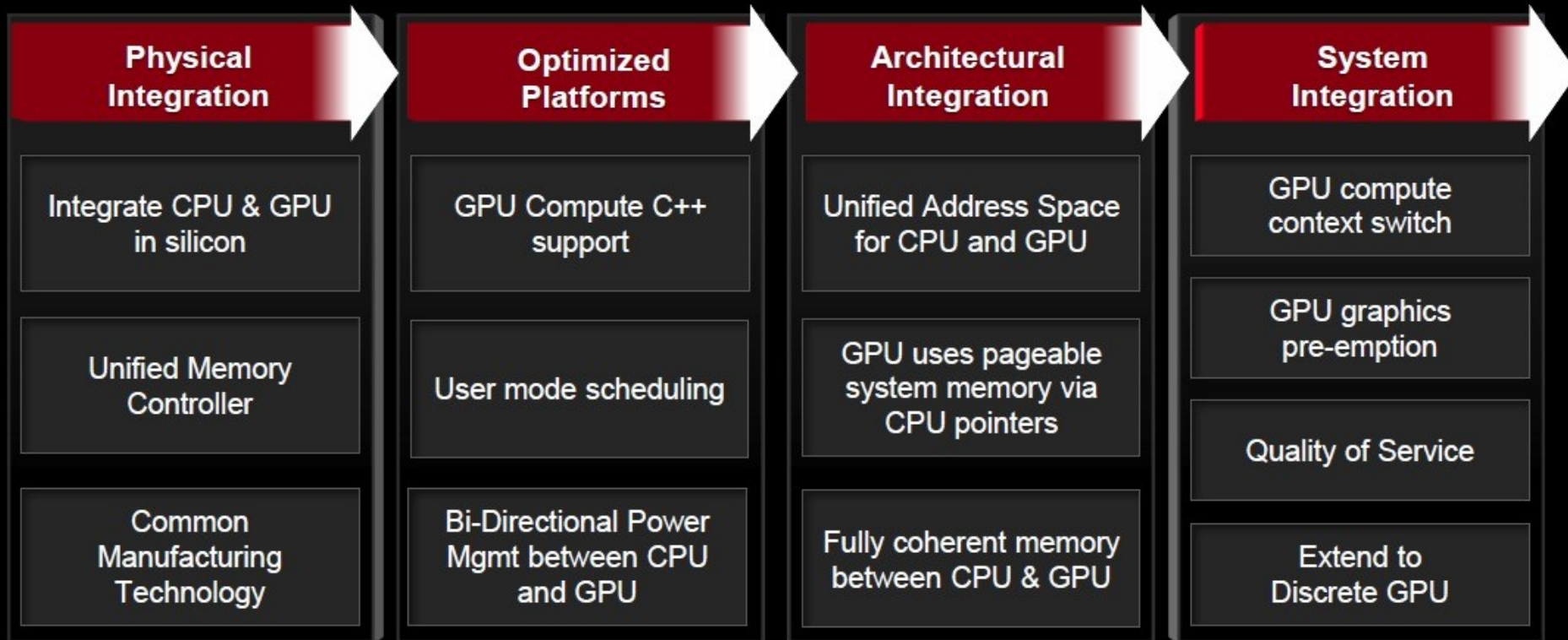


Figure 13: Variance in use phase GHG emissions with changes in time duration of active workload

[1]

## ROADMAP FOR AMD FUSION SYSTEM ARCHITECTURE (FSA)





**»Wissen schafft Brücken.«**

## Quellen

[1] A comparative assessment of the carbon footprint of AMD Fusion™ products with the previous generation products

<http://www.amd.com/us/Documents/APU%20Carbon%20Footprint%20white%20paper%20FINAL%201%202011.pdf>

[2] AMD Präsentationsmaterial: Hotchip 2010, AMD Fusion Preview Event, zu finden unter:

<http://www.planet3dnw.de/photoplog/index.php?n=10867>

[http://ht4u.net/reviews/2011/amd\\_zacate\\_e350\\_review/index6.php#inhalt](http://ht4u.net/reviews/2011/amd_zacate_e350_review/index6.php#inhalt)

[3] [www.amd.com/us/Documents/49282\\_G-Series\\_platform\\_brief.pdf](http://www.amd.com/us/Documents/49282_G-Series_platform_brief.pdf)

[4] <http://www.planet3dnw.de/vbulletin/showthread.php?t=384990>

[5] [http://ht4u.net/reviews/2011/amd\\_zacate\\_e350\\_review/index6.php#inhalt](http://ht4u.net/reviews/2011/amd_zacate_e350_review/index6.php#inhalt)

[5] Slides der AMD Fusion 11 Conference

<http://www.pcper.com/reviews/Graphics-Cards/AMD-Fusion-System-Architecture-Overview-Southern-Isle-GP>