

Universelle Speicherschnittstelle für große externe Speicher

Marco Zulkowski
Marco.Zulkowski@mailbox.tu-dresden.de

Dresden, 16.05.2012



Gliederung

- 1. Motivation**
- 2. Controller und ihre Schnittstellen**
- 3. Konzept**
- 4. ToDo**

1. Motivation

**Vielzahl verschiedener
Schnittstellen**

- Diverse native Interfaces
- AHB, AXI
- Wishbone



**Vielzahl verschiedener
Speichercontroller**

- SATA-Host-Bus-Adapter
- DDR-Speichercontroller
- SD-Card-Controller

1. Motivation

- Verschiedene Schnittstellen erschweren Design Wiederverwendung

Austauschen von externen Speichern in einem Design

bisher

- Anderer Speichercontroller
- Andersartige Konfiguration
- Andere Schnittstelle

zukünftig

- Anderer Speichercontroller (gekapselt)
- Gleichartige Konfiguration
- Gleiche Schnittstelle

1. Motivation

- Verschiedene Schnittstellen erschweren Design Wiederverwendung

Austauschen von externen Speichern in einem Design

bisher

- Anderer Speichercontroller
- Andersartige Konfiguration
- Andere Schnittstelle

zukünftig

- Anderer Speichercontroller (gekapselt)
- Gleichartige Konfiguration
- Gleiche Schnittstelle

Randbedingung:

- **Leistungsfähigkeit der Controller soll erhalten bleiben**

2. Controller und ihre Schnittstellen

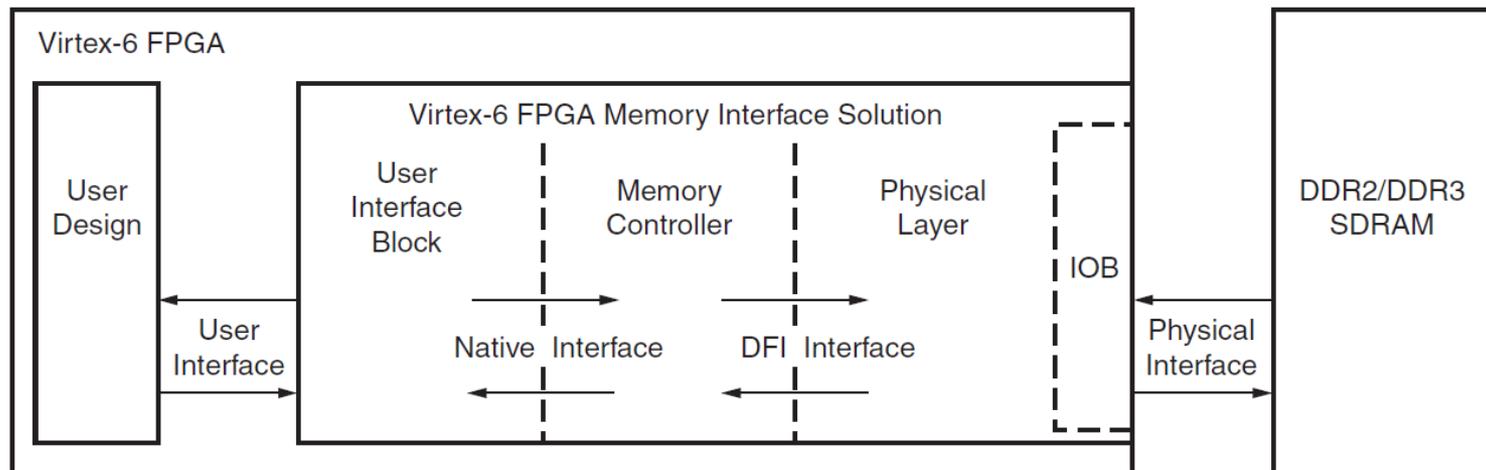
- Literaturstudium von Controllern für große externe Speicher
 - SATA-Controller
 - Lehrstuhl SATA-HBA*
 - **Groundhog SATA-HBA**
 - OpenCores SATA-HBA
 - DDR-Controller
 - Virtex-5 DDR2-MIG
 - **Virtex-6 DDR3-MIG**
 - Gaisler DDR2
 - Stratix II GX DDR2-MegaCore
 - SDCard-/MMC-Controller
 - OpenCore SPIMaster

*von Patrick Lehmann im Rahmen seiner Bachelor-Arbeit entwickelt

2. Controller und ihre Schnittstellen

Xilinx Virtex-6 DDR3 MIG

- Schnittstellen:
 - DDR PHY Interface (DFI), Native Interface und User Interface oder AXI 4
- Besonderheit:
 - request reordering

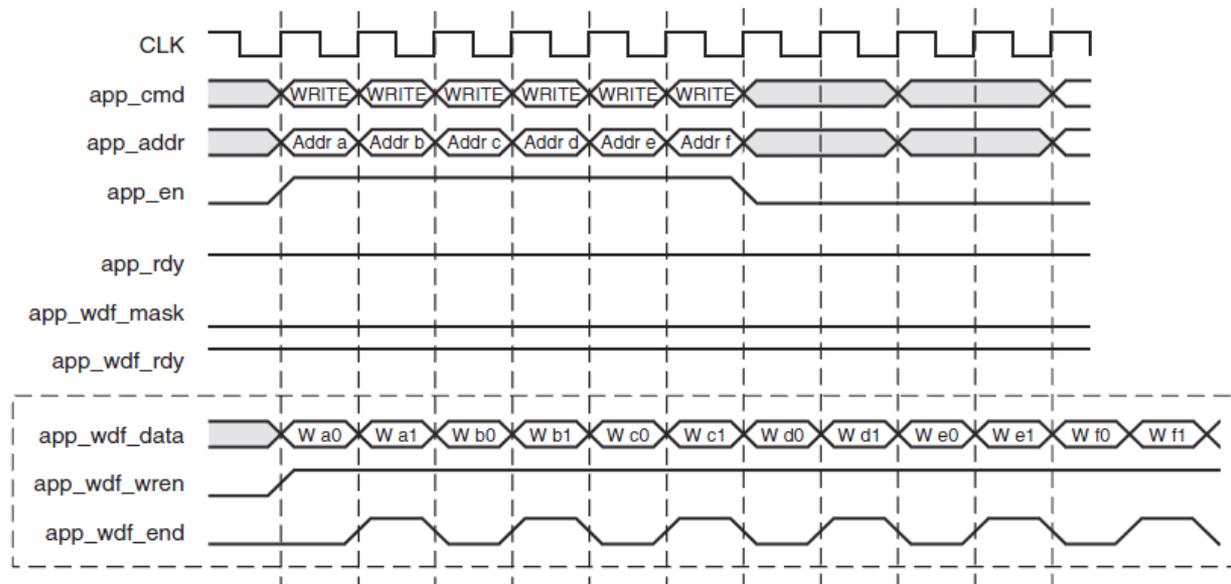


[1]

2. Controller und ihre Schnittstellen

Xilinx Virtex-6 DDR3 MIG Schnittstelle

- Priorisierung von Anfragen
- Fully pipelined

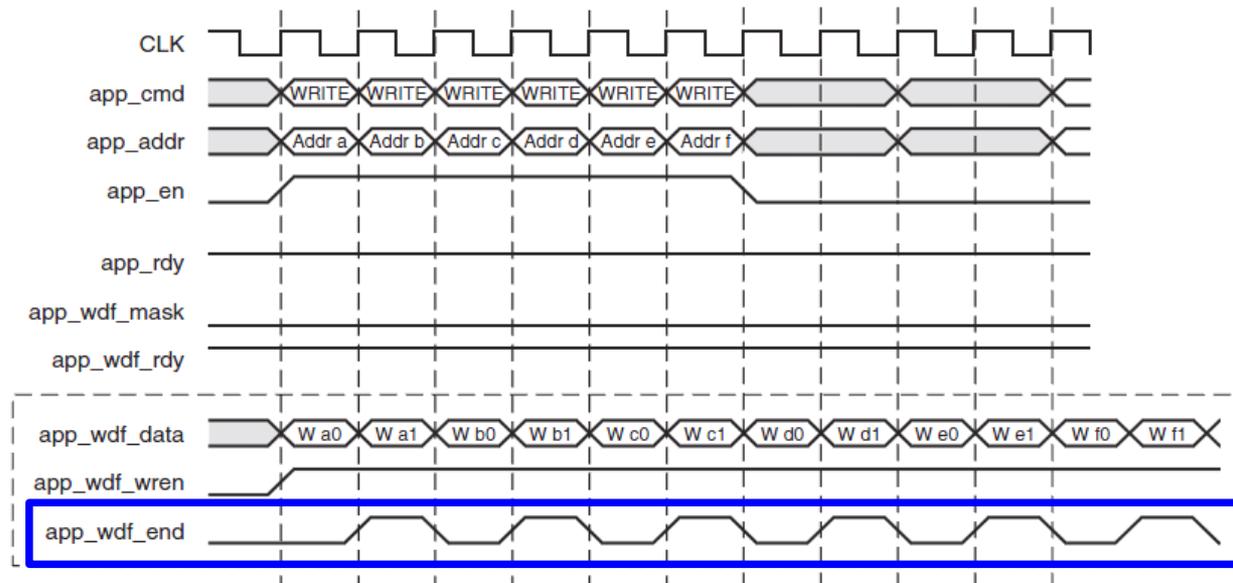


[2]

2. Controller und ihre Schnittstellen

Xilinx Virtex-6 DDR3 MIG Schnittstelle

- Besonderheit:
Signal zur Indikation des letzten Datenwortes (Lesen + Schreiben)

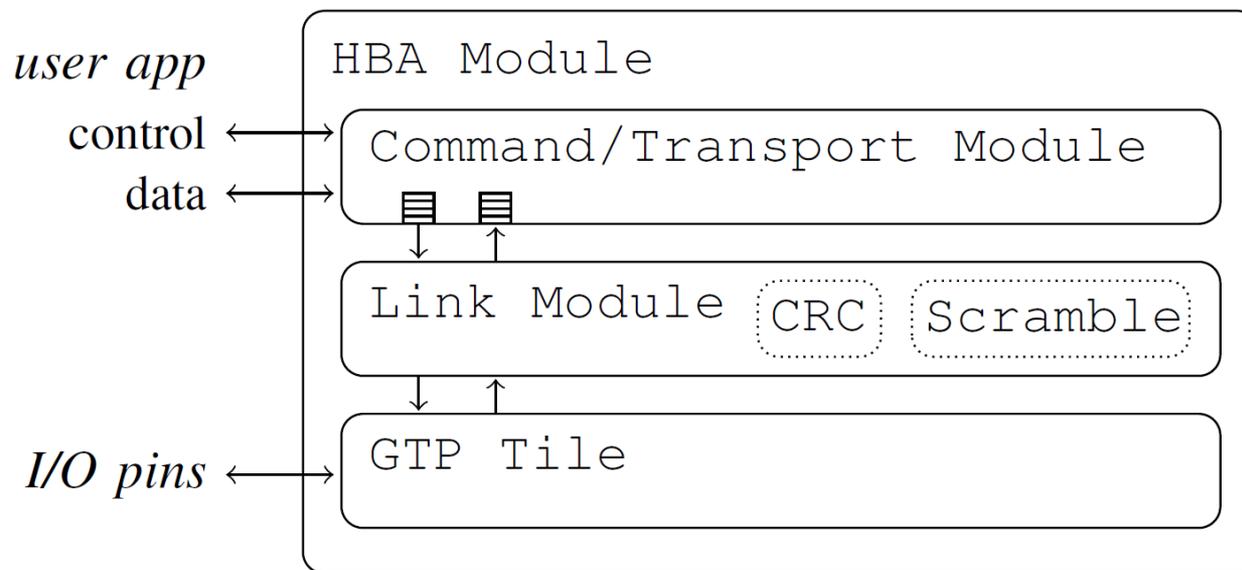


[2]

2. Controller und ihre Schnittstellen

Groundhog SATA-HBA

- Bietet natives Interface
- Besonderheit:
 - Unterstützung von First Party DMA (NCQ)

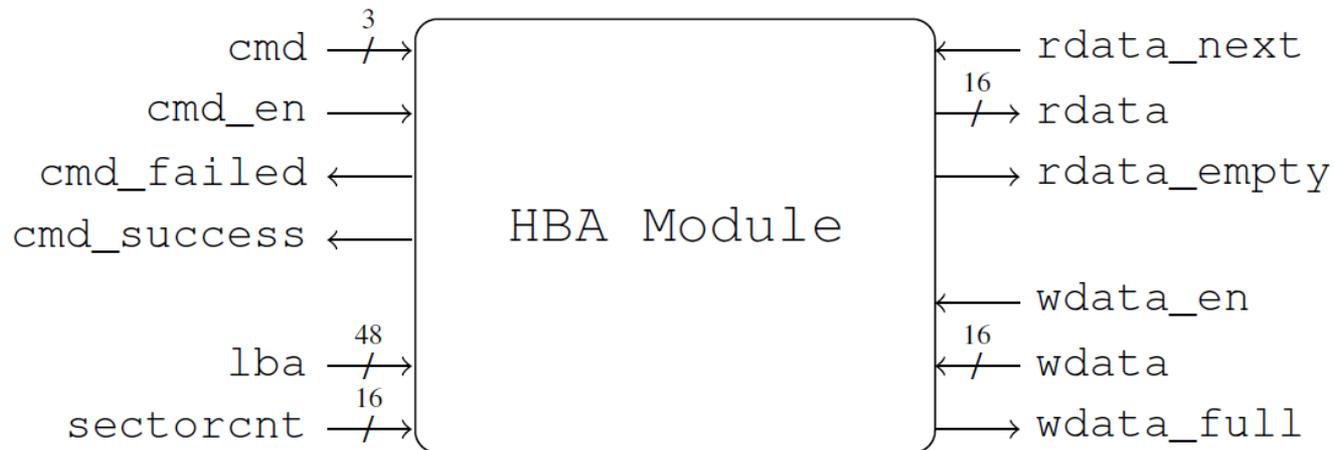


[3]

2. Controller und ihre Schnittstellen

Groundhog SATA-HBA Schnittstelle

- Signale für DMA Zugriffe

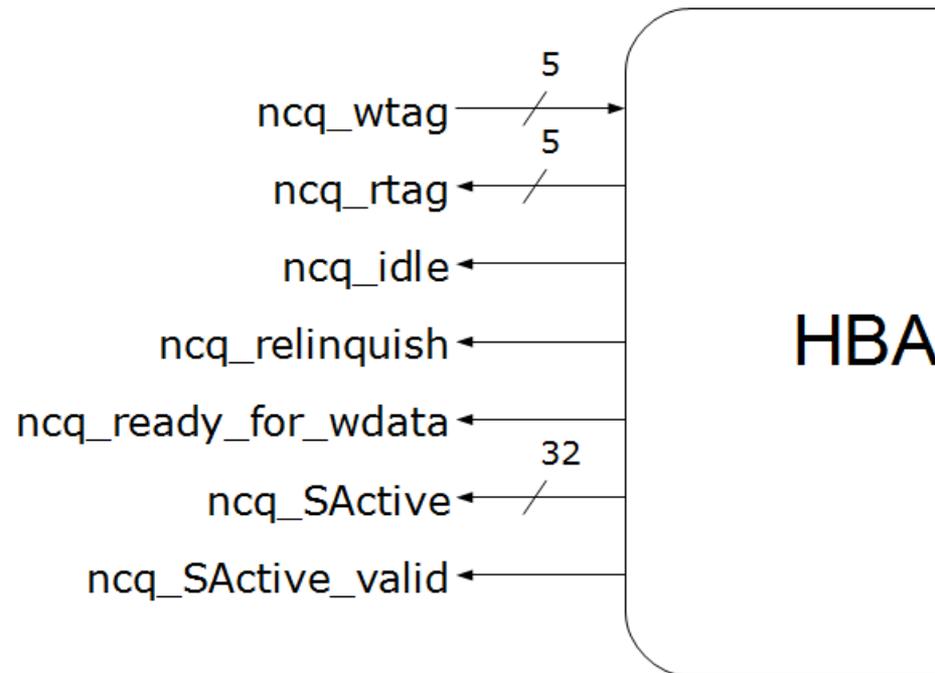


[3]

2. Controller und ihre Schnittstellen

Groundhog SATA-HBA Schnittstelle

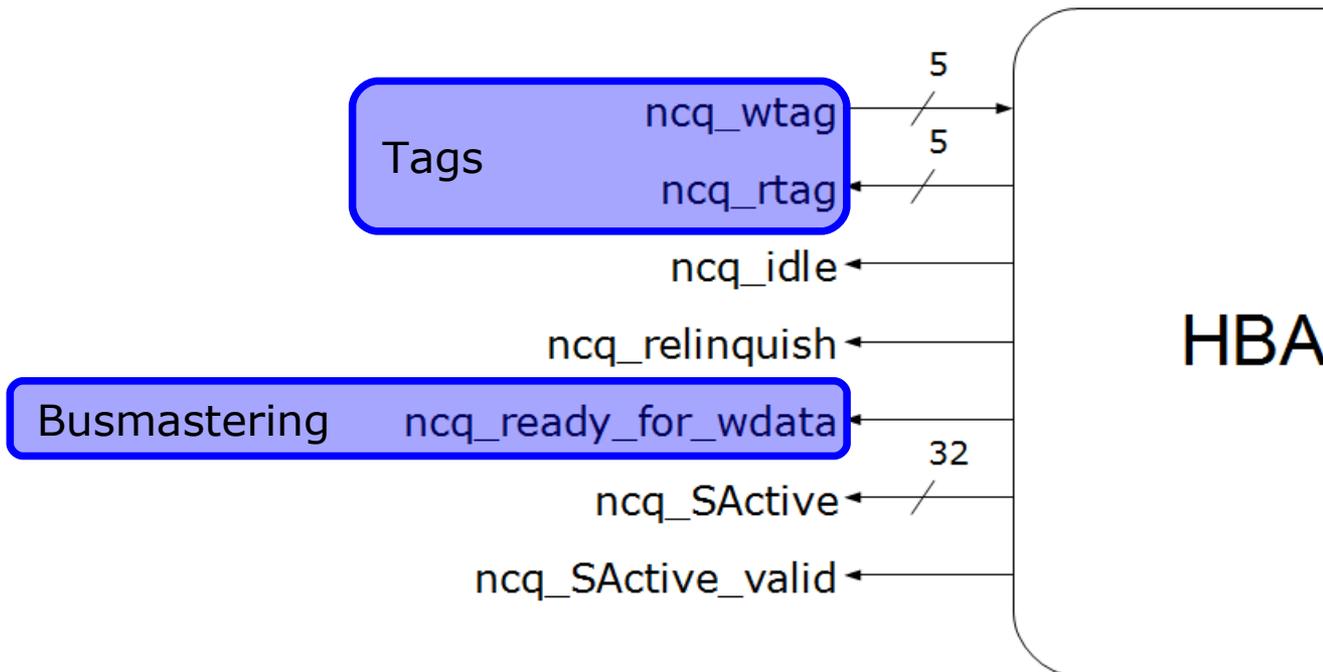
- Zusätzliche First Party DMA Signale



2. Controller und ihre Schnittstellen

Groundhog SATA-HBA Schnittstelle

- Zusätzliche First Party DMA Signale



2. Controller und ihre Schnittstellen

Was bieten Controller und Schnittstellen

	Xilinx DDR 3	Xilinx DDR 2	OpenCores SATA	Groundhog SATA
Datenmaskierung	Ja	Ja	Nein	Nein
Statusmeldungen	Ja	Nur FIFO	Ja	Ja
Zugriffslänge	Fix	Fix	Variabel	Variabel
Pipelining	Voll	Voll	Nein	Nein
Busmastering	Nein	Nein	Nein	Ja (FPDMA)
Tags	Nein	Nein	Nein	Ja (FPDMA)
Priorisierung	Einstufig	Nein	Nein	Nein

2. Controller und ihre Schnittstellen

Welche Features sollten erhalten bleiben

	Xilinx DDR 3	Xilinx DDR 2	OpenCores SATA	Groundhog SATA
Datenmaskierung	Ja	Ja	Nein	Nein
Statusmeldungen	Ja	Nur FIFO	Ja	Ja
Zugriffslänge	Fix	Fix	Variabel	Variabel
Pipelining	Voll	Voll	Nein	Nein
Busmastering	Nein	Nein	Nein	Ja (FPDMA)
Tags	Nein	Nein	Nein	Ja (FPDMA)
Priorisierung	Einstufig	Nein	Nein	Nein

3. Konzept

Welche Features wären nützlich

- Vereinfachte Konfiguration
- Einheitliche Schnittstelle
- Protokoll so einfach wie möglich
- Teils nicht notwendige Signalisierungen verbergen/kapseln (z.B. Virtex-6 DDR3)
- Burst-Zugriffe
- Hohe Datenrate
- Pipelining für mehrere Prozessorkerne
 - Benötigt Tags
- Zerlegung von großen in kleine Anfragen

3. Konzept

Welche Features wären nützlich

- Vereinfachte Konfiguration
- Einheitliche Schnittstelle
- Protokoll so einfach wie möglich
- Teils nicht notwendige Signalisierungen verbergen/kapseln (z.B. Virtex-6 DDR3)
- Burst-Zugriffe
- Hohe Datenrate
- **Pipelining für mehrere Prozessorkerne**
 - Benötigt Tags
- Zerlegung von großen in kleine Anfragen

3. Konzept

Standard Schnittstellen

	AMBA AXI 4	AMBA AHB 3	Wishbone B4
Topologie	Punkt-zu-Punkt	Shared Bus	Shared Bus, Punkt-zu-Punkt, Crossbar
Datenbreite (Bit)	8 – 1024	8 - 1024	8, 16, 32, 64
Adressierung	Bis 64 Bit	32 Bit	Bis 64 Bit
Datenmaskierung	Byte	Nein	Byte
Tags	Ja	Nein	Ja
Komplexität	Sehr hoch	hoch	hoch

3. Konzept

Gleiche Schnittstelle

- Universelle Schnittstelle

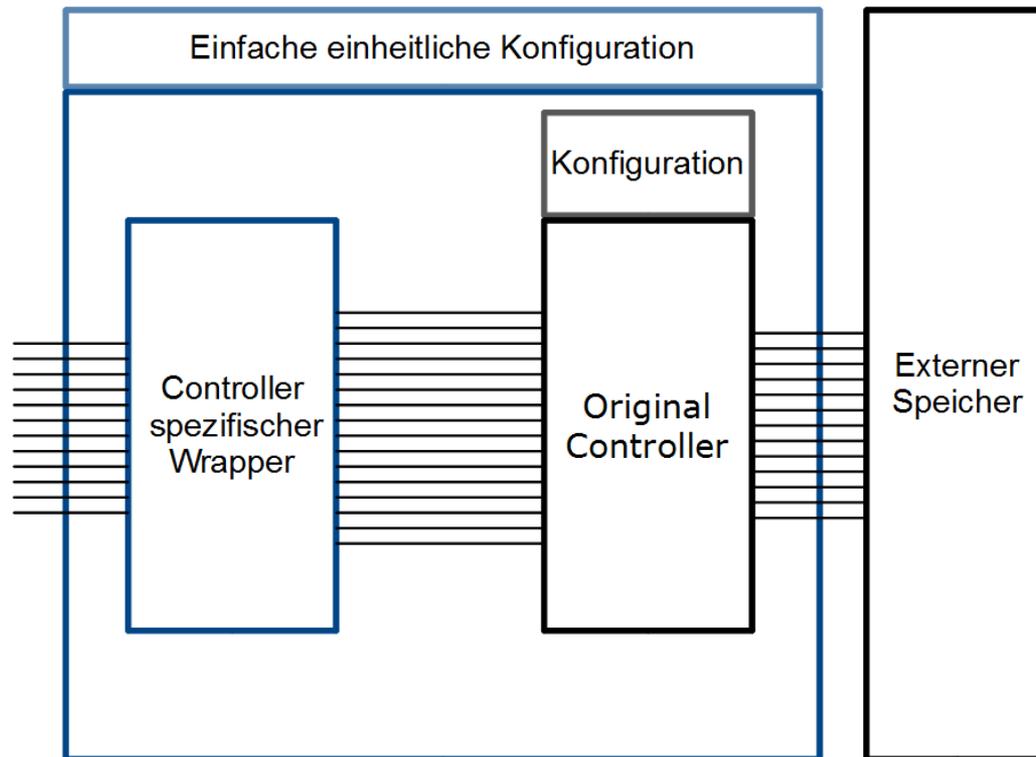


Vielzahl verschiedener Speichercontroller

- SATA-Host-Bus-Adapter
- DDR-Speichercontroller
- SD-Card-Controller

3. Konzept

Konzept Design



4. ToDo

1. Literaturstudium zu Eigenschaften und Schnittstellen von Controllern. 
2. Analyse der Anforderungen an eine universelle Schnittstelle. 
3. Entwurf einer universellen und einheitlich konfigurierbaren Schnittstelle.
4. Implementierung und Test der Schnittstelle.
5. Bewertung der universellen Einsetzbarkeit der Schnittstelle.

Quellen

- [1] Xilinx DS186 Figure1: DDR2/DDR3 SDRAM Memory Interface Solution
- [2] Xilinx DS186 Figure 1-63: UI Back-to-Back Write Commands Timing Diagramm (vereinfacht)
- [3] L. Woods and K. Eguro. Groundhog-A Serial ATA Host Bus Adapter (HBA) for FPGAs
- [4] Wishbone B4
- [5] AMBA AXI Protocol Version 2.0 Specification
- [6] AMBA Specification Revision 2.0
- [7] On-Chip Communication Architectures: System on Chip Interconnect von Sudeep Pasricha, Nikil Dutt

**Vielen Dank
für ihre Aufmerksamkeit!**



»Wissen schafft Brücken.«