



TECHNISCHE
UNIVERSITÄT
DRESDEN

Fakultät Informatik Institut für Technische Informatik, Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur

Vorstellung der Architektur des Tabula Abax 3PLD

Michael Schöbel

Dresden, 23.05.2012



DRESDEN
concept
Exzellenz aus
Wissenschaft
und Kultur

Gliederung

1 Tabula

2 Steve Teig

3 Abax 3PLD

3.1 Zusammenfassung

3.2 I/O

3.3 Speicher

3.4 IP-cores, DSPs

3.5 Entwicklerboard

4 Spacetime

4.1 Motivation

4.2 Realisierung

4.3 STYLUS

4.4 Spacetime vs. FPGA

5 Fertigung bei Intel

1 Tabula



[1]

- 2003 gegründetes Startup
- Gründer: Steve Teig (Präsident, CTO)
- Sitz in Santa Clara, Kalifornien
- \$ 200 Mio. Risikokapital
- 100+ Mitarbeiter
- 120+ Patente
- leitende Mitarbeiter früher bei Altera und Xilinx

2 Steve Teig



[2]

- Mitbegründer von Tangent Systems (CTO) – EDA (Aufkauf durch Cadence)
- Mitbegründer von CombiChem (CTO) – Biotechnik (Aufkauf durch DuPont)
- Mitbegründer von BioCAD (CTO, CEO) – Biotechnik
- CTO bei Simplex Solutions – EDA (Aufkauf durch Cadence)
- danach CTO bei Cadence
- 2003: Gründung von Tabula

- hält persönlich über 240 Patente
- erhielt 2011 den „World Technology Award“

3 Abax 3PLD

3.1 Zusammenfassung



[8]

- gefertigt bei TSMC in 40nm-Struktur
- Umgebungstemperatur: -40°C bis 125°C

FEATURES	A1EC06
MegaLUT	0.63
MegaBYTES RAM	5.5
RegFile Blocks	960
LRAM Blocks	480
MRAM Blocks	240
Parallel I/Os	920
SerDes	48
PLLs	44
Pins	1936

3.2 I/O

Parallel

- voll konfigurierbar
- Hardwareunterstützung für Taktkontrolle zw. Spacetime & I/O
- hardwareunterstütztes read/write-leveling
- unterstützte Standards: DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM, QDR II/QDR II+/RLDRAM II, LVDS, RSDS & Mini-LVDS, HyperTransport, LVPECL, Open Drain, General Purpose (3.0V, 2.5V, 1.8V, 1.5V LVTTTL/LVCMOS), ...

SerDes

- 55 Mb/s - 6.5 Gb/s
- voll programmierbare PMA und PCS für jeden Kanal
- unabhängiger Takt für jeden Kanal
- channel bonding (2- 24)
- unterstützte Standards: PCI Express Gen1 and Gen2, DisplayPort, DVB-ASI, SATA/SAS, GbE/SGMII, CPRI LV, ...

3.3 Speicher

	LRAM	MRAM	RegFILE
Block Size	72Kb	36Kb	576b
Ports	1 (bis zu 8)	2 (bis zu 16)	2 (bis zu 16)
Access	synchron	synchron	synchrones Schreiben/ asynchrones Lesen
Features	ECC	ECC, FIFO- Controller mit programmierbarer watermark	als 6-LUT nutzbar

3.4 IP-cores, DSPs

IP-cores (soft)

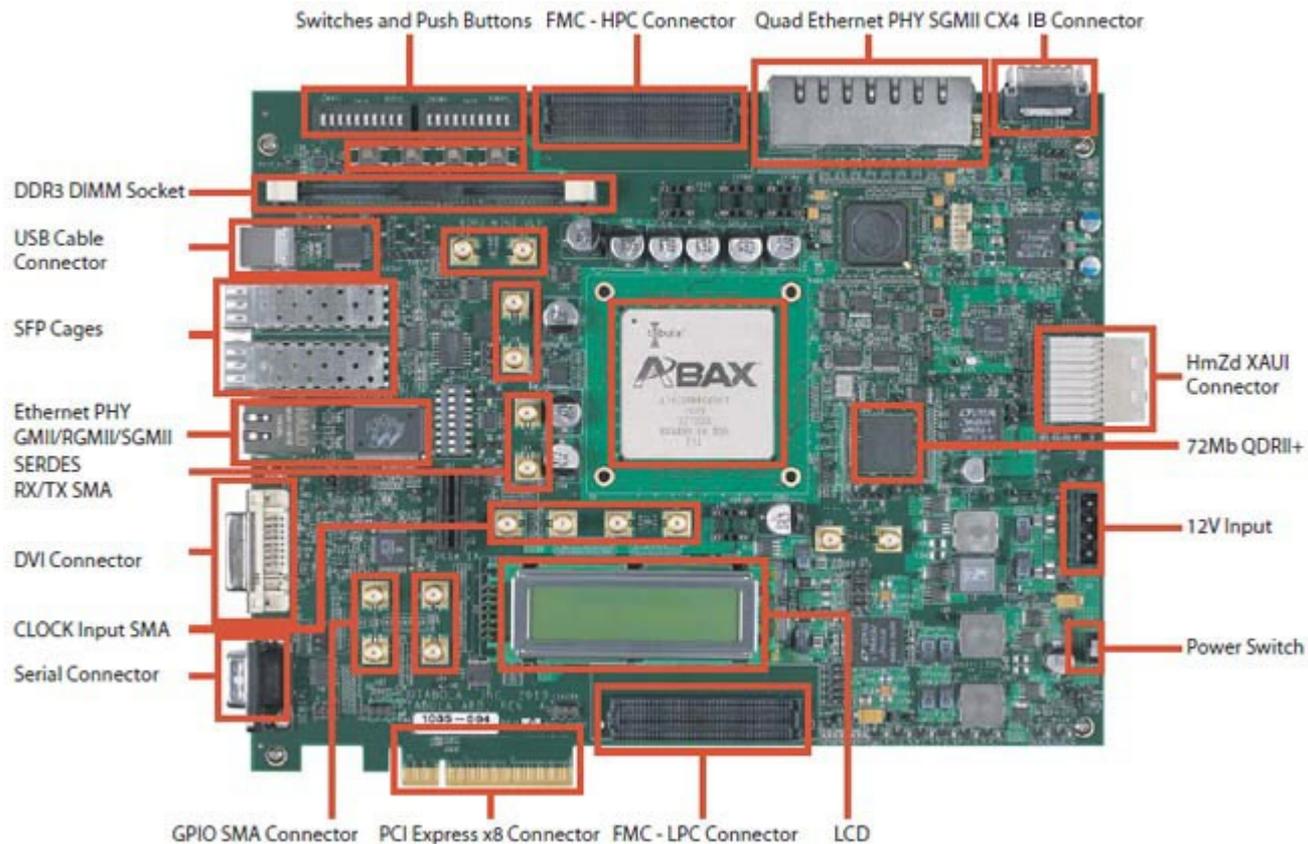
- DDR2 and DDR3 Memory Controllers
- PCI Express Gen 1 and Gen 2
- Ethernet: 1G and 10G
- Soft CPU

DSPs

- bis zu 1280 Blöcke (18bit pre-add/sub, 18x18 mul, 44bit acc)
- z.B. für Videoverarbeitung und LTE

3.5 Entwicklerboard

- Preis: 7500 € (Chip: 200 €) inklusive STYLUS



[9]

4 Spacetime

4.1 Motivation



[3]

Problem:

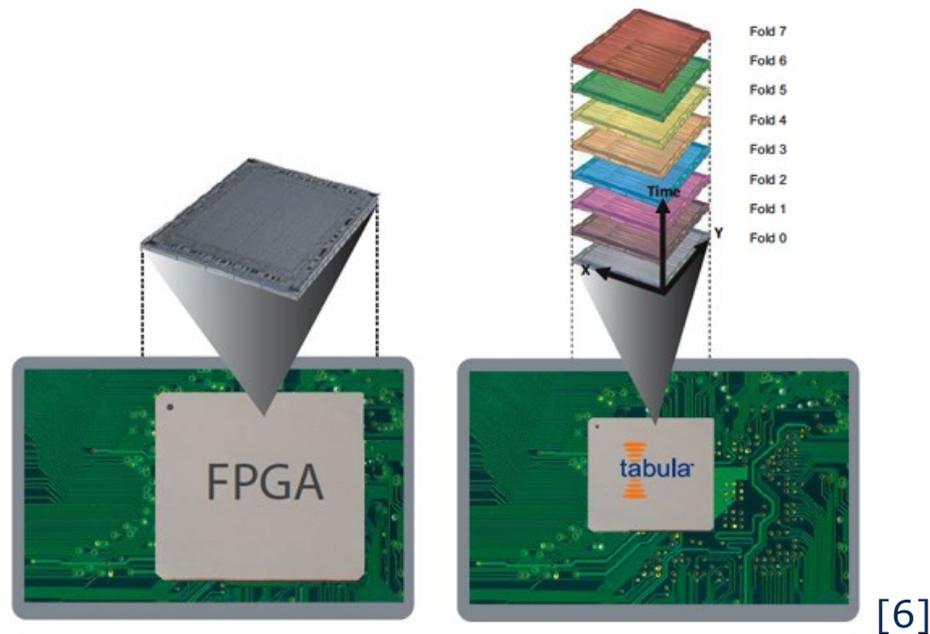
- moderne FPGAs sind sehr groß
- mit 100 GBit/s Ethernet sind Limits erreicht
- die Limits entstehen durch das Interconnect (Bottlenecks zwischen Memory und I/O)

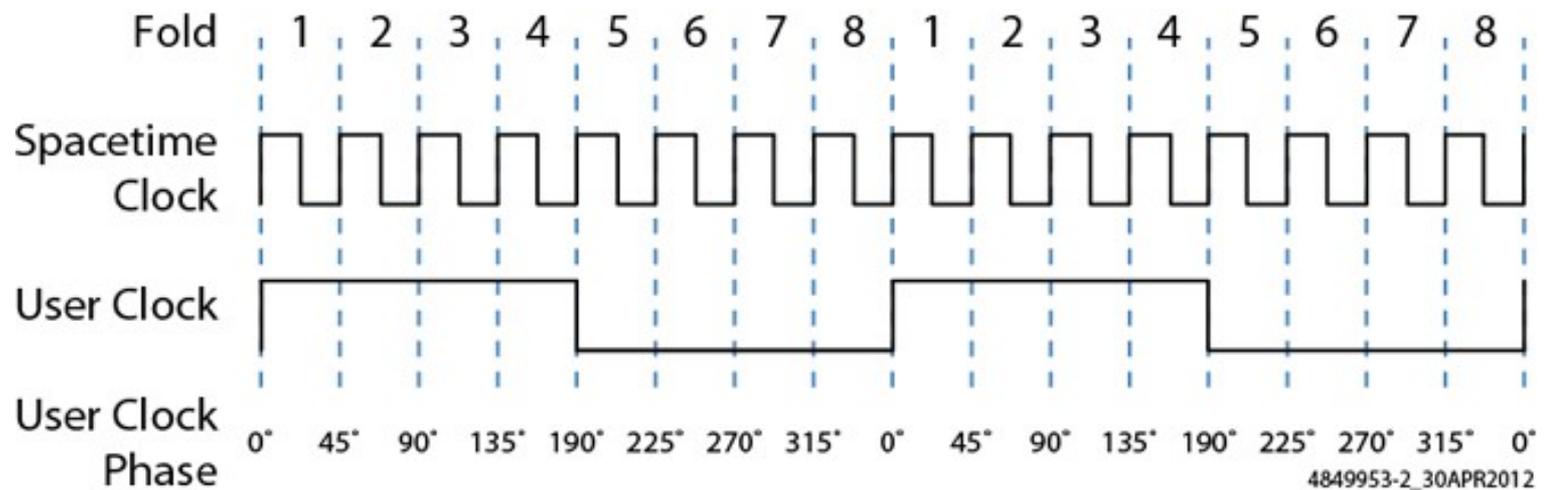
Lösung:

- kürzere Interconnects
 - höhere Takt
 - höhere Bandbreite
- ermöglicht durch Spacetime

4.2 Realisierung

- sehr schnelle Rekonfigurierung, so das praktisch eine 3. Dimension entsteht





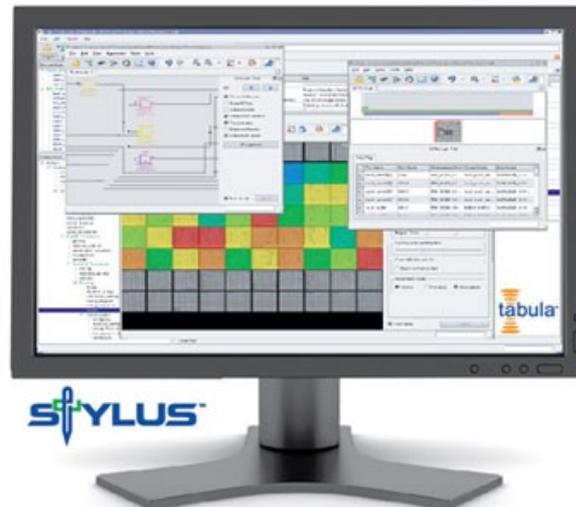
[10]

4.3 STYLUS



- Programmierung mit „STYLUS“
- ermöglicht komplette Transparenz der Rekonfiguration
- Programmierung erfolgt wie bei normalen FPGAs
- unterstützt Cloud-Funktion

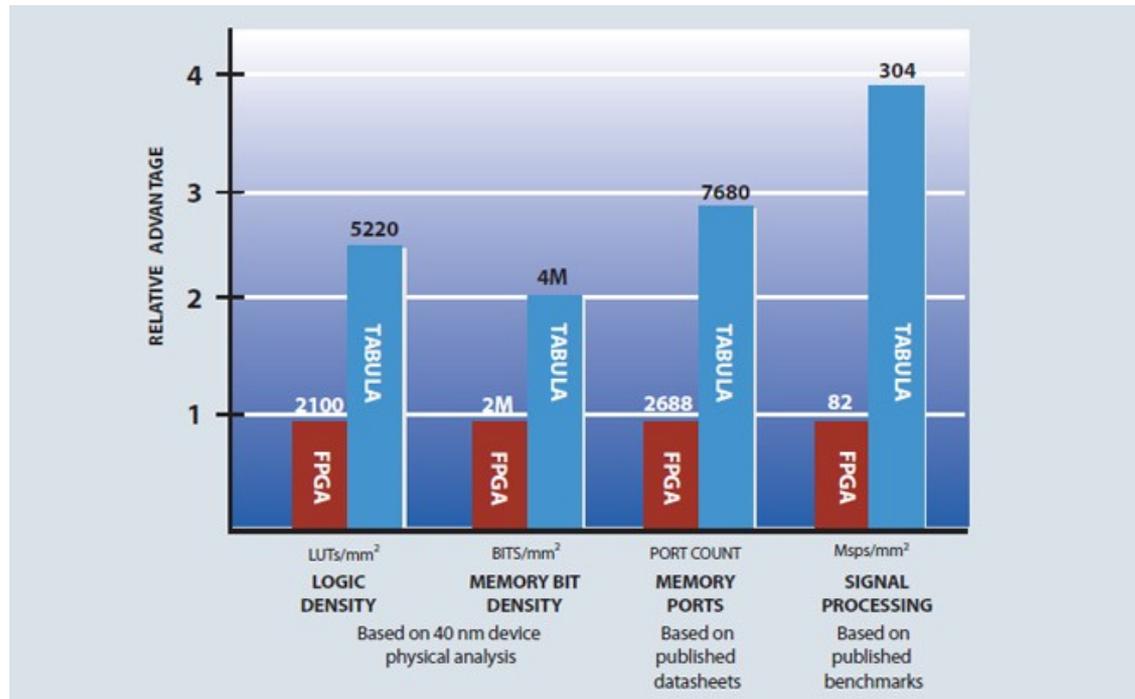
[4]



[5]

4.4 Spacetime vs. FPGA

- durch Wiederverwendung steigt die Performance



[7]

5 Fertigung bei Intel

- wird ab 2012 bei Intel im 22nm-Prozess gefertigt
- 3D-Tri-Gate-Transistoren
 - kleinere Chip / höherer Takt / niedrigere Verlustleistung
- genaue Zahlen noch nicht bekannt



»Wissen schafft Brücken.«

Quellen

- Tabula.com
- heise.de/ct/meldung/Intel-fertigt-noch-fuer-ein-zweites-FPGA-Startup-1439428.html

- [1] http://www.tabula.com/img/tabula_logo_big.jpg
- [2] http://www.tabula.com/about/board/steve_teig.jpg
- [3] http://www.tabula.com/img/spacetime_logo.jpg
- [4] <http://www.tabula.com/img/styluslogo.jpg>
- [5] http://www.tabula.com/img/Stylus_Screen.jpg
- [6] <http://www.tabula.com/img/1.jpg>
- [7] <http://www.tabula.com/img/chart.jpg>
- [8] http://www.tabula.com/img/abax_logo.jpg
- [9] http://www.tabula.com/img/ABAX_development_board.jpg
- [10] <http://www.tabula.com/technology/figure2.jpg>