

Belegverteidigung

Universelle Speicherschnittstelle für große externe Speicher

Marco Zulkowski
Marco.Zulkowski@mailbox.tu-dresden.de

Dresden, 07.11.2012



Gliederung

- 1. Motivation**
- 2. Controller und ihre Schnittstellen**
- 3. Konzept**
- 4. Implementierung & Auswertung**
- 5. Zusammenfassung**

1. Motivation

**Vielzahl verschiedener
Schnittstellen**

- Diverse native Interfaces
- AHB, AXI
- Wishbone



**Vielzahl verschiedener
Speichercontroller**

- SATA-Host-Bus-Adapter
- DDR-Speichercontroller
- SD-Card-Controller

1. Motivation

Verschiedene Schnittstellen erschweren wiederverwendungsgerechten Entwurf

Austauschen von externen Speichern in einem Design

bisher

- Anderer Speichercontroller
- Andersartige Konfiguration
- Andere Schnittstelle

zukünftig

- Anderer Speichercontroller (gekapselt)
- Gleichartige Konfiguration
- Gleiche Schnittstelle

1. Motivation

Verschiedene Schnittstellen erschweren wiederverwendungsgerechten Entwurf

Austauschen von externen Speichern in einem Design

bisher

- Anderer Speichercontroller
- Andersartige Konfiguration
- Andere Schnittstelle

zukünftig

- Anderer Speichercontroller (gekapselt)
- Gleichartige Konfiguration
- Gleiche Schnittstelle

Randbedingung:

➔ **Leistungsfähigkeit der Controller soll erhalten bleiben**

2. Controller und ihre Schnittstellen

Literaturstudium von Controllern für große externe Speicher

- SATA-Controller
 - Lehrstuhl SATA-HBA*
 - Groundhog SATA-HBA
 - OpenCores SATA II Core
- DDR-Controller
 - Xilinx Virtex-5 DDR2-SDRAM Speichercontroller
 - Xilinx Virtex-6 DDR3-SDRAM Speichercontroller
 - Gaisler DDR2-SDRAM Speichercontroller
- OpenCores spiMaster

*von Patrick Lehmann im Rahmen seiner Bachelor-Arbeit entwickelt

2. Controller und ihre Schnittstellen

Was bieten Controller und Schnittstellen

	Xilinx DDR 3	Xilinx DDR 2	OpenCores SATA	Groundhog SATA
Datenmaskierung	Ja	Ja	Nein	Nein
Statusmeldungen	Ja	Nur FIFO	Ja	Ja
Zugriffslänge	Fix	Fix	Variabel	Variabel
Pipelining	Voll	Voll	Nein	Nein
Busmastering	Nein	Nein	Nein	Ja (FPDMA)
Tags	Nein	Nein	Nein	Ja (FPDMA)
Priorisierung	Einstufig	Nein	Nein	Nein

2. Controller und ihre Schnittstellen

Welche Features sollten erhalten bleiben

	Xilinx DDR 3	Xilinx DDR 2	OpenCores SATA	Groundhog SATA
Datenmaskierung	Ja	Ja	Nein	Nein
Statusmeldungen	Ja	Nur FIFO	Ja	Ja
Zugriffslänge	Fix	Fix	Variabel	Variabel
Pipelining	Voll	Voll	Nein	Nein
Busmastering	Nein	Nein	Nein	Ja (FPDMA)
Tags	Nein	Nein	Nein	Ja (FPDMA)
Priorisierung	Einstufig	Nein	Nein	Nein

3. Konzept

Welche Features wären nützlich

- Vereinfachte Konfiguration
- Einheitliche Schnittstelle
- Protokoll so einfach wie möglich
- Teils nicht notwendige Signalisierungen verbergen/kapseln (z.B. Virtex-6 DDR3)
- Burst-Zugriffe
- Hohe Datenrate
- Pipelining für mehrere Prozessorkerne => benötigt Tags
- Zerlegung von großen in kleine Anfragen

3. Konzept

Gleiche Schnittstelle



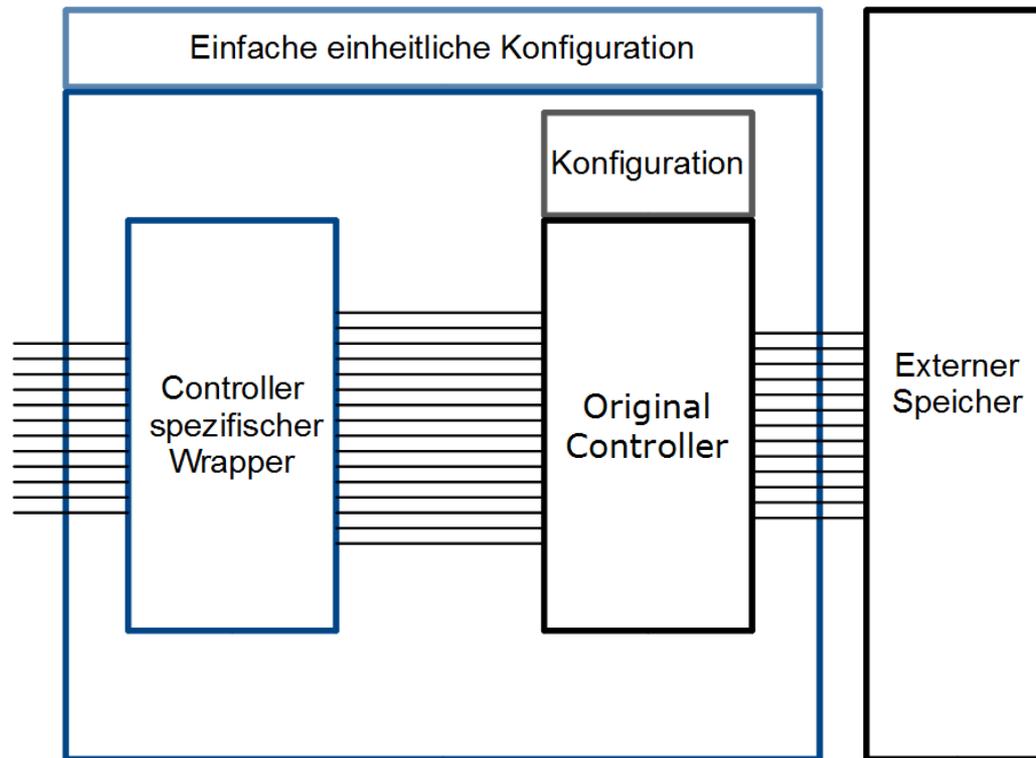
**Vielzahl verschiedener
Speichercontroller**

Universelle Schnittstelle

- SATA-Host-Bus-Adapter
- DDR-Speichercontroller
- SD-Card-Controller

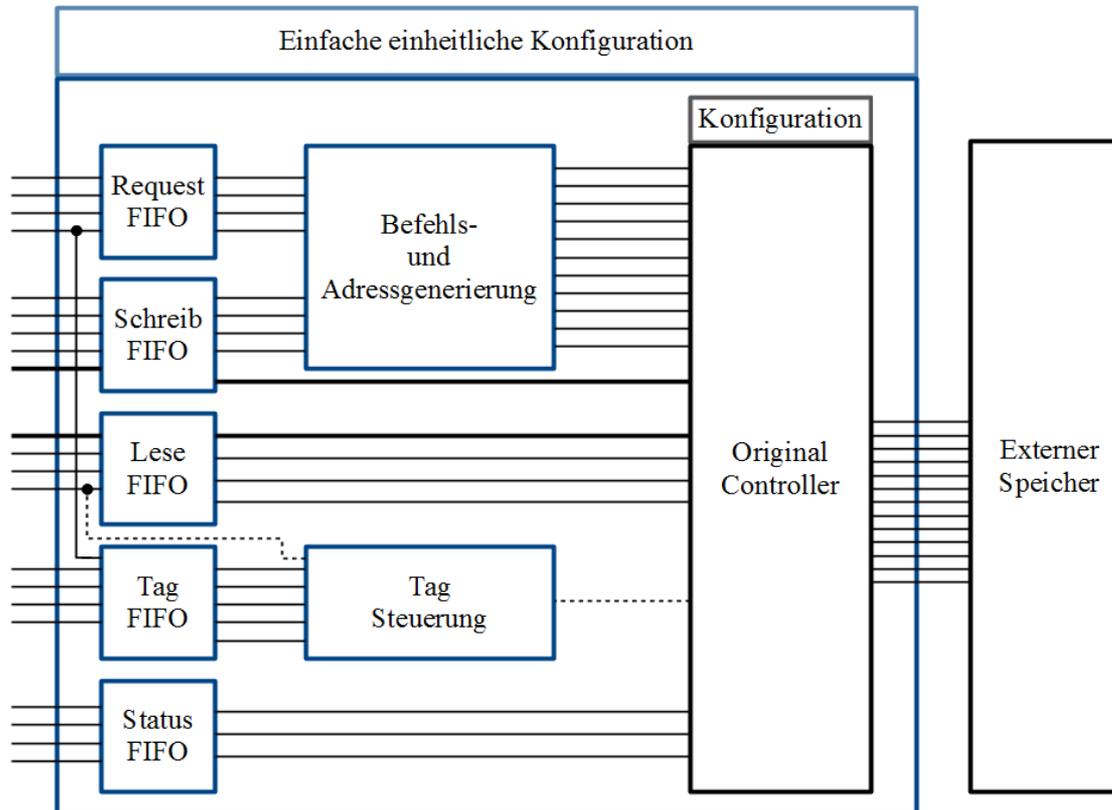
3. Konzept

Konzept Design



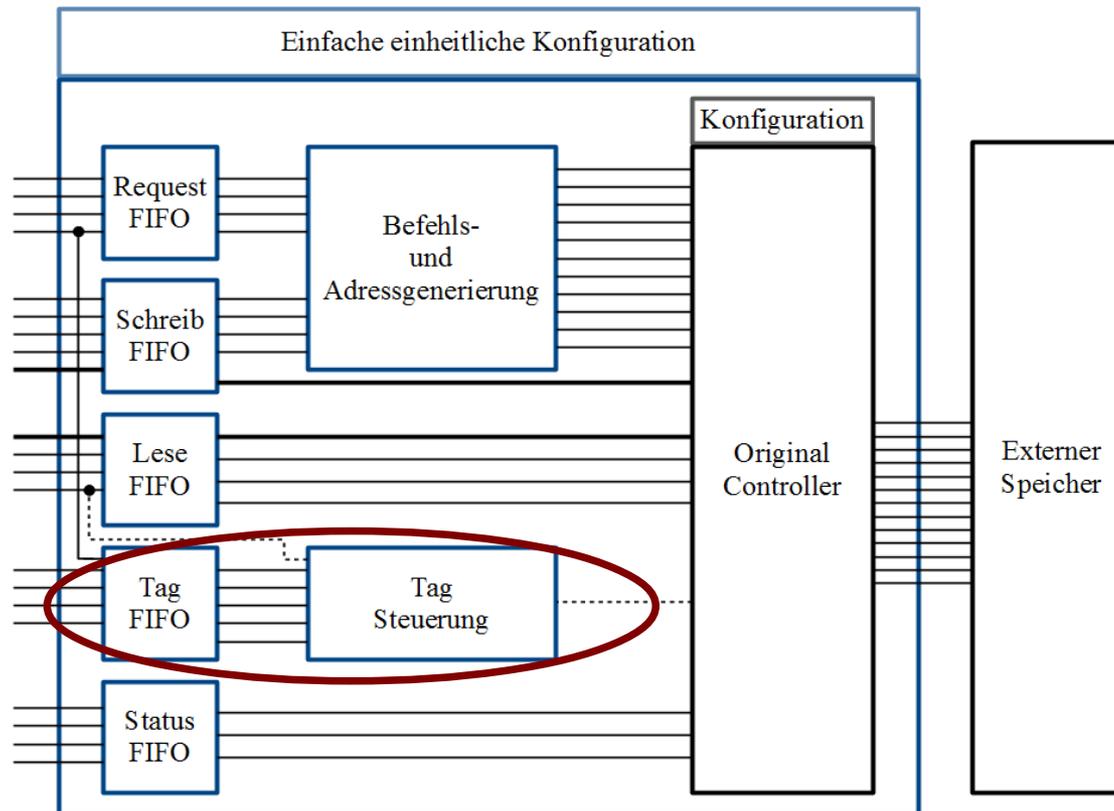
3. Konzept

Konzept Design



3. Konzept

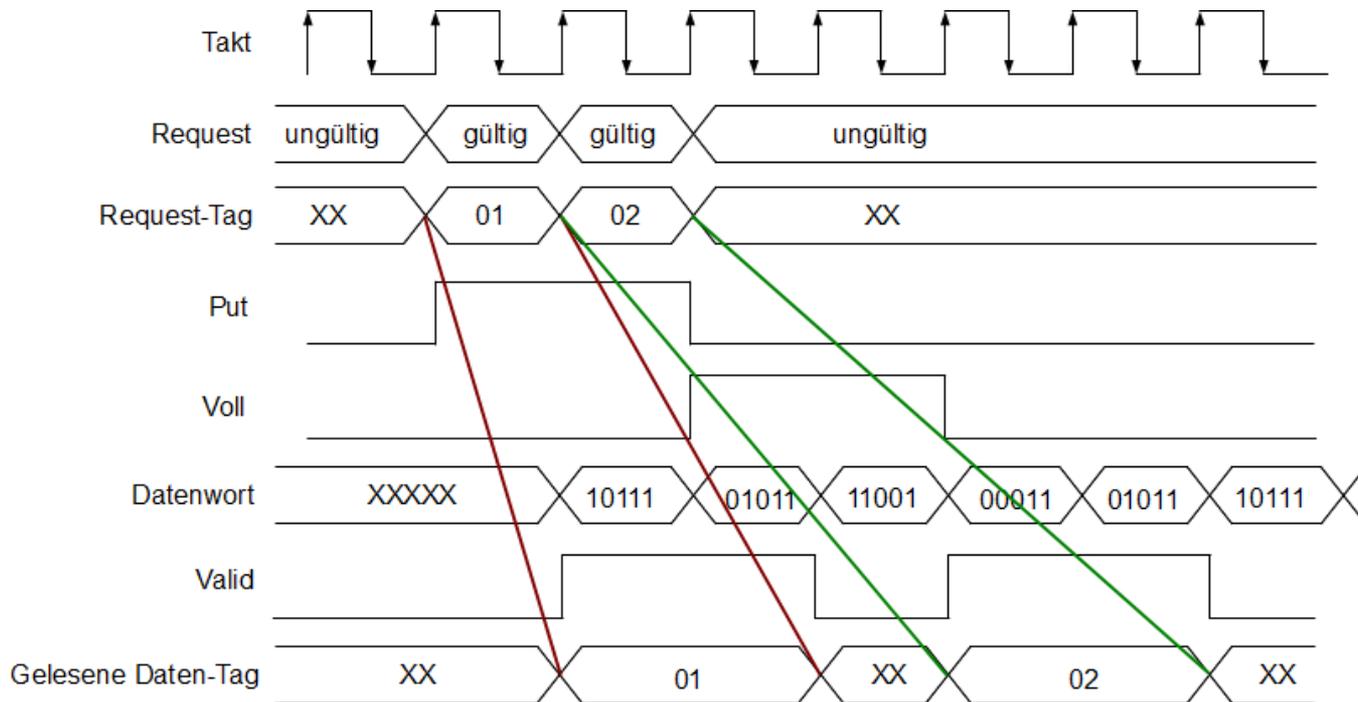
Tag Steuerung



3. Konzept

Tag Steuerung

Zuordnung von Tags zu Lese-Requests zur Identifizierung



3. Konzept

Dimensionierung der FIFOs

- Allgemein über Generic FIFO_DEPTH gesteuert
- Unterscheidung je nach Speichercontroller und Randbedingungen
- Request-FIFO : Cross-Clock Funktion
- Schreib-FIFO : Cross-Clock Funktion
- Lese-FIFO : Cross-Clock Funktion
- Tag-FIFO : TAGCOUNT (maximale Anzahl an vergebbaeren Tags)

3. Konzept

Dimensionierung der FIFOs

- Besonderheiten

Bei Reduzierung der Schnittstellenbandbreite gegenüber der Speichercontrollerbandbreite

=> maximale Anzahl an Lese-Requests (TAGCOUNT)

=> Beschränkung der max. Zugriffslänge (ADDRLENGTHBITS)

- Request-FIFO : Cross-Clock Funktion
- Schreib-FIFO : Cross-Clock Funktion
- Tag-FIFO : TAGCOUNT (maximale Anzahl an vergebbaeren Tags)
- Lese-FIFO : Puffern aller gelesenen Daten für max. Anzahl an Requests

3. Konzept

Dimensionierung der FIFOs

- Besonderheiten

Bei Reduzierung der Schnittstellenbandbreite gegenüber der Speichercontrollerbandbreite
=> maximale Anzahl an Lese-Requests (TAGCOUNT)
=> Beschränkung der max. Zugriffslänge (ADDRLENGTHBITS)

- Request-FIFO : Cross-Clock Funktion
- Schreib-FIFO : Cross-Clock Funktion
- Tag-FIFO : TAGCOUNT (maximale Anzahl an vergebbaeren Tags)
- Lese-FIFO : Puffern aller gelesenen Daten für max. Anzahl an Requests

$$\text{Einträge}_{\text{FIFO}} = 2^{(\text{BLOCKSIZE} - 5)} * \text{TAGCOUNT} * 2^{\text{ADDRLENGTHBITS}}$$

4. Implementierung und Auswertung

Xilinx Virtex-5 DDR2-SDRAM Speichercontroller

Ressourcenverbrauch

Modul	Slices	Register	LUTs	BlockRAM	BUFGs	DCMs
Gesamt (XC5VLX50T)	7200	28800	28800	60	32	12
Gesamtentwurf	1386 (19%)	3244 (11%)	2198 (8%)	8	5	1
DDR2-Speichercontroller	882 (12%)	1861 (6%)	1344 (5%)	3	5	1
Universelle Speicherschnittstelle	504 (7%)	1383 (5%)	854 (3%)	5	0	0

4. Implementierung und Auswertung

Patrick Lehmann SATA-Controller

Ressourcenverbrauch

Modul	Slices	Register	LUTs	BlockRAM	BUFGs	DCMs
Gesamt (XC5VLX50T)	7200	28800	28800	60	32	12
Gesamtentwurf	1359 (19%)	1601 (5%)	2847 (10%)	15	6	2
SATA-Controller	1055 (15%)	998 (3%)	2280 (8%)	13	3	1
Universelle Speicherschnittstelle	304 (4%)	603 (2%)	567 (2%)	2	3	1

4. Implementierung und Auswertung

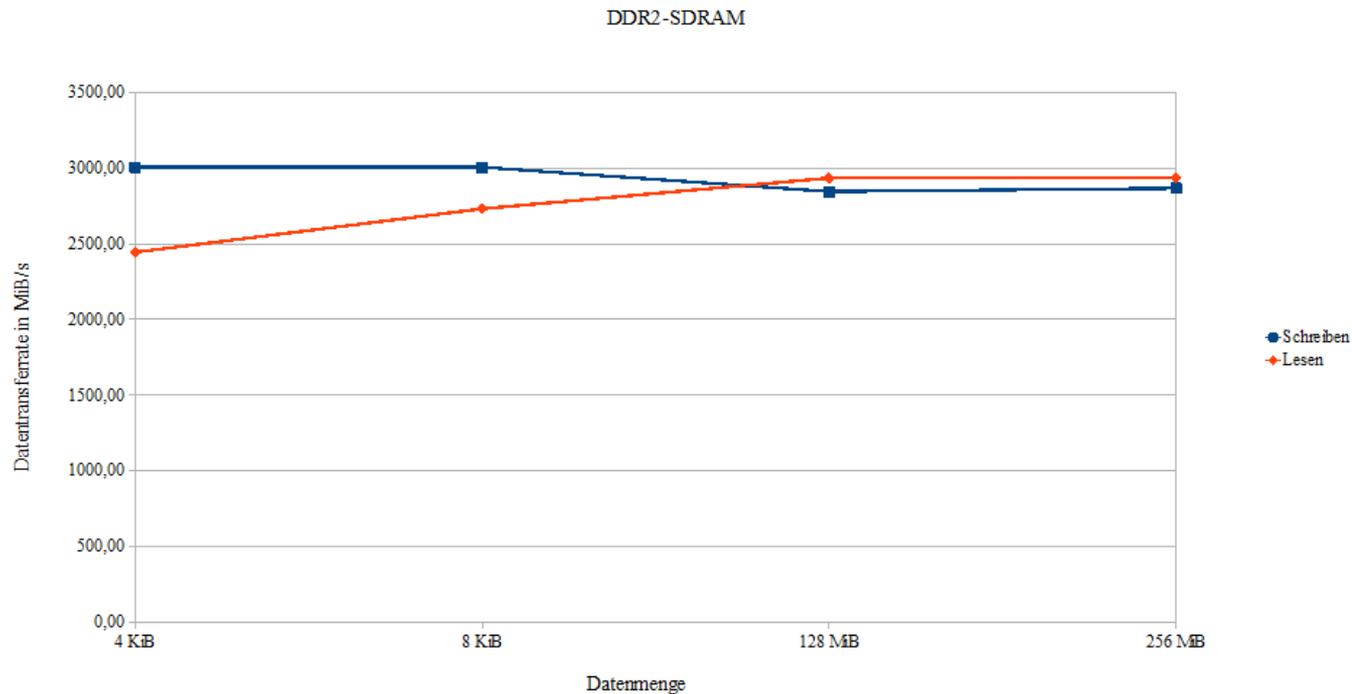
Test des Designs

- Verwendung eines eigenen Testgenerators
Pseudozufallszahlen-Generator
- Testszenario
 1. Ausgewählte Datenmenge sequenziell geschrieben
 2. Ausgewählte Datenmenge sequenziell ausgelesen
Prüfung der gelesene Daten gegen zweiten Pseudozufallszahlen-Generator
- Messung der Datenrate mittels zählen der Takte
Auslesen der Werte über ChipScope

4. Implementierung und Auswertung

Messwerte DDR2-Controller

- Messung mit Blockgröße von 128Byte



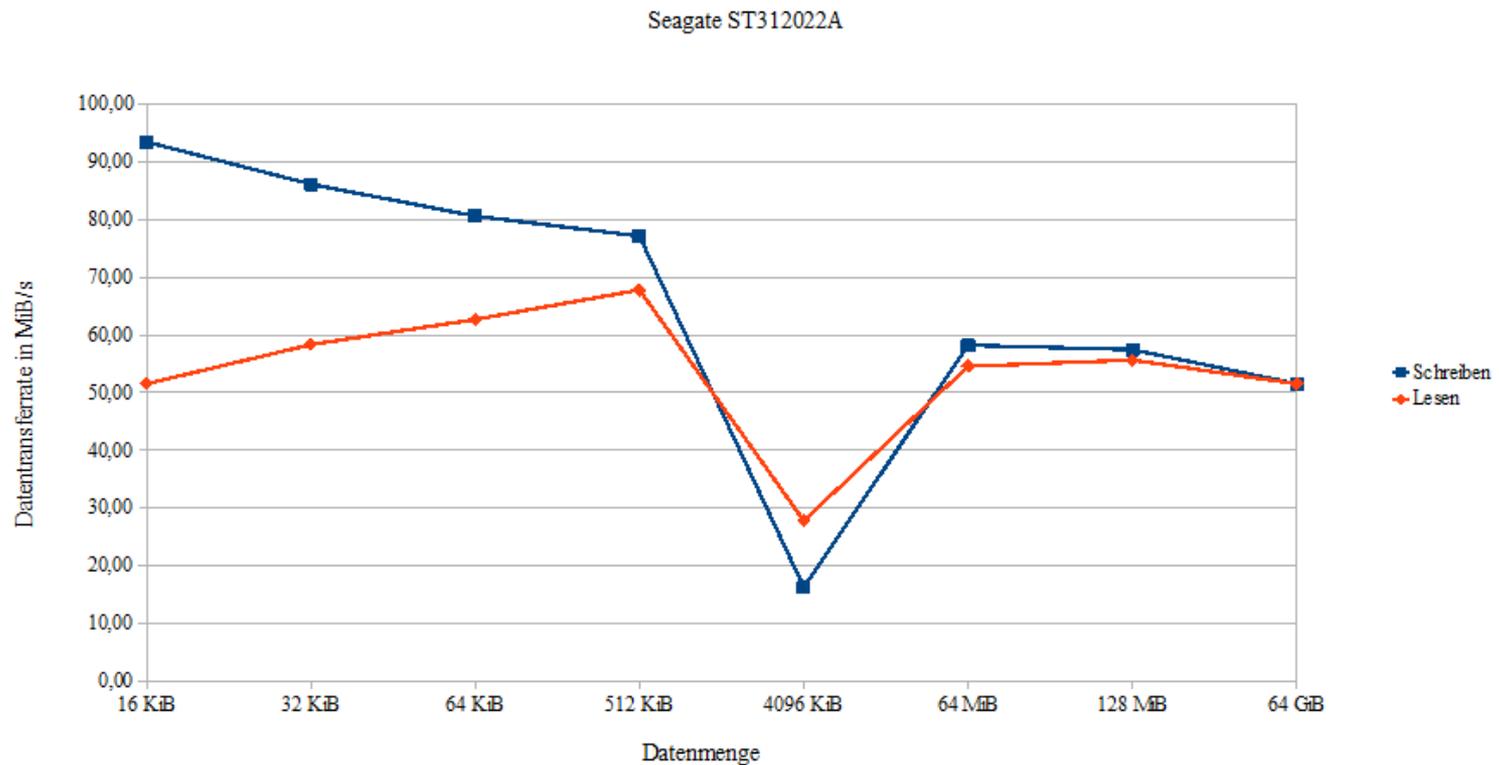
4. Implementierung und Auswertung

Messbedingung SATA-Controller

- Messung mit Blockgröße von 1KiB
 - Ausnahme bei 64GiB mit Blockgröße 64KiB
- Variation der Zugriffslänge
 - Bis 4MiB Zugriffslänge von 8 Blöcken
 - Bei 64 und 128MiB Zugriffslänge 8192 Blöcken
 - Bei 64GiB Zugriffslänge von 262144 Blöcken

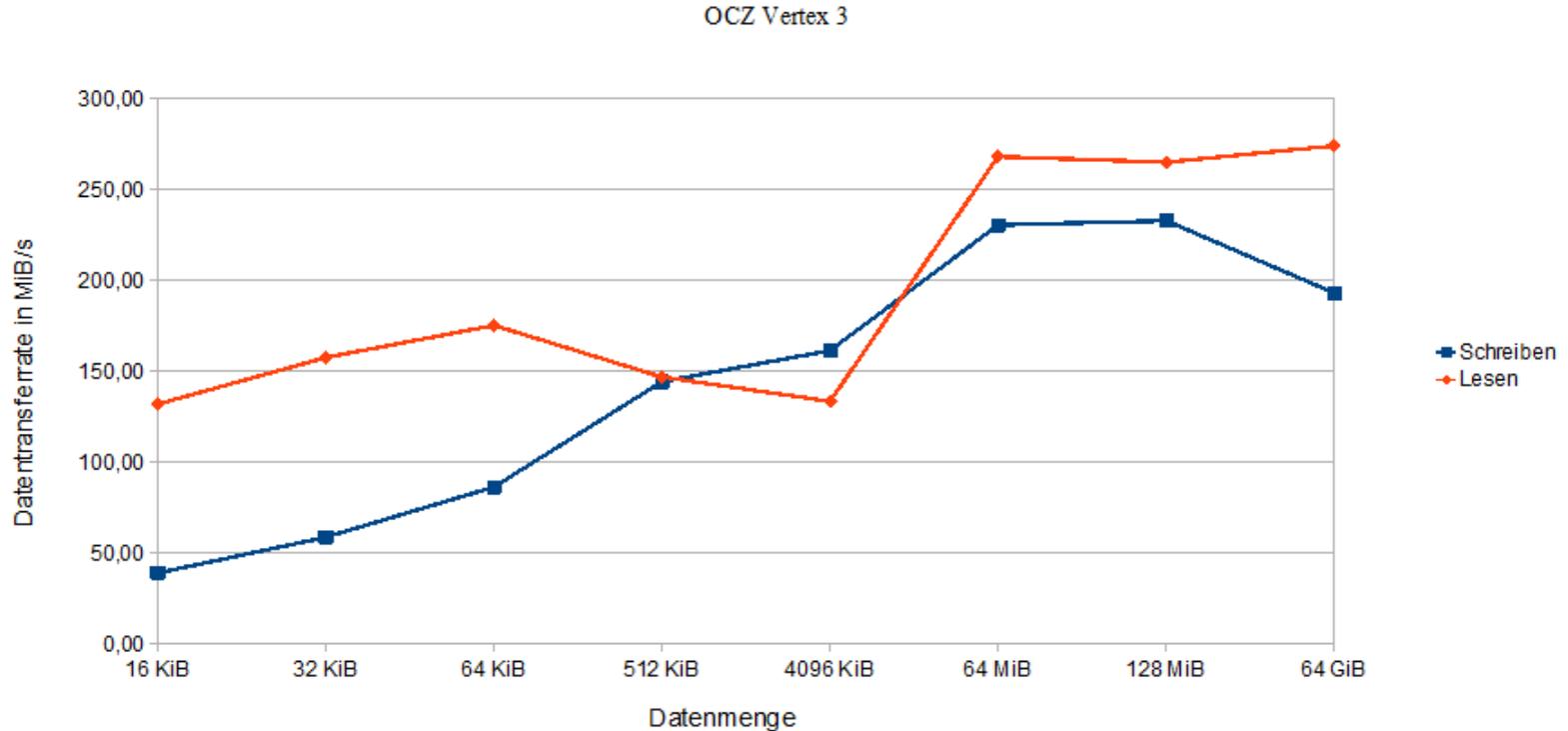
4. Implementierung und Auswertung

Messwerte SATA-Controller



4. Implementierung und Auswertung

Messwerte SATA-Controller

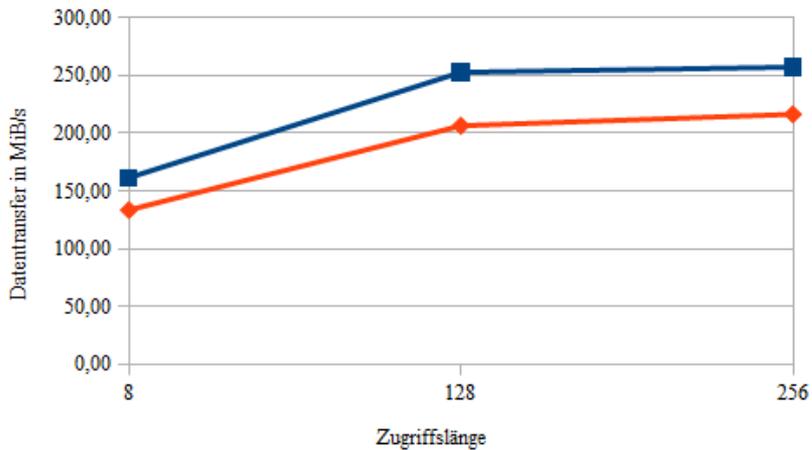


4. Implementierung und Auswertung

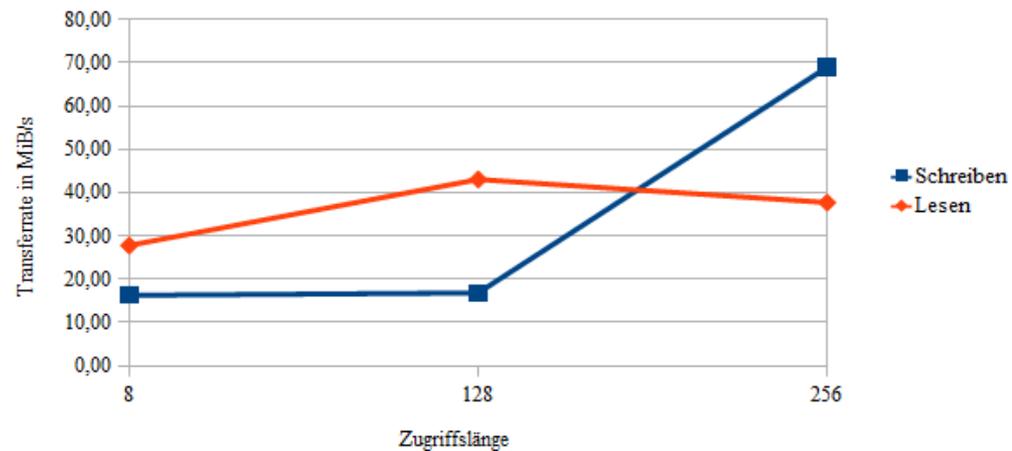
Messwerte SATA-Controller

- Einfluss der Zugriffslänge bei 4MiB

OCZ Vertex 3, SATA II



Seagate ST3120022A



5. Zusammenfassung

- Was waren die Ziele?
 - Schaffung des Konzepts einer universellen Speicherschnittstelle
 - Prototypische Implementierung an verschiedenen Speichercontrollern
- Was wurde erreicht?
 - Verschiedenartige Speicher mit gleicher Speicherschnittstelle anzusprechen
 - Implementierung für zwei Speichercontroller
- Was wäre zukünftig noch möglich?
 - Implementierung für weitere Speichercontroller
 - Implementierung für weitere FPGAs

Ausgewählte Quellen

- [1] Xilinx DS186
- [2] P. Lehmann: Implementierung eines auf Streaming optimierten SATA-Host-Bus-Adapter (HBA), Bachelorarbeit Technische Universität Dresden, 2012
- [3] L. Woods and K. Eguro. Groundhog-A Serial ATA Host Bus Adapter (HBA) for FPGAs

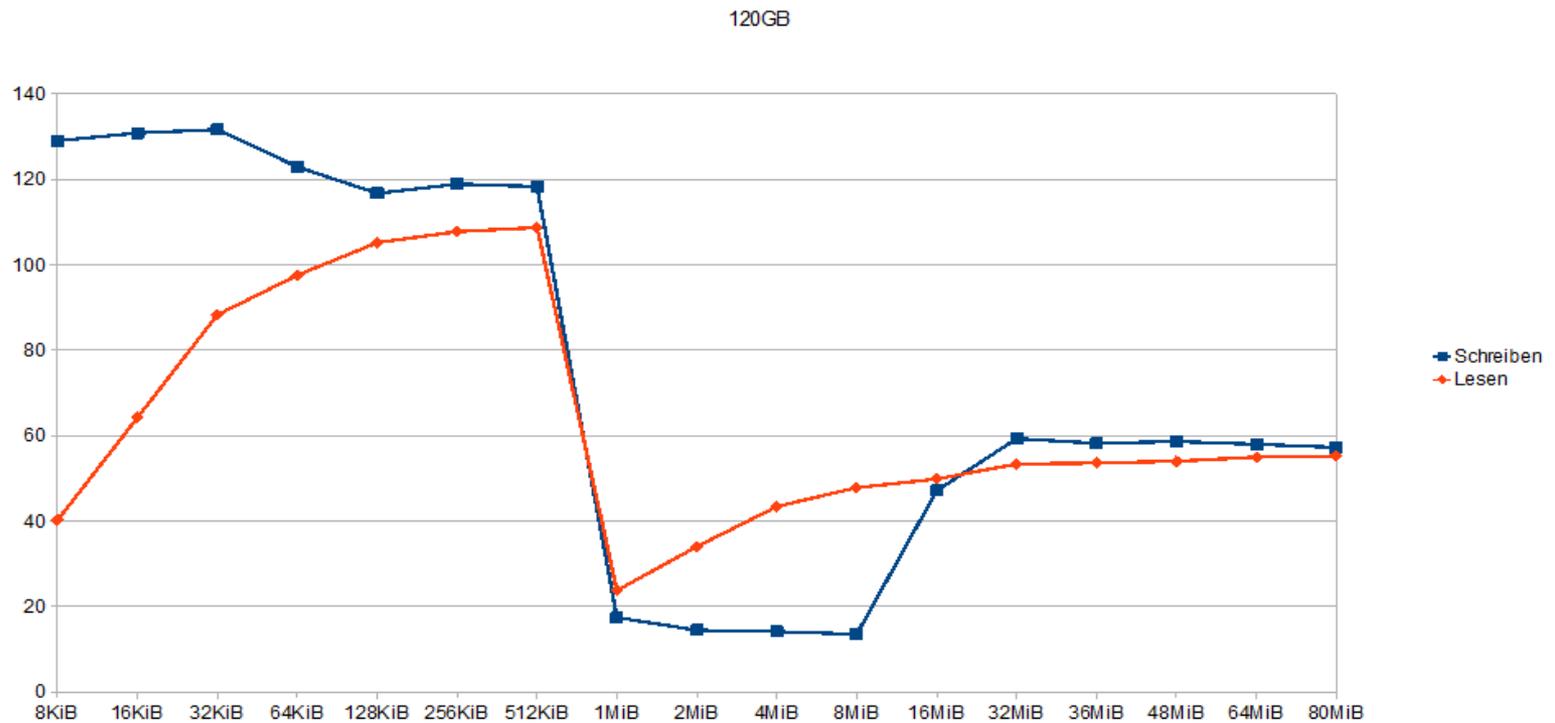
**Vielen Dank
für ihre Aufmerksamkeit!**



»Wissen schafft Brücken.«

Zusatz

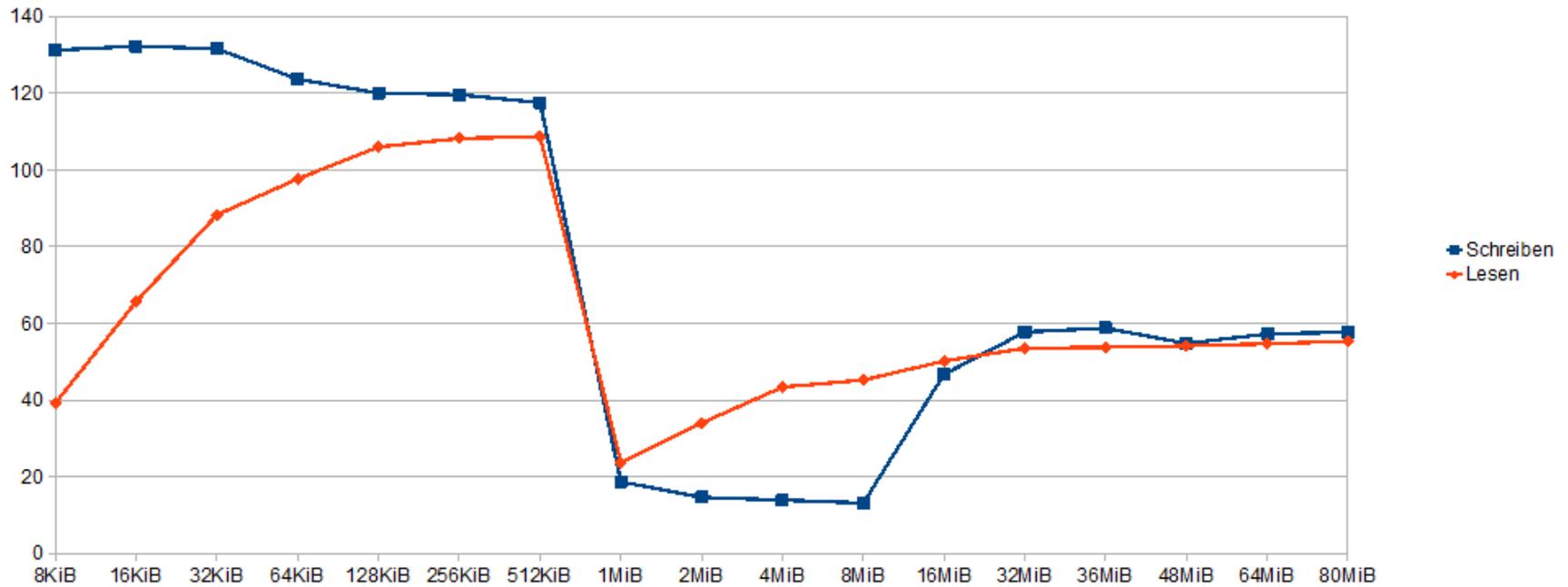
Messwerte



Zusatz

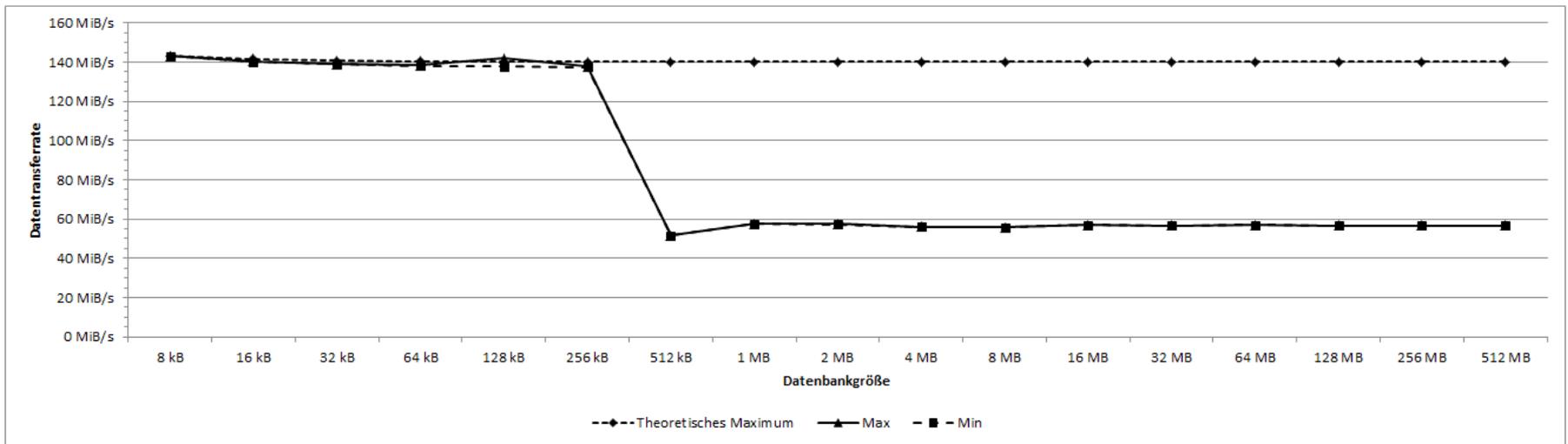
Messwerte

160GB



4. Implementierung und Auswertung

Messwerte



Zusatz

Taktbereiche

