



**TECHNISCHE  
UNIVERSITÄT  
DRESDEN**

**Fakultät Informatik, Institut für Technische Informatik, Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur**

# **Samsungs Exynos 5 Dual**

**Candy Lohse**

**Dresden, 12.12.12**



**DRESDEN  
concept**  
Exzellenz aus  
Wissenschaft  
und Kultur

## Gliederung

1. Motivation und Hintergrund
2. Exynos 5 Dual
3. Cortex-A15
4. ARM
5. Fazit

„Enjoy the Ultimate WQXGA Solution with Exynos 5 Dual“ - WHITE PAPER  
[WP]

# 1. Motivation und Hintergrund

## Hochauflösende Multimediaanwendungen

- Betrieb eines WQXGA Displays (2560 x 1600 Pixel, 24 Bit Farbtiefe, 60 Frames pro Sekunde, [WP]: Datenrate 10 GB/s)
- Wiedergabe hochauflösender Videos (mittels HDMI auch HDTV)
- leistungsstarke Digitalkameras (Vorschau auf dem Display mit geringer Verzögerungszeit)
- Codierung von Mediendateien

# 1. Motivation und Hintergrund

## Hohe Übertragungsraten im Mobilfunk

- LTE: Long Term Evolution
- bis zu 50 MBit/s Upstream, 100 MBit/s Downstream (LTE Advanced: Verbesserung bis zu Faktor 10)
- soll Verzögerungszeiten bei Datenübertragung minimieren

## Leistungsstarke Schnittstellen

- SATA 3.0: max. 6 GBit/s
- USB 3.0: max. 5 GBit/s
- LPDDR3: max. 12,8 GB/s

# 1. Motivation und Hintergrund

## Energieeffizienz, lange Akkulaufzeiten

- besonders energieintensiv: Display (Beleuchtung), leistungsstarke Prozessoren (Taktrate), Mobilfunk mit hoher Bandbreite
- Akkulaufzeit moderner mobiler Geräte (Tablets, Smartphones) relativ kurz (bei mäßiger Auslastung max. 10 Stunden)
- bei mobilen Geräten zunehmend Leistungsbeschränkung durch Wärmeentwicklung
  - stetig zunehmende Rechenleistung
  - enge Bauweise
  - keine aktive Kühlung

# 1. Motivation und Hintergrund

## Ansprüche

- schnelle Datenübertragung an Schnittstellen
- möglichst geringe Verzögerungszeiten (Speicherzugriff)
- Erhöhung der Rechenleistung (im Vergleich zu Vorgängern Exynos 3, Exynos 4)
- möglichst geringe Leistungsaufnahme (Energieeffizienz)

## 2. Exynos 5 Dual Überblick

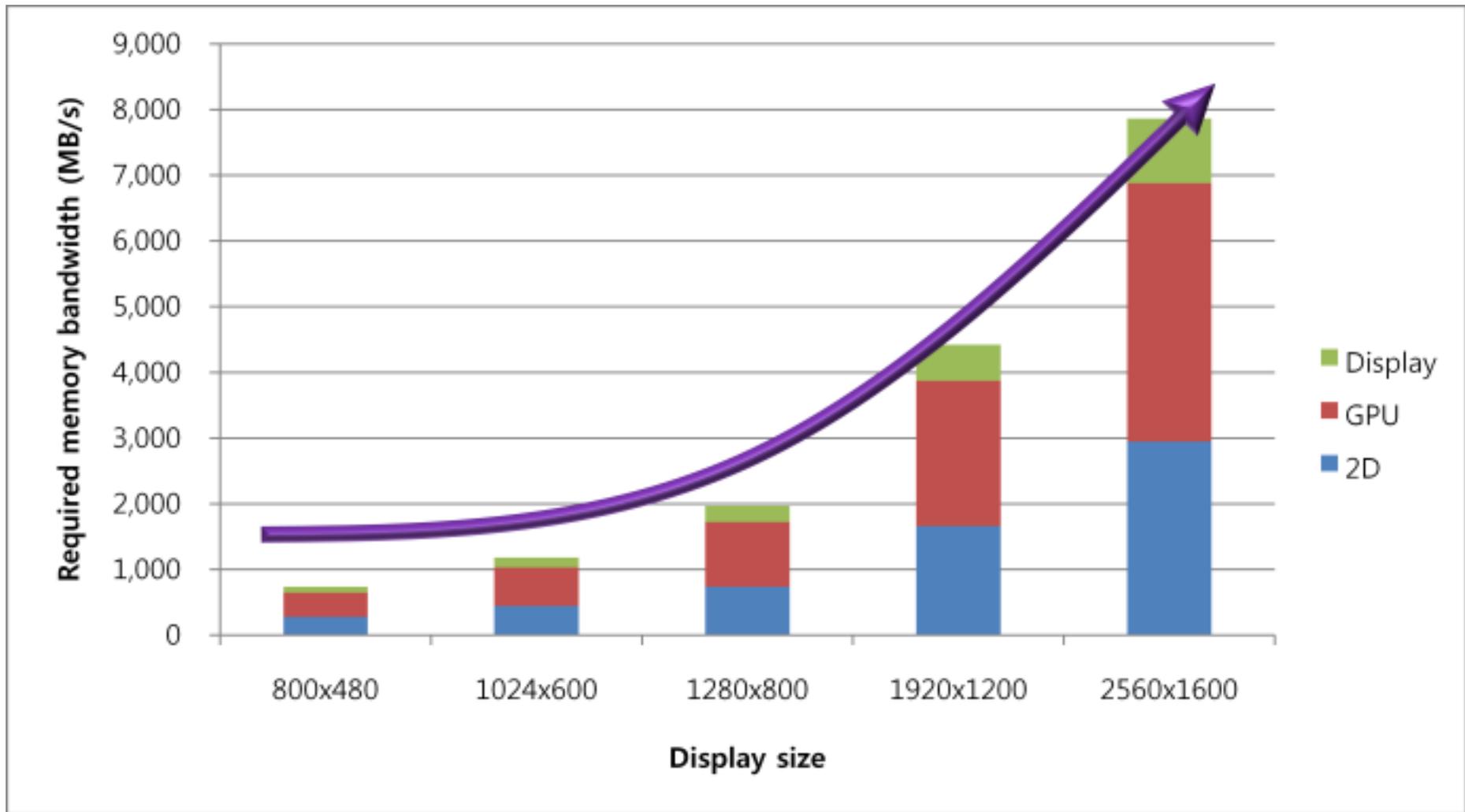
- zuvor Exynos 5250
- Arndale Board, Samsung Chromebook, Samsung Nexus 10
- SoC , 32 nm Cortex-A15 Dual Core (ARMv7); 1,7 Ghz
- erster Chip auf dem Markt mit Cortex-A15 Dual Core [WP]
- USB 3.0: DRD, u.a. geeignet für den Betrieb von LTE Datenmodems
- SATA3 Schnittstellen
- Datenrate des Hauptspeichers: 12,8 GB/s; 2-port 800 Mhz LPDDR3
- unterstützt GPGPU

## 2. Exynos 5 Dual Grafik

- ARM Mali – T604, 4 GPU Kerne
- erstmals Midgard Architektur
- Flexibilität: Chips mit 1-4 Kernen
- Tri-Pipe: Texturing, Load/Store, Arithmetic
- unterstützt aktuelle APIs (DirectX, OpenGL v 1.1)



[http://www.arm.com/images/Mali-T604\\_Big.jpg](http://www.arm.com/images/Mali-T604_Big.jpg)



[WP] figure 2: Required effective memory bandwidth by display size

## 2. Exynos 5 Dual

### Die Konkurrenz: Apple A6, A6X

- Verwendung im iPhone 5 und iPad 6
- Taktfrequenz: 1,3 GHz / 1,4 GHz
- zwei ARMv7 Prozessorkerne
- Bildschirmauflösung iPad 4: 2048 x 1536, 4 GPU Cores

### Qualcomm Snapdragon

- Verwendung im HTC HD2, ASUS Eee PC, Google Nexus One, Sony Ericsson XPERIA X10, Dell Streak, HP TouchPad, Nokia Lumina 900
- Taktfrequenz: bis 1,7 GHz
- ARMv7 Prozessorkern(e) (S4: 2 x 1.7 GHz oder 4 x 1.2 GHz)
- WUXGA Bildschirmauflösung (1600 x 1200)

## 2. Exynos 5 Dual

### Die Konkurrenz: NVIDIA Tegra 3

- Verwendung im HTC One X
- Taktfrequenz: 1,6 GHz (Quad-Core unter Android)
- vier ARMv7 Prozessorkerne (Cortex-A9)
- 4-PLUS-1:
  - 4 leistungsstarke Prozessorkerne, je nach Auslastung heruntergetaktet oder deaktiviert
  - zusätzlicher, besonders energiesparender Kern für Tasks, die geringe Rechenleistung erfordern (z.B. Abspielen von Musik)
- unterstützte Bildschirmauflösungen:
  - HDMI: 1920 x 1080
  - LCD: 2048 x 1536
- 12 GPU Cores

## 3. Cortex-A15

### Überblick

- Prozessor der ARMv7 Architektur
- HKMG-Technik, Delay um 40 % reduzieren [WP]
- 1,7 GHz, 40 % höheres DMIPS-Ergebnis als Cortex-A9 [WP]
- mögliche Taktfrequenz: 1,0 GHz – 2,5 GHz, Mobile Computing: bis 1,5 GHz [ARM]
- ARM NEON Technologie:
  - SIMD-Erweiterung für die Cortex-A-Serie
  - Beschleunigung von Multimedia-Algorithmen
  - Register als Vektoren, gleiche Operation auf alle Elemente anwenden

## 4. ARM

### Überblick

- „Acorn RISC Machine“, heute: Advanced RISC Machine
- typische RISC Befehlssatzarchitektur (Load/Store)
- feste Befehlslänge (32 Bit, ab v8 64 Bit, noch nicht verwendet)
- Register Banks: innerhalb der Banks relative Adressierung möglich
- 1985: ARMv1
- 1993: ARMv4: dreistufiges Pipelining (IF, ID, EX)
- 1997: ARMv5: Harvard-Architektur, fünfstufige Pipeline (IF, ID, EX, MEM, WB)
- ARMv7: variable Breite der Pipeline

## 4. ARM

### Thumb Instruction Set

- komprimiertes Instruction Set: ursprünglich häufigste Befehle mit 16 bit Wortbreite
- stets 2 Worte laden
- seit ARMv6 Thumb 2 (sowohl 16 bit Befehle als auch 32 bit Befehle)
- alle ARMv7 / Cortex Chips unterstützen Thumb 2
- 31 % weniger Speicher, 38 % höhere Performance als bei bisherigem „high density code“ [ARM]
- Befehle weniger leistungsfähig (mehr Befehle für gleiche Operation nötig) → geringere Performance

## 4. ARM

### Besonderheiten

- Erreichen einer geringen Leistungsaufnahme (Steve Furber, 2000):
  - möglichst kleine Betriebsspannung
  - Off-Chip-Aktivität verringern (externe Speicherzugriffe vermeiden)
  - weniger bedeutsam: On-Chip-Aktivität verringern (z.B. Sleep-Mode)
  - Parallelität ermöglichen (Leistungseffizienz erhöhen)
- Thumb Instruction Set
- Pipelining
- SIMD-Technologie (NEON)
- bedingte Ausführung jedes Befehls
  - Bedingung in den ersten 4 Bits codieren
  - häufig Vermeidung von Programmsprüngen (if...)
  - verbessertes Pipelining

## 5. Fazit

- Google: „Für Geschwindigkeit entworfen.“ (Nexus 10)  
[[http://www.google.com/intl/ALL\\_de/nexus/10/](http://www.google.com/intl/ALL_de/nexus/10/)]
- Hauptaugenmerk bei Entwicklung: rechenintensive Anwendungen ermöglichen, insbesondere Performance im Multimediabereich
- bietet Potential für LTE, bisher nicht genutzt
- keine Innovation bei Energieeffizienz
- für weitere Entwicklungen vielseitiges SoC

# Quellen

## [WP]

Woojin Kim, Hyunkwon Chung, Hyunk-Duk Cho, Youngmin Kim:  
„Enjoy the Ultimate WQXGA Solution with Exynos 5 Dual“  
2012, Suwon, Republik Korea

## [ARM]

<http://www.arm.com/products/processors/cortex-a/cortex-a9.php>

<http://www.arm.com/products/processors/cortex-a/cortex-a15.php>

<http://www.arm.com/products/processors/instruction-set-architectures/index.php>

[http://www.arm.com/files/pdf/AT-Exploring\\_the\\_Design\\_of\\_the\\_Cortex-A15.pdf](http://www.arm.com/files/pdf/AT-Exploring_the_Design_of_the_Cortex-A15.pdf)

<http://www.arm.com/products/processors/technologies/neon.php>

<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0338g/ch01s02s01.html>

# Quellen

Steve Furber: „ARM system-on-chip architecture – second edition“  
Pearson Education Limited, 2000, Harlow, England

<http://www.arndaleboard.org>

[http://web.eecs.umich.edu/~prabal/teaching/eecs373-f10/readings/ARMv7-M\\_ARM.pdf](http://web.eecs.umich.edu/~prabal/teaching/eecs373-f10/readings/ARMv7-M_ARM.pdf)

<http://www.androidauthority.com/arm-a9-vs-arm-a15-87559/>

[http://www.chip.de/news/SATA-3.0-vorgestellt-100-Prozent-mehr-Speed\\_35381010.html](http://www.chip.de/news/SATA-3.0-vorgestellt-100-Prozent-mehr-Speed_35381010.html)

[http://www.chip.de/artikel/USB-3.0-SuperSpeed-fuer-Notebook-und-PC-2\\_39546311.html](http://www.chip.de/artikel/USB-3.0-SuperSpeed-fuer-Notebook-und-PC-2_39546311.html)

<http://www.nvidia.de/object/tegra-3-de.html>



**»Wissen schafft Brücken.«**