

Diplomverteidigung

Implementierung einer adaptiven Speicherarchitektur für einen heterogenen SHAP-Mehrkernprozessor mit Hardwarebeschleuniger

Marco Zulkowski
Marco.Zulkowski@mailbox.tu-dresden.de

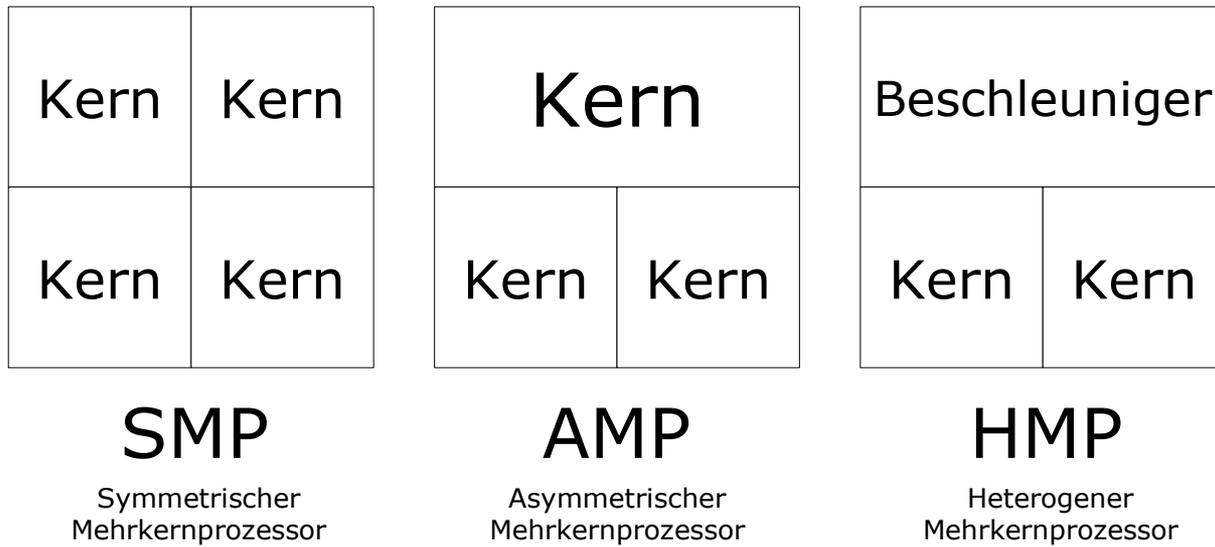
Dresden, 12.09.2013





- 1. Motivation**
- 2. Komponenten des heterogenen Systems**
- 3. Konzept**
- 4. Auswertung**
- 5. Zusammenfassung und Ausblick**

Heterogene Mehrkernprozessoren



Beispiele: GPGPU (General Purpose Computation on GPU), SoC

Ziel:

Heterogener SHAP-Mehrkernprozessor mit adaptiver Speicherarchitektur

Vernetzung der verschiedenen Komponenten über Bussystem

Spezielle Anforderungen:

- Niedrige Latenz für SHAP-Kerne
- Hohe Bandbreite für Hardwarebeschleuniger

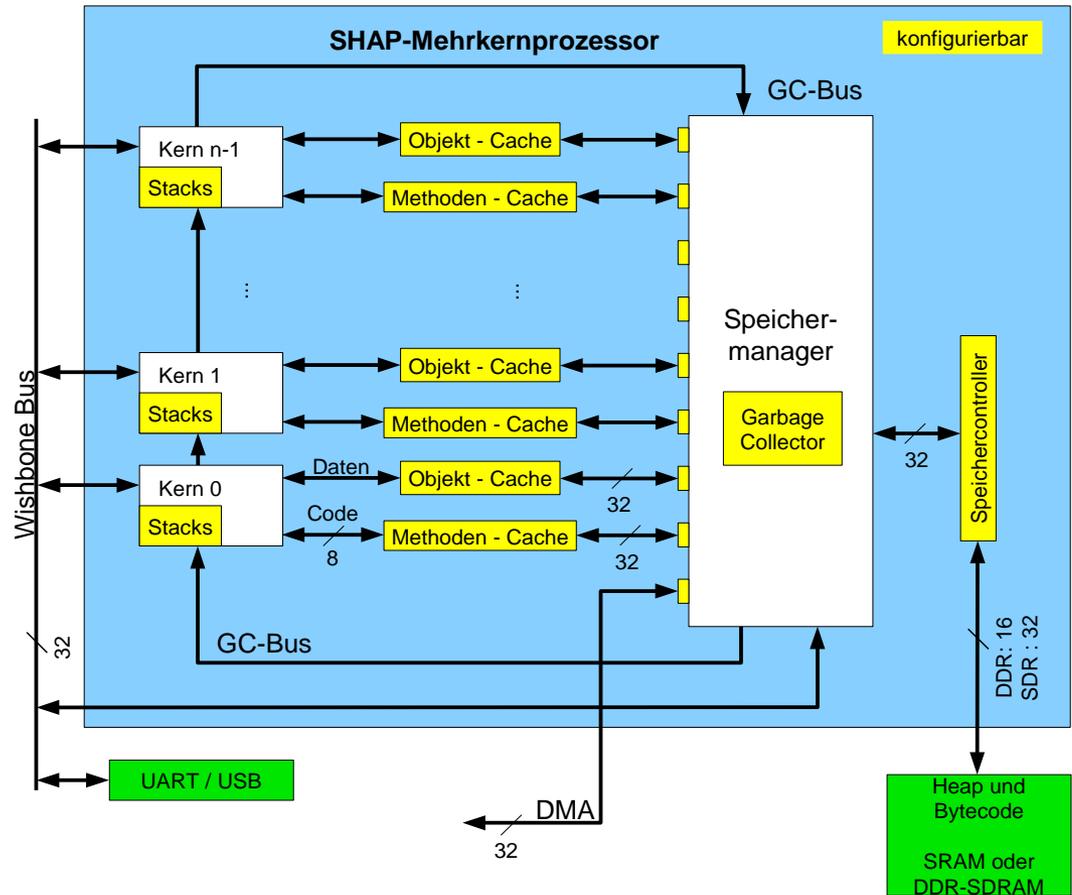
Verwendete Komponenten:

- SHAP-Mehrkernprozessor
- Speichercontroller mit universeller Speicherschnittstelle
- Farbraumkonverter von YCbCr nach RGB
- SATA-Controller
- Grafikausgabe über DVI

SHAP-Mehrkernprozessor

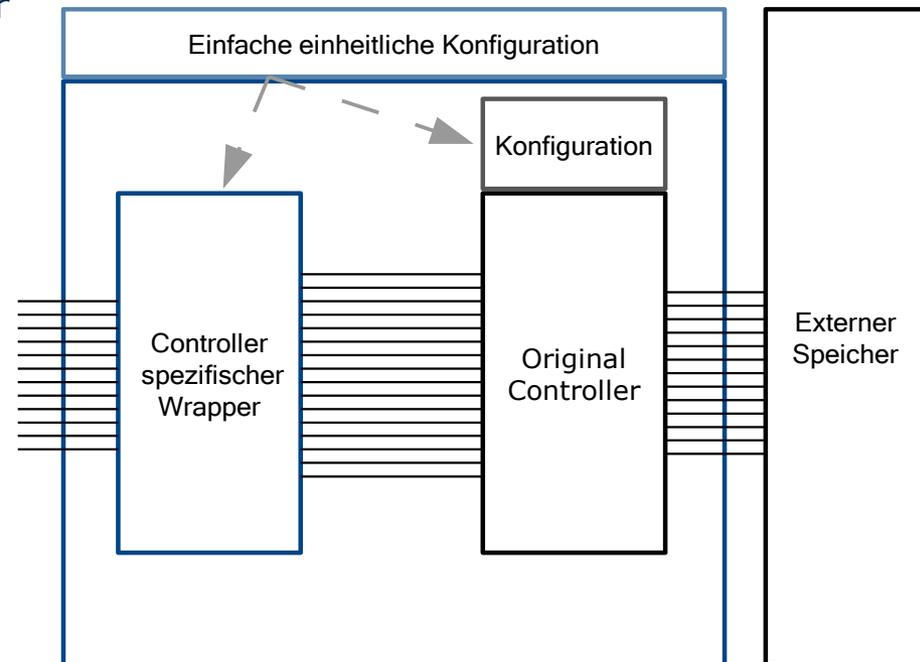
Bandbreitenbedarf
bei 128 Bit:

$$SHAP_{B_{Mittel}} = 220 \text{ MiByte/s}$$



Speichercontroller mit universeller Speicherschnittstelle

- Entstanden in meinem Großen Beleg [15]
- Xilinx Virtex-5 DDR2-SDRAM Controller
- Leistungsfähigkeit (Mittel, getrennt):
 - 2800 MiByte/s Lesen
 - 2800 MiByte/s Schreiben
- Nötige Erweiterungen:
 - (Signale zur Arbitrierung)
 - Maskierung von Schreibdaten

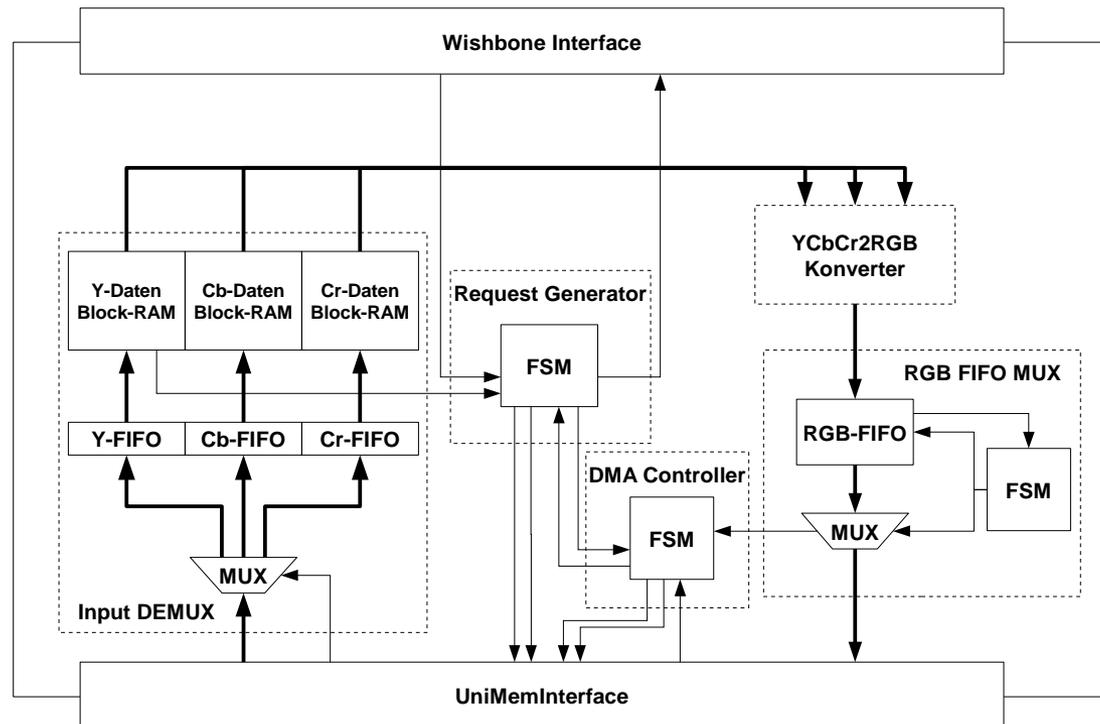


[15]

Farbraumkonverter (YCbCr nach RGB)

Bandbreitenbedarf: 222,5 MiByte/s bei 1920x1080 Pixel und 25 Bilder/s

Aktuell nur 11,6 Bilder/s



SATA-Controller von Patrick Lehmann

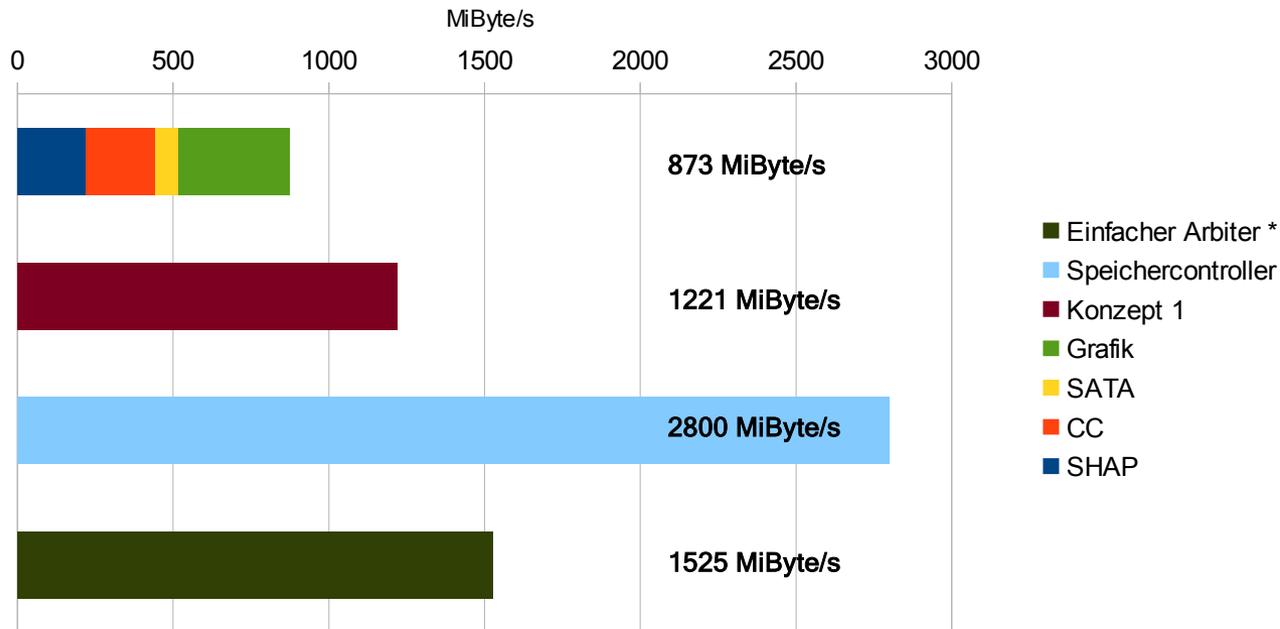
$$SATA_{B, Mittel} = 1920 * 1080 * 1,5 \text{ Byte} * 25 = 74,15 \text{ MiByte/s}$$

Grafikausgabe über DVI

$$VGA_{B, Mittel} = 1920 * 1080 * 3 \text{ Byte} * 60 \text{ Hz} = 355,96 \text{ MiByte/s}$$

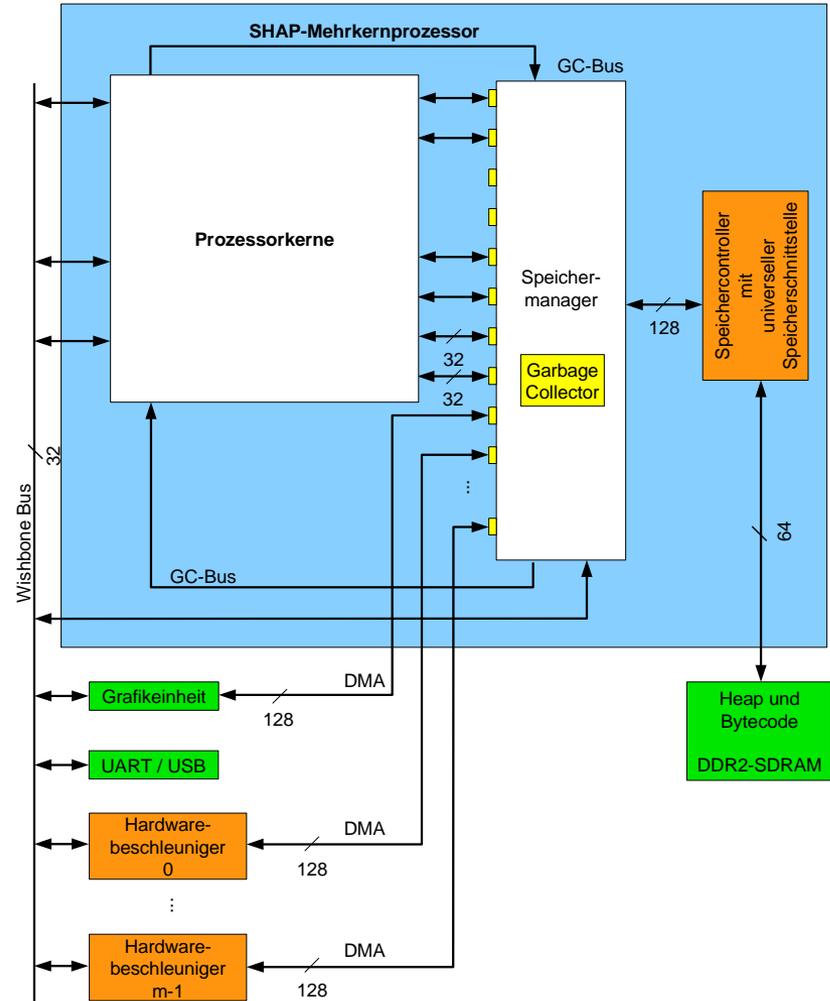
$$VGA_{B, Spitze} = 140 \text{ MHz} * 3 \text{ Byte} = 400,54 \text{ MiByte/s}$$

Gesamtbandbreitenbedarf



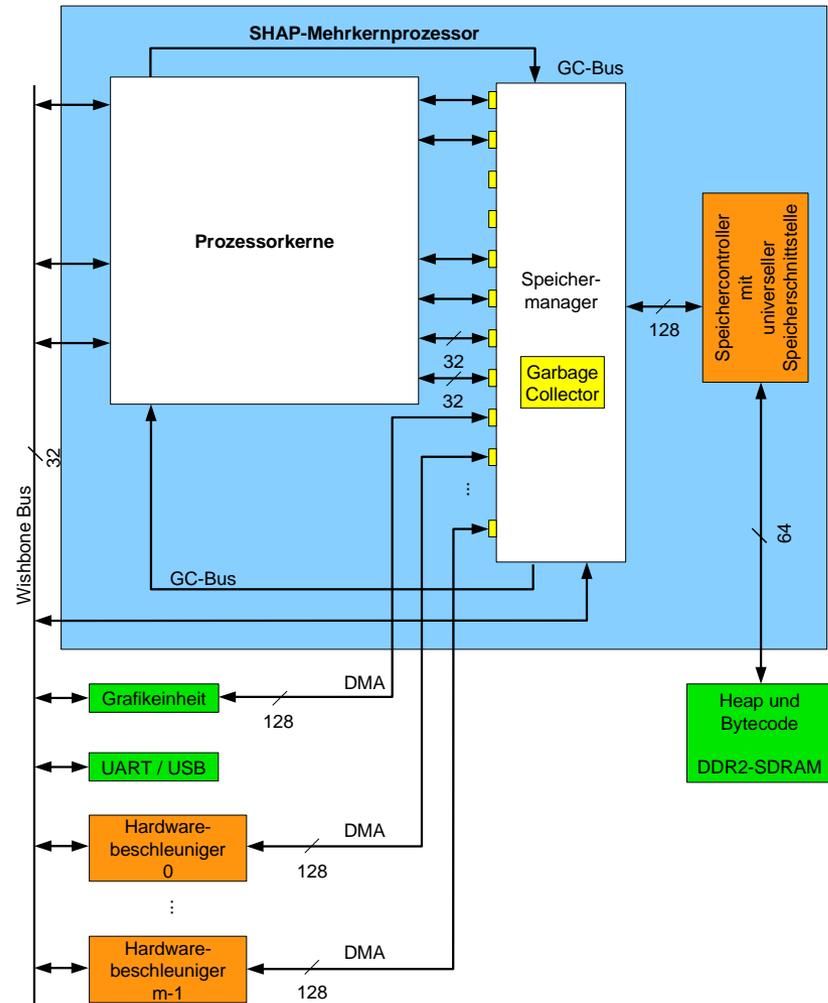
* Alle 4 Takte neuer Request

1. Speicherarchitekturkonzept: Heterogener SHAP-Mehrkernprozessor mit DMA-Erweiterung

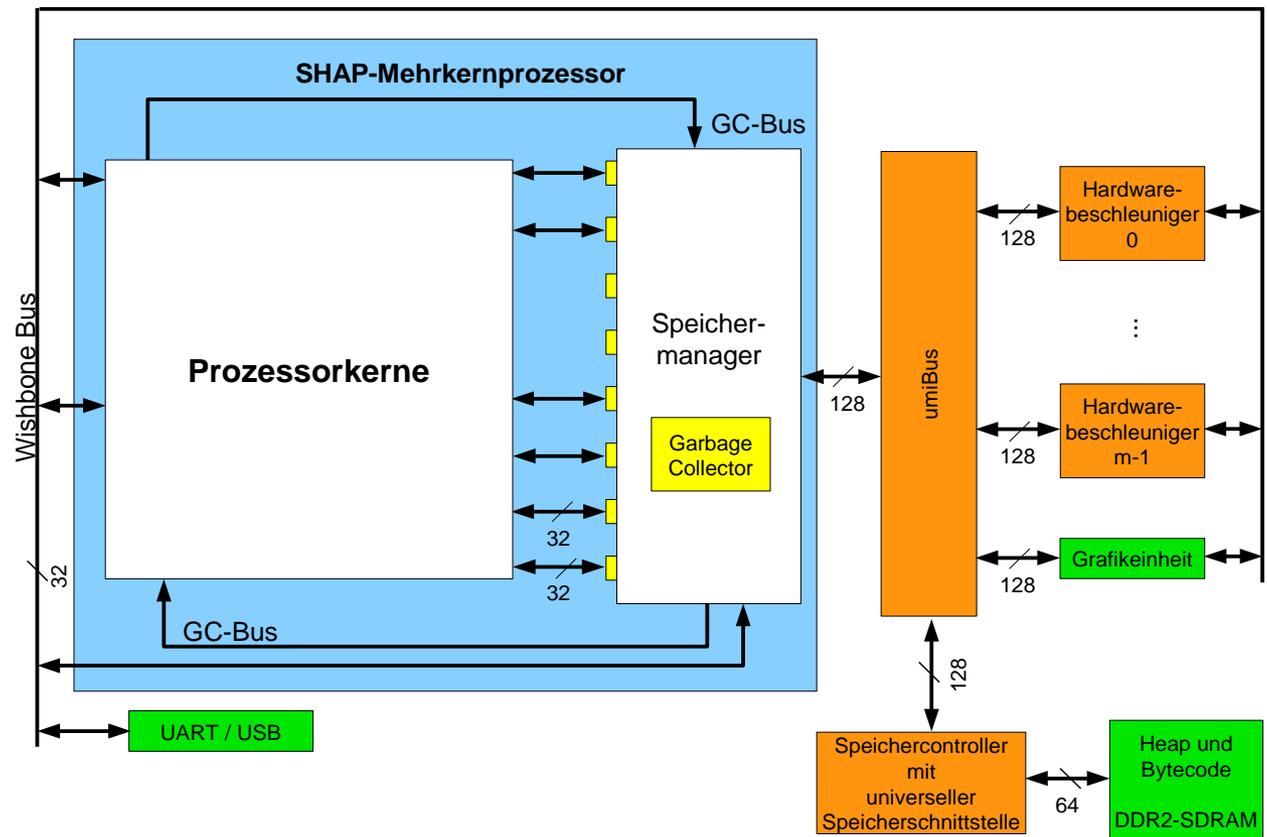


1. Speicherarchitekturkonzept: Heterogener SHAP-Mehrkernprozessor mit DMA-Erweiterung

- Austausch des Speichercontrollers
- Speicherdatenbus von 32 Bit → 128 Bit
- Erweitern der DMA-Ports auf 128 Bit
- Kontrollfluss über Wishbone-Bus

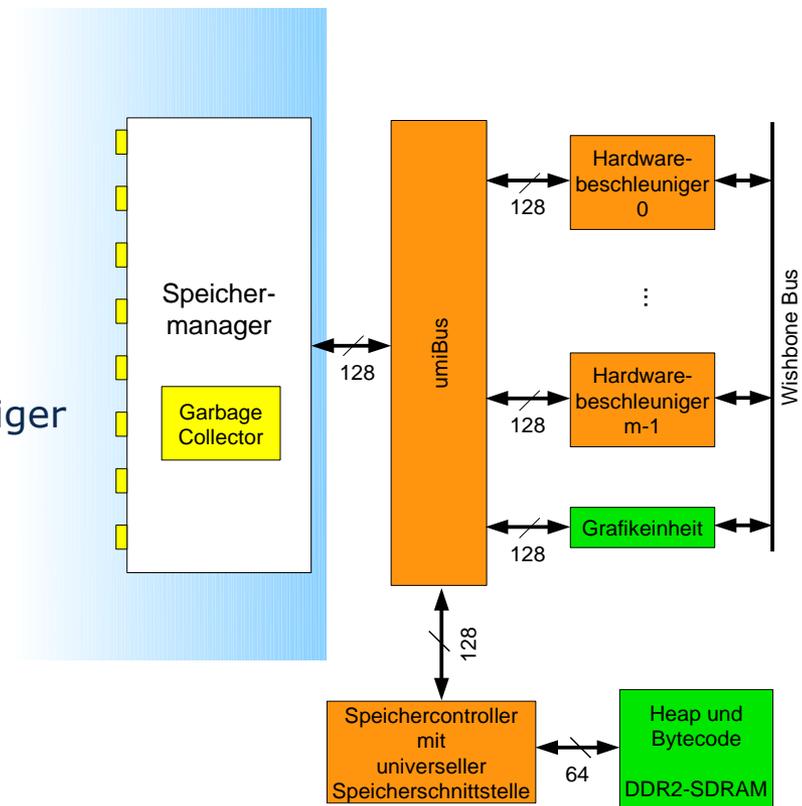


2. Speicherarchitekturkonzept: Heterogener SHAP-Mehrkernprozessor mit umiBus



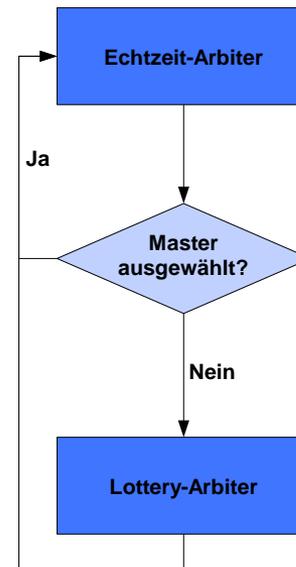
2. Speicherarchitekturkonzept: Heterogener SHAP-Mehrkernprozessor mit umiBus

- Ersatz des integrierten Speichercontrollers
- Einführung des umiBus:
 - Anbindung des DDR2-Controller
 - Anbindung des Speichermanagers
 - Anbindung aller Hardwarebeschleuniger
 - Arbitrierung des Buszugriffs
- Kontrollfluss über Wishbone-Bus



Zweistufige Arbitrierung:

- Basierend auf RT_Lottery [19]
- Echtzeit-Arbiter (Stufe 1)
- Lottery-Arbiter (Stufe 2)



1. Speicherarchitekturkonzept

- Farbraumkonvertierung: 7,58 Bilder pro Sekunde
- Aber starke Bildstörungen
- Ursprüngliche Annahme: Bandbreite für Grafikausgabe nicht ausreichend

1. Speicherarchitekturkonzept

- Farbraumkonvertierung: 7,58 Bilder pro Sekunde
- Aber starke Bildstörungen
- Ursprüngliche Annahme: Bandbreite für Grafikausgabe nicht ausreichend
- **Nachtrag:** RAM-Performance ist nicht ausreichend
 - Fehlender Einfluss auf Verteilung der Objekte im Speicher
 - Zugriff auf verschiedene RAM-Bänke limitiert
- Diente vorrangig zum Test der Komponenten

2. Speicherarchitekturkonzept

Konfiguration:

- 2 Variation der Ticketverhältnisse des Lottery-Arbiters

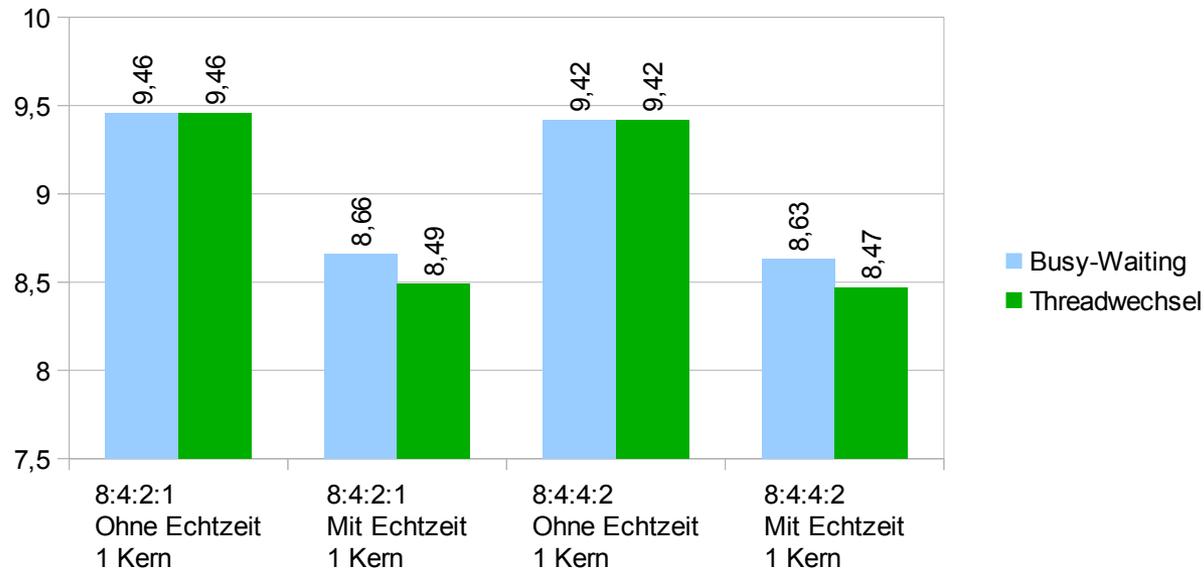
$$\begin{aligned} &VGA_B : CC_B : SATA_B : SHAP_B \\ &400 \text{ MiByte/s} : 222 \text{ MiByte/s} : 75 \text{ MiByte/s} : 30 \text{ MiByte/s} \\ &8 : 4 : 2 : 1 \end{aligned}$$

$$\begin{aligned} &VGA_B : CC_B : SHAP_B : SATA_B \\ &400 \text{ MiByte/s} : 222 \text{ MiByte/s} : 220 \text{ MiByte/s} : 75 \text{ MiByte/s} \\ &8 : 4 : 4 : 2 \end{aligned}$$

- Verwendung des Echtzeit-Arbiters für SHAP-Kerne

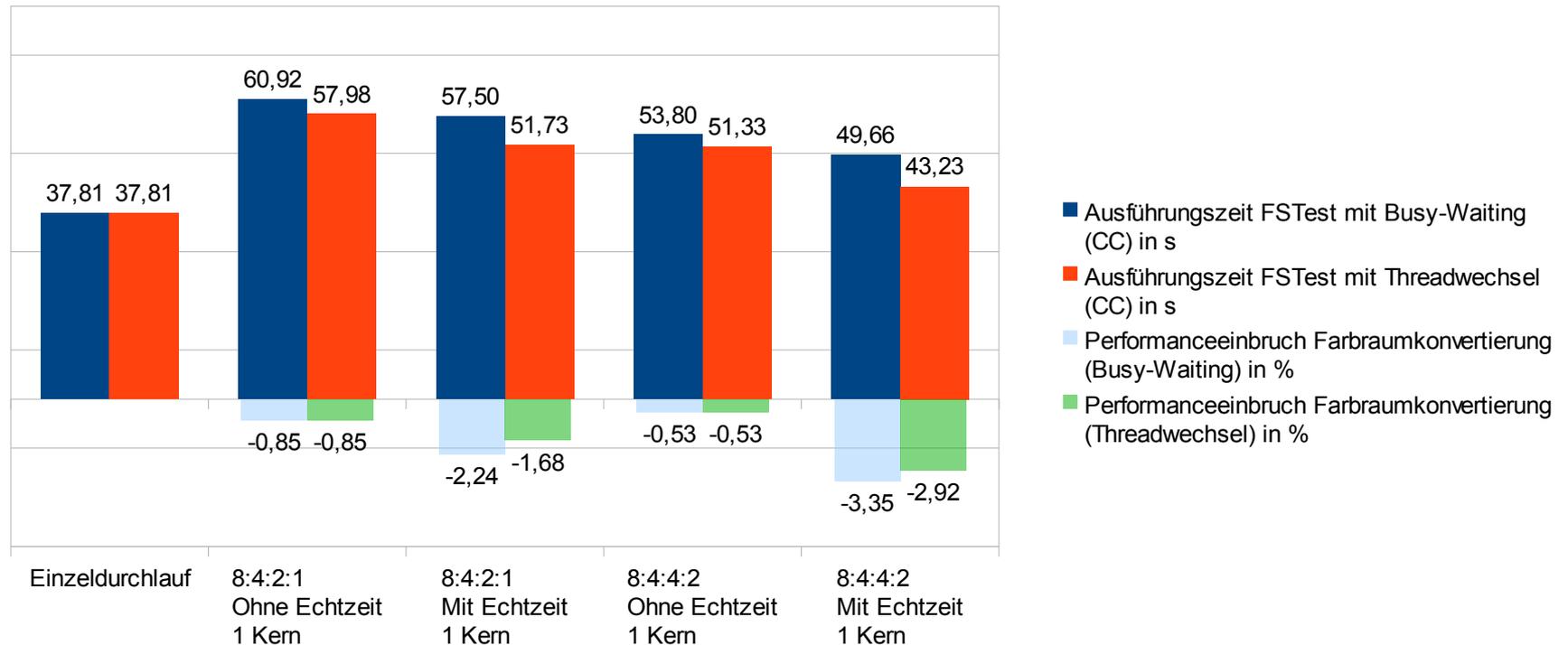
2. Speicherarchitekturkonzept

Performance Farbraumkonvertierung in Bilder/s:



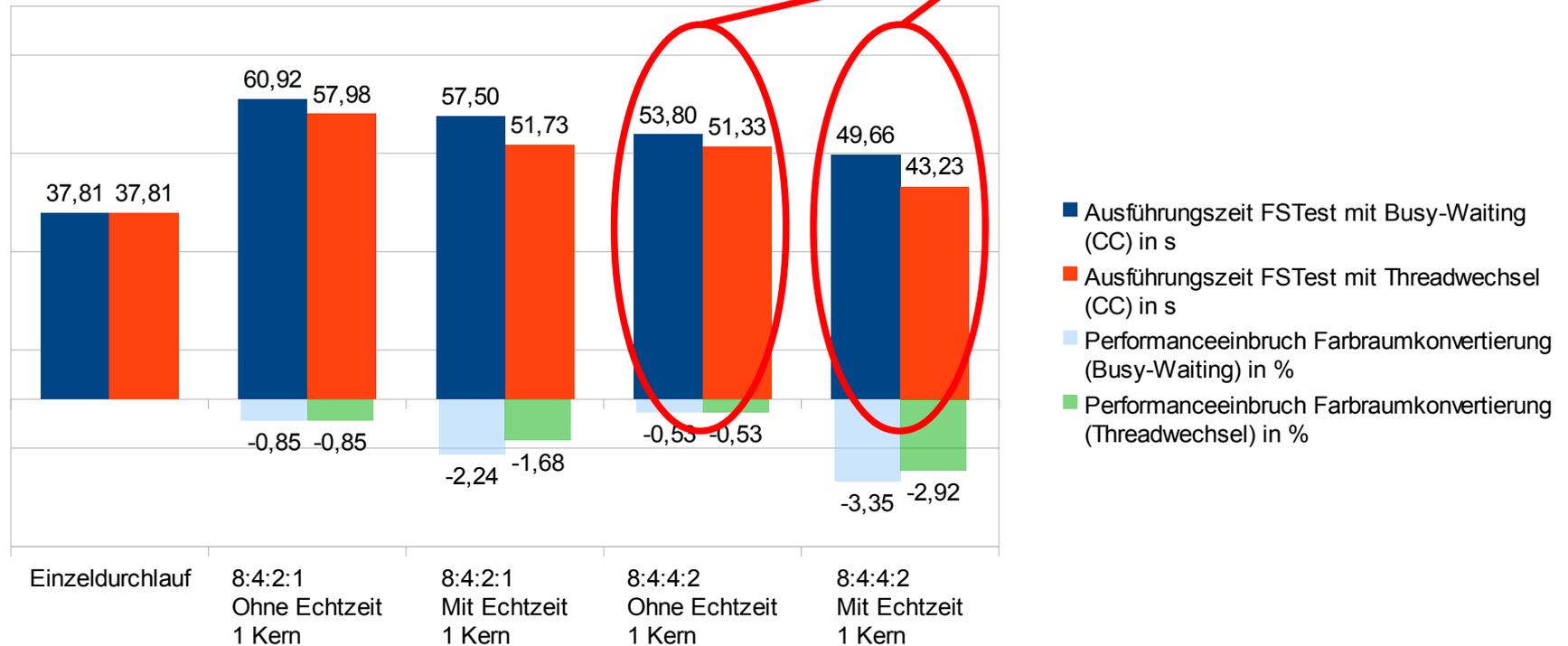
2. Speicherarchitekturkonzept

Farbraumkonvertierung und FSTest:



2. Speicherarchitekturkonzept

Farbraumkonvertierung und FSTest:



Zusammenfassung

- Wesentlichen Ergebnisse:
 - Heterogener SHAP-Mehrkernprozessor mit DMA-Erweiterung
 - Nicht ausreichend (automatische Speicherallokation)
 - Heterogener SHAP-Mehrkernprozessor mit umiBus
 - Funktionsfähigkeit wurde demonstriert
 - Gute Steuerbarkeit über Ticketverhältnis
 - Echtzeit zeigte Einfluss
 - Aber: Leistungsfähigkeit liegt unter Erwartungen

Ausblick

- Optimierungen zur Leistungssteigerung:
 - Farbraumkonverter
 - umiBus
- Überarbeitung des Echtzeit-Arbiters
- Vereinfachung der Konfiguration des Lottery-Arbiters

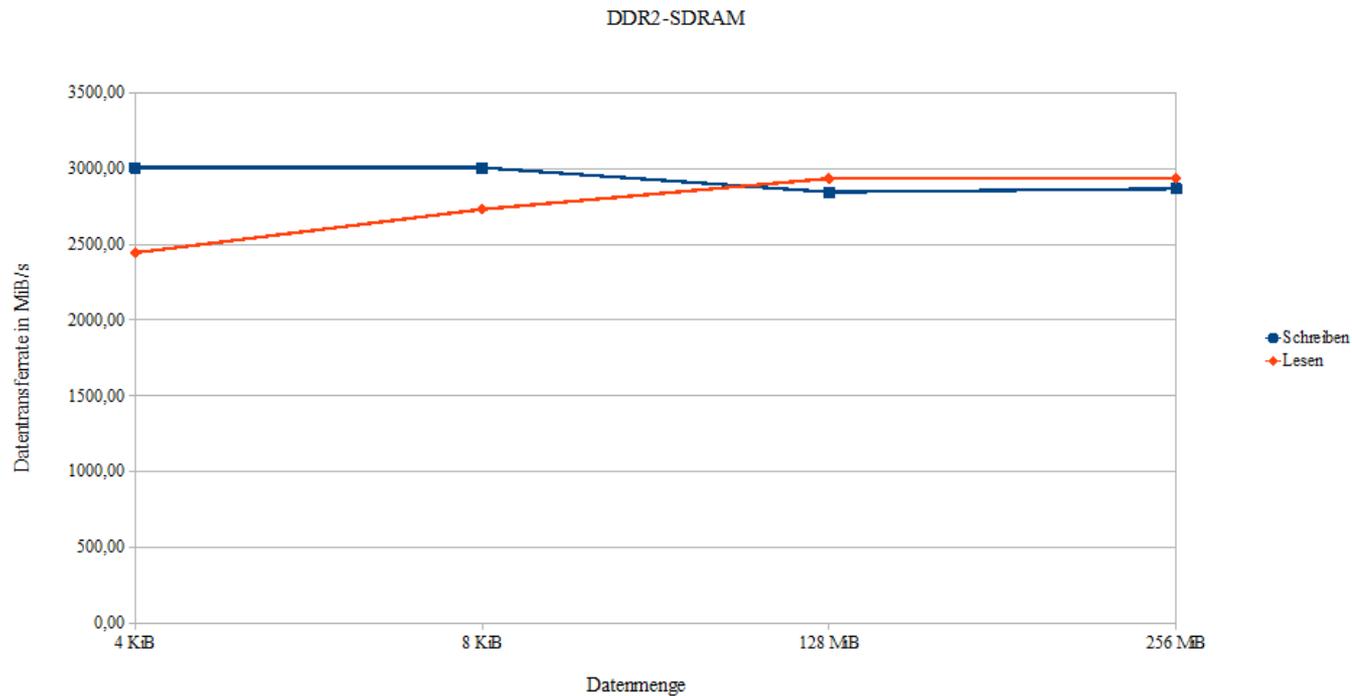
- [1] V. Gupta, R. Nathuji and K. Schwan. An Analysis of Power Reduction in Datacenter using Heterogeneous Chip Multiprocessors. 2011
- [2] M. D. Hill and Michael R. Marty. Amdahl's Law in the Multicore Era. 2008
- [3] <http://www.samsung.com/global/business/semiconductor/file/product/Exynos4210-0-0.jpg>
- [4] <http://www.elektroniknet.de/typo3temp/pics/31183a6fab.jpg>
- [5] M. Zabel. Effiziente Mehrkernarchitektur für eingebettete Java-Bytecode-Prozessoren. Dissertation TU Dresden. 2011
- [6] <http://www.extremetech.com/wp-content/uploads/2011/12/Omap4470-640x416.png>
- [7] K. Lahiri, A. Raghunathan and G. Lakshminarayana. LOTTERYBUS: A New High-Performance Communication Architecture for System-On-Chip Designs. 2001
- [8] K. Lahiri, A. Raghunathan and G. Lakshminarayana. The LOTTERYBUS On-Chip-Communication Architecture. 2006
- [9] C. A. Waldspurger and W. E. Weihl. Lottery Scheduling: Flexible Proportional-Share Resource Management. 1994
- [10] <http://www.heise.de/newsticker/meldung/GTC-2013-ARM-Kerne-auf-Desktop-GPUs-erst-ab-Volta-1826893.html>. 21.03.2013 17:28
- [11] Wishbone B4
- [12] AMBA AXI Protocol Version 2.0 Specification & AMBA Specification Revision 2.0
- [13] On-Chip Communication Architectures: System on Chip Interconnect von Sudeep Pasricha, Nikil Dutt
- [14] <https://www.uplinq.com/2011/sites/default/files/slides/Developing-Next-Gen-3D-Games-Snapdragon-8660-Devices.pdf>
- [15] M. Zulkowski. Universelle Speicherschnittstelle für große externe Speicher. Großer Beleg TU Dresden. 2012
- [16] Clive „Max“ Maxfield. FPGAs: World Class Designs. Newnes, 2010. - ISBN 978-1-85617-621-7
- [17] IBM. Cell Broadband Engine Architecture. Version 1.02. 11. Oktober 2007
- [18] Lin, Bu-Ching ; Lee, Geen-Wei ; Huang, Juinn-Dar ; Jou, Jing-Yang: A Precise Bandwidth Control Arbitration Algorithm for Hard Real-Time SoC Buses. In: Asia and South Pacific Design Automation Conference, 2007
- [19] Chen, Chien-Hua ; Lee, Geen-Wei ; Huang, Juinn-Dar ; Jou, Jing-Yang: A Real-Time and Bandwidth Guaranteed Arbitration Algorithm for SoC Bus Communication. Asia and South Pacific Design Automation Conference, 2006

**Vielen Dank
für ihre Aufmerksamkeit!**

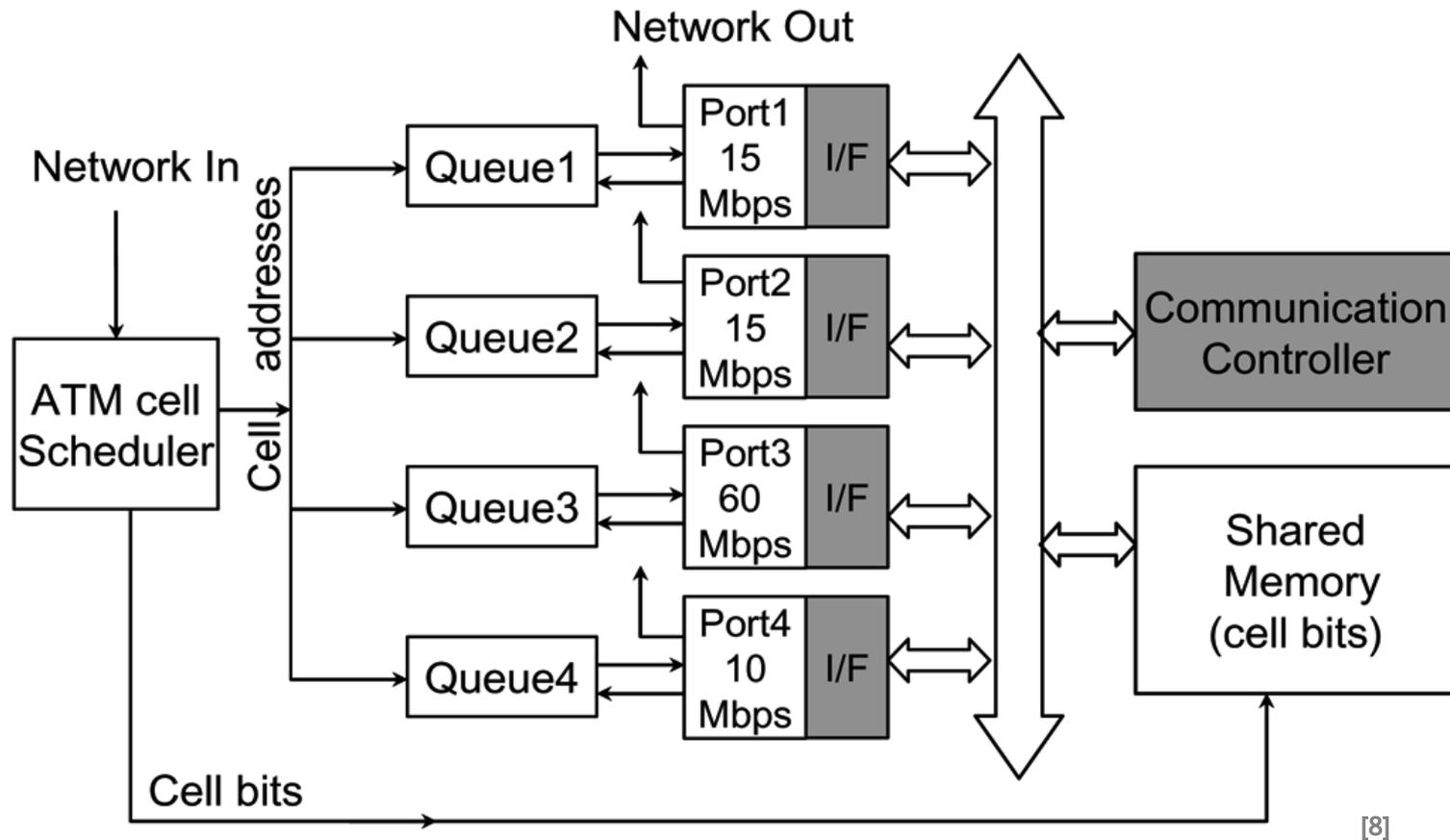
Zum Abschluss eine kleine Demonstration.

Messwerte DDR2-Controller

- Messung mit Blockgröße von 128Byte

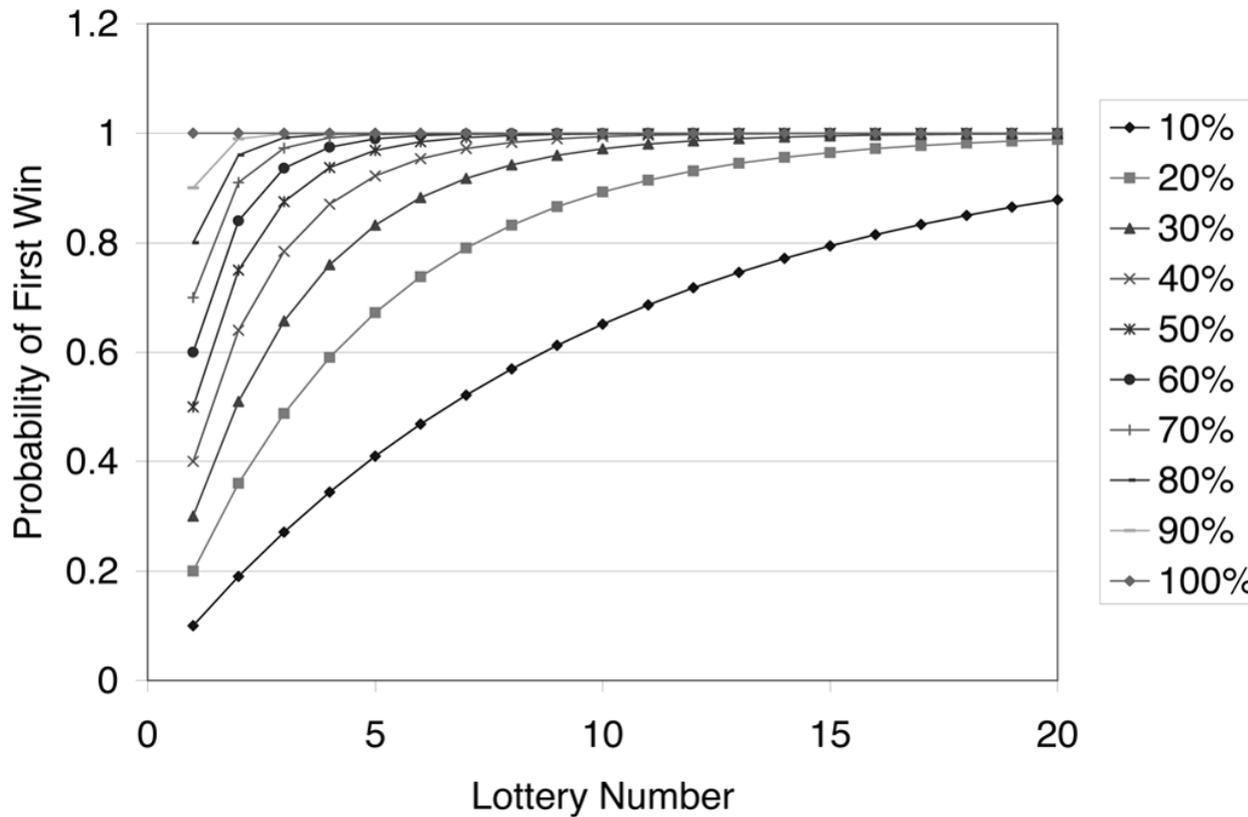


4-Port ATM-Switch



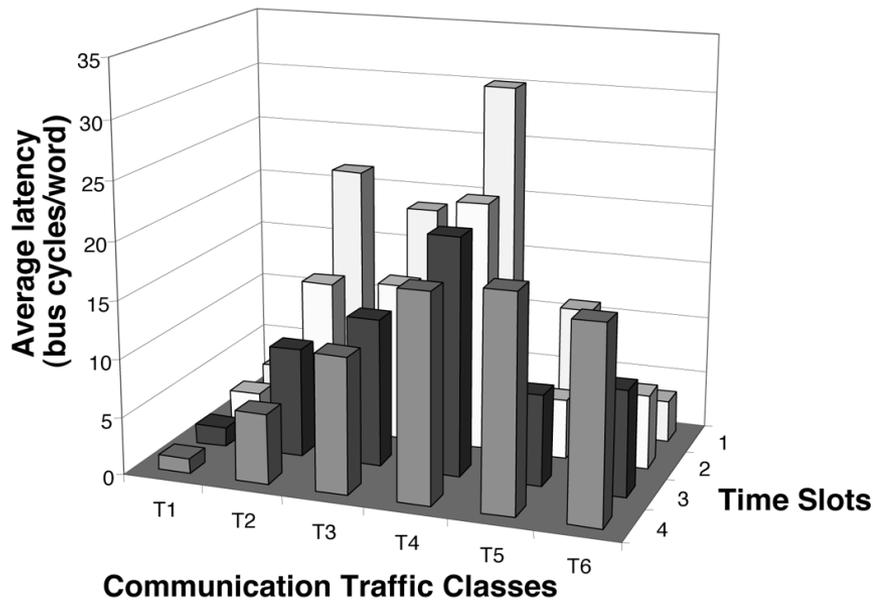
Grant-Wahrscheinlichkeit

$$p(t_i, T, k) = \frac{t_i}{T} * \sum_{n=0}^{k-1} \left(1 - \frac{t_i}{T}\right)^n$$

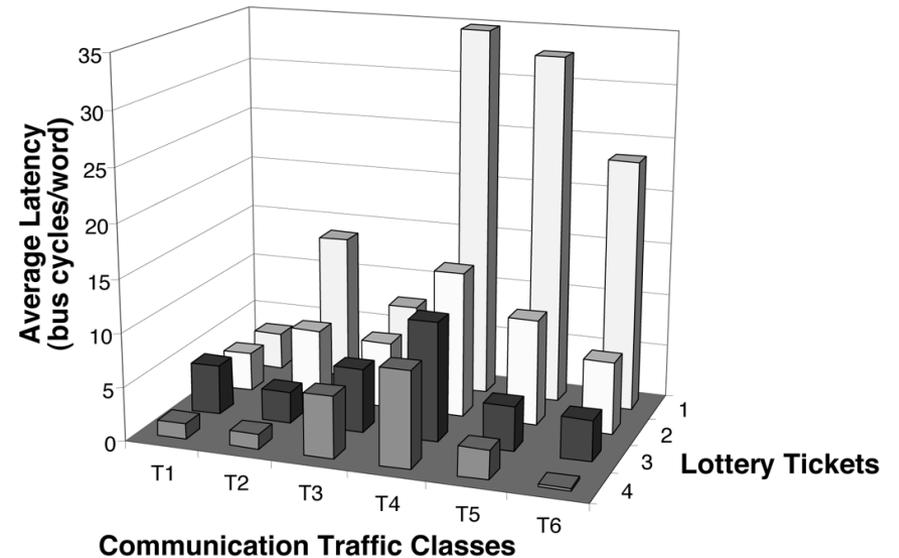


[8]

TDMA vs. Lottery



(a) TDMA-based communication architecture



(b) LOTTERYBUS communication architecture

[8]

Arbitrierung

- Klassisch:
 - Feste Prioritäten
 - Zeitmultiplex (TDMA)
 - Round Robin
- Lottery Scheduling
- Credit-Based Scheduling

Lottery Scheduling – Motivation

- Testresultate zeigen:

 - Niedrige Latenzen für hoch-priorisierte Master

 - Bei gleichzeitiger Bandbreitengarantie für andere Master

 - Aber keine harte Echtzeit

- Stochastisch fair

 - Erwartete Zuweisung ist proportional zu Losverhältnissen

- Keine Starvation

 - Jeder Master mit Los „gewinnt“ früher oder später

Lottery Scheduling – Motivation

- 4-Port ATM-Switch:
 - Port 1 – Port 3 mit Bandbreitenverhältnis (1:1:4)
 - Port 4 mit niedriger Latenz

Algorithmus	Port 4 Latenz (Takte/Wort)	Port 4 Bandbreite (%)	Port 3 Bandbreite (%)	Port 2 Bandbreite (%)	Port 1 Bandbreite (%)
Static priority	1,39	9,69	45,72	44,58	0,01
TDMA	9,84	10,09	47,29	21,31	21,31
Lottery	1,4	9,67	59,03	17,00	14,30

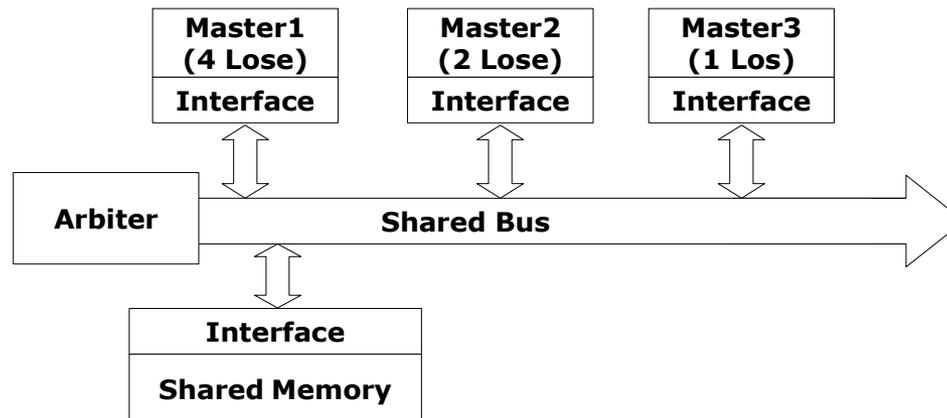
[8]

Lottery Scheduling [2, 7, 8]

- 1994 am MIT entwickelt (Prozess- / Threadscheduling)
- Zufallsbasierter Arbitrierungsalgorithmus
- 2001 implementierung des LOTTERYBUS für SoC-Busse
- Diverse Weiterentwicklungen

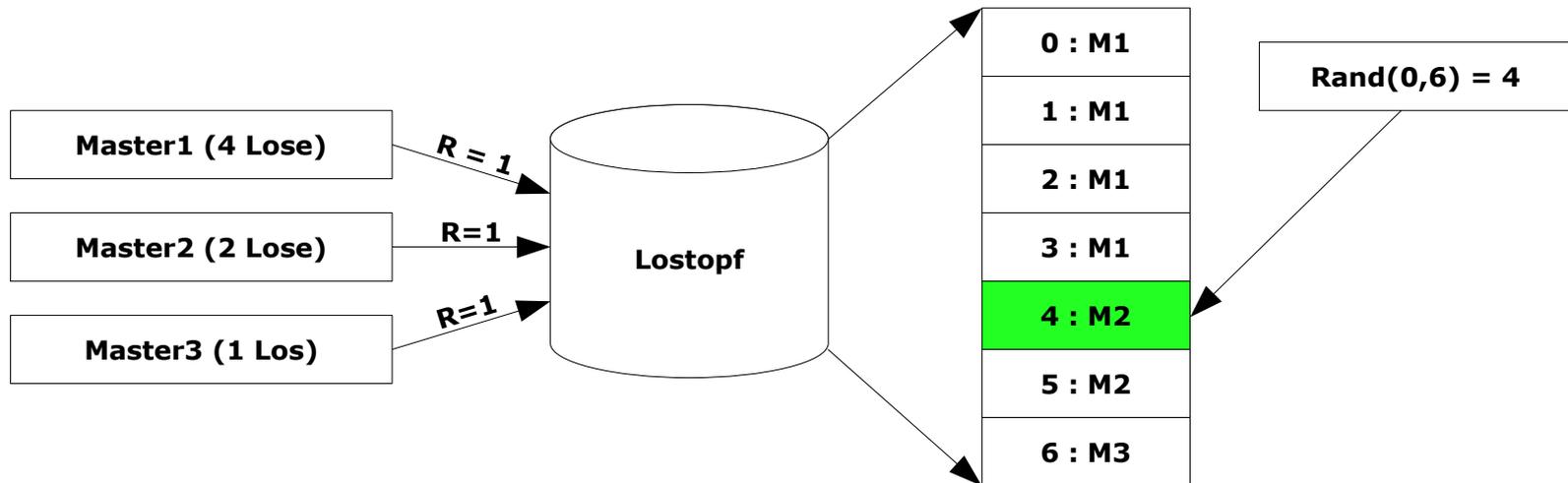
Arbiter: Lottery Scheduling - Prinzip

1. Master bekommen Lose (Tickets) zugeordnet
2. Jeder Master mit Request-Wunsch gibt seine Lose in einen Lostopf
3. Arbiter zieht per Zufall ein Los aus dem Lostopf
4. Master dem das gezogene Los gehört bekommt Buszugriff



[8]

Lottery Scheduling - Prinzip



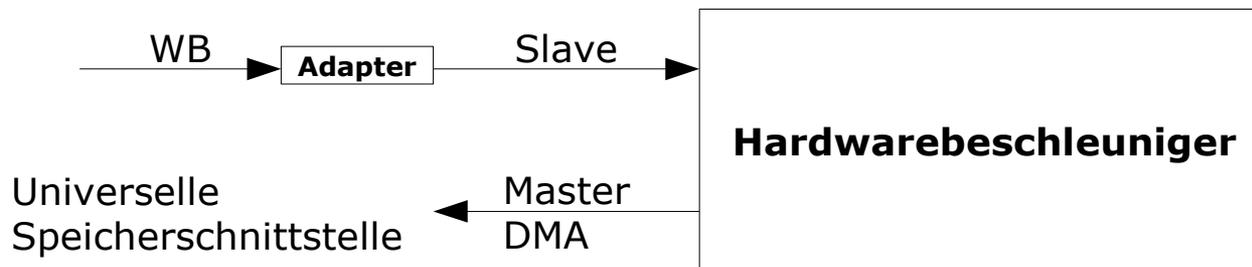
[8]

R...Request

Allgemein:



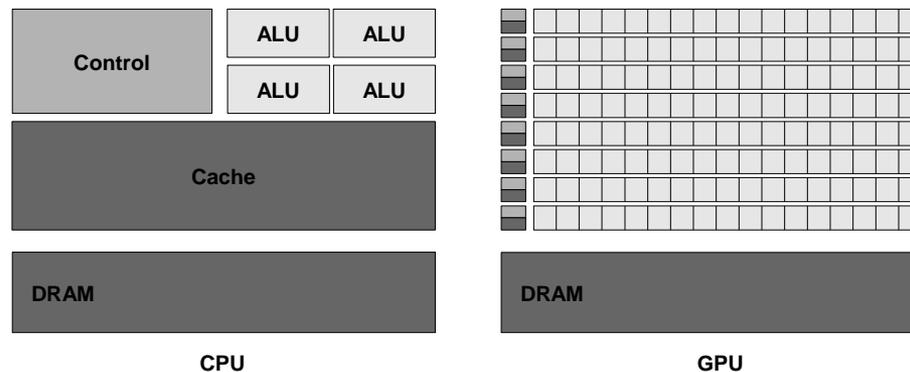
Beispiel- implementierung:



Beispiele heterogener Mehrkernprozessoren & -prozessorsysteme

General Purpose Computation on GPU

- CPU + dedizierte Grafikkarte
 - z.B. mittels OpenCL, Cuda ...
- AMD APU (Accelerated Processing Unit)
 - bis zu 4 Prozessorkerne und 384 Shadereinheiten

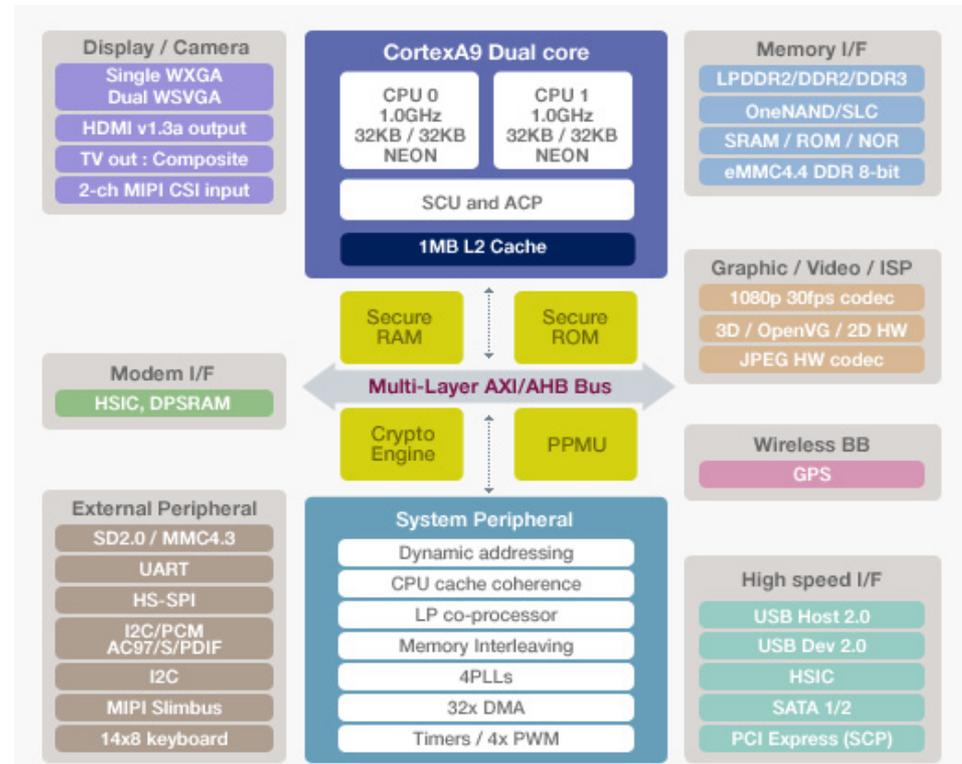


Beispiele heterogener Mehrkernprozessoren & -prozessorsysteme

Samsung Exynos 4

- 64 Bit Multilayer
AMBA AHB und AXI

(z.B. Samsung Galaxy S2)

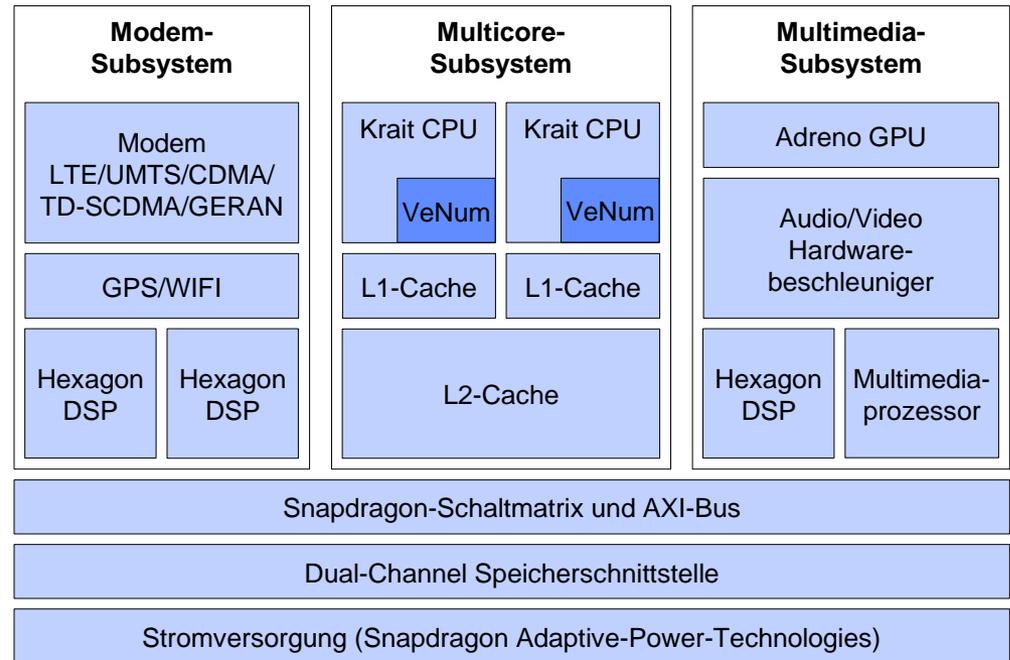


[3]

Beispiele heterogener Mehrkernprozessoren & -prozessorsysteme

Snapdragon S4

- 64 Bit AMBA AXI
(z.B. HTC One)

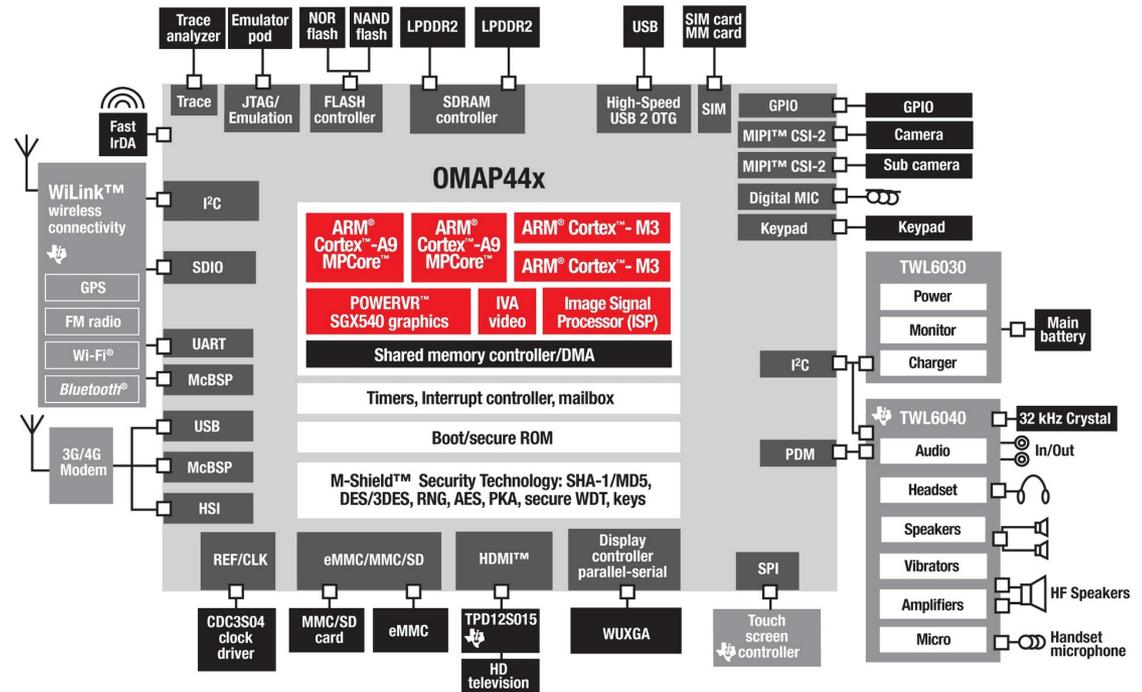


Beispiele heterogener Mehrkernprozessoren & -prozessorsysteme

TI OMAP 4470

- Network-On-Chip
(Arteris)

(z.B. Kindle Fire HD)



Zusammenfassung Bussysteme

	Exynos 4	Snapdragon S4	OMAP 4470
Topologie	Shared-Bus und Crossbar (Multi-Layer)	Crossbar	Network-on-Chip
Bus-Protokoll	AMBA AHB + AXI	AMBA AXI	Proprietär
Datenbreite	64 Bit	64 Bit	128 Bit
Arbitrierung	Keine Angaben	Slave-seitig	Slave-seitig
Arbitrierungs-algorithmen	Keine Angaben	Keine Angaben	Statische Prioritäten, AgedPriority, RoundRobin, ...
Speicheranbindung	Dual-Channel	Dual-Channel	Dual-Channel

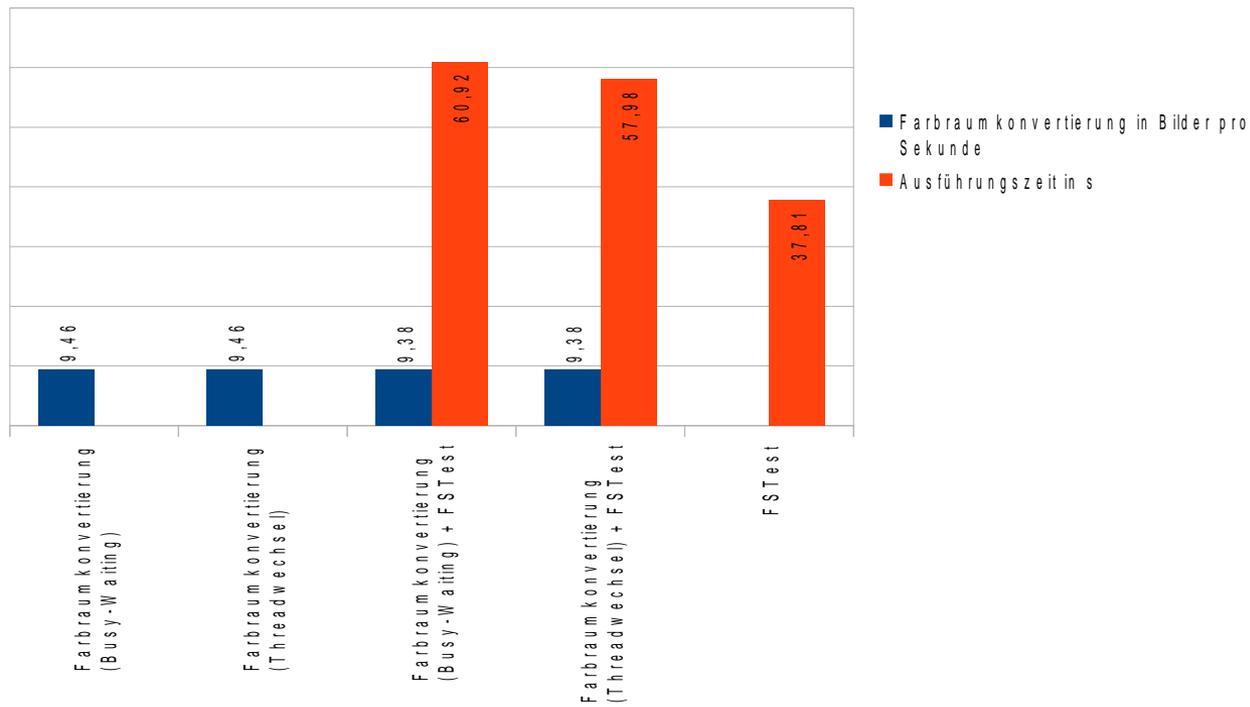
Schnittstelle

	AMBA AXI 4	AMBA AHB 3	Wishbone B4	Universelle Speicherschnittstelle
Topologie	Punkt-zu-Punkt, Crossbar	Shared-Bus	Shared-Bus, Punkt-zu-Punkt, Crossbar	Shared-Bus
Datenbreite (Bit)	8 – 1024	8 - 1024	8, 16, 32, 64	beliebig
Adressierung	Bis 64 Bit	32 Bit	Bis 64 Bit	beliebig
Datenmaskierung	Byte	Nein	Byte	Nein
Tags	Ja	Nein	Ja	Ja
Komplexität	Sehr hoch	hoch	hoch	mittel

[11, 12, 13, 15]

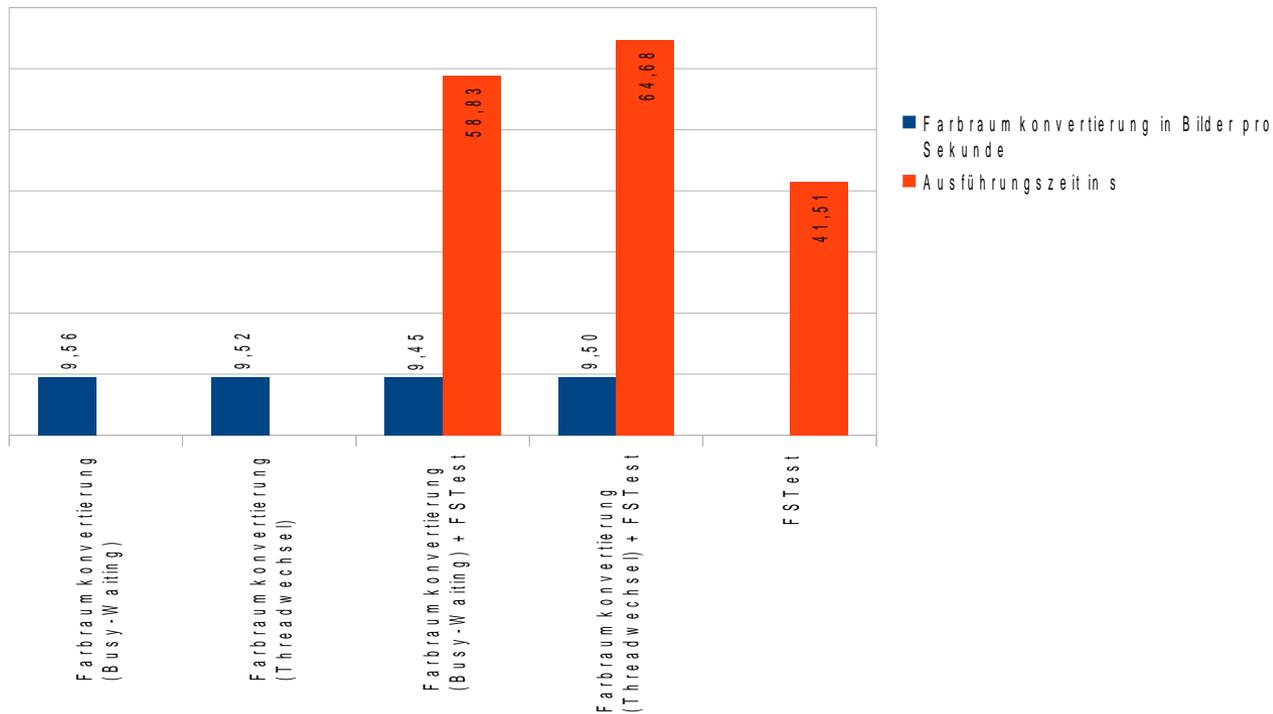
Messwerte der 2. Speicherarchitektur

- 8:4:2:1, ohne EZ, 1 Kern



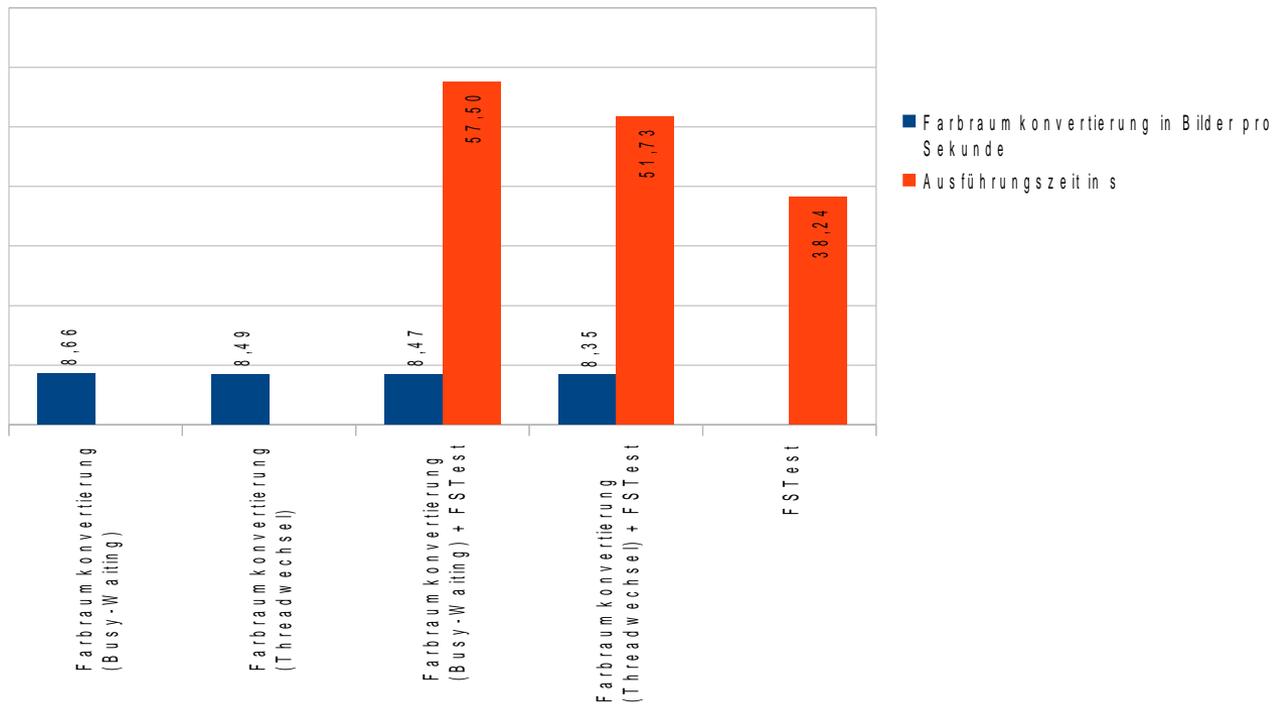
Messwerte der 2. Speicherarchitektur

- 8:4:2:1, ohne EZ, 2 Kerne



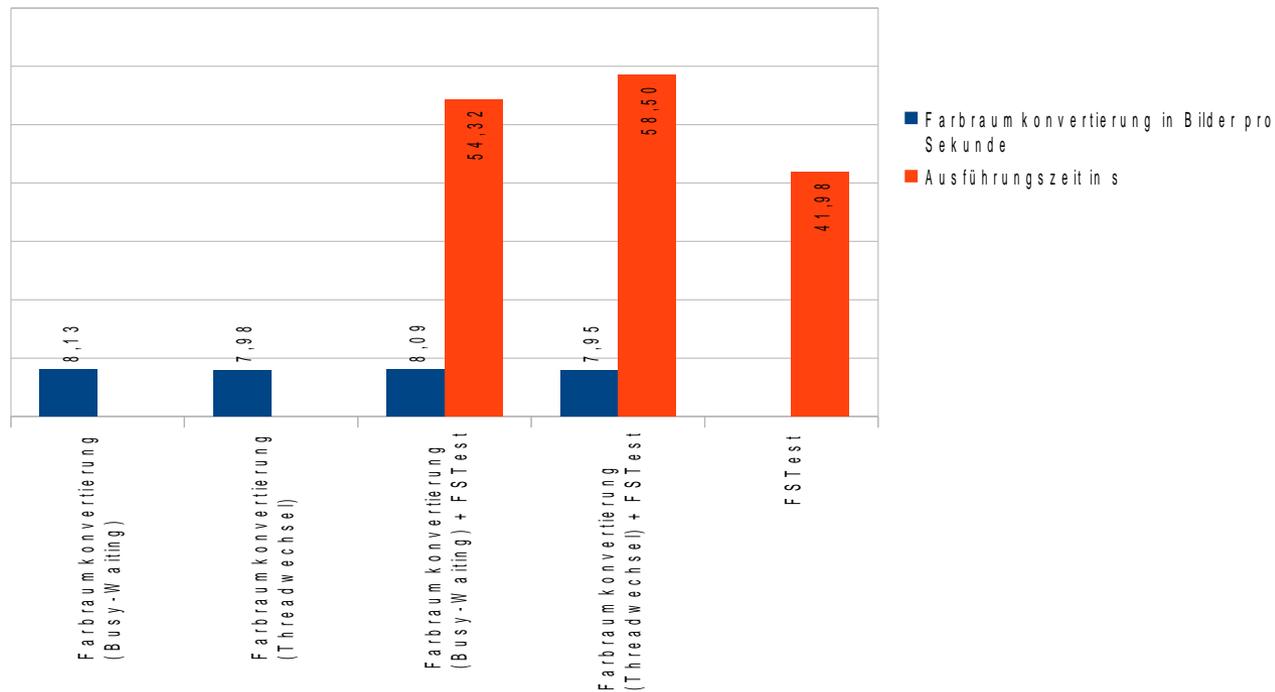
Messwerte der 2. Speicherarchitektur

- 8:4:2:1, mit EZ, 1 Kern



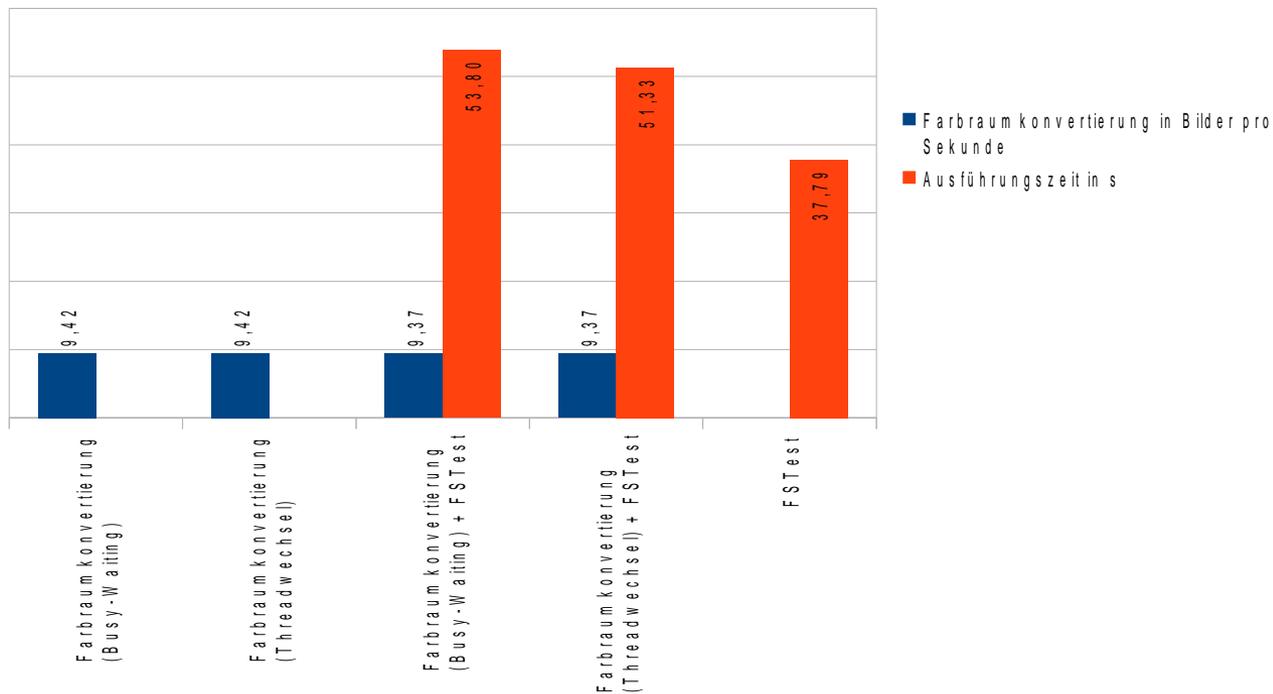
Messwerte der 2. Speicherarchitektur

- 8:4:2:1, mit EZ, 2 Kerne



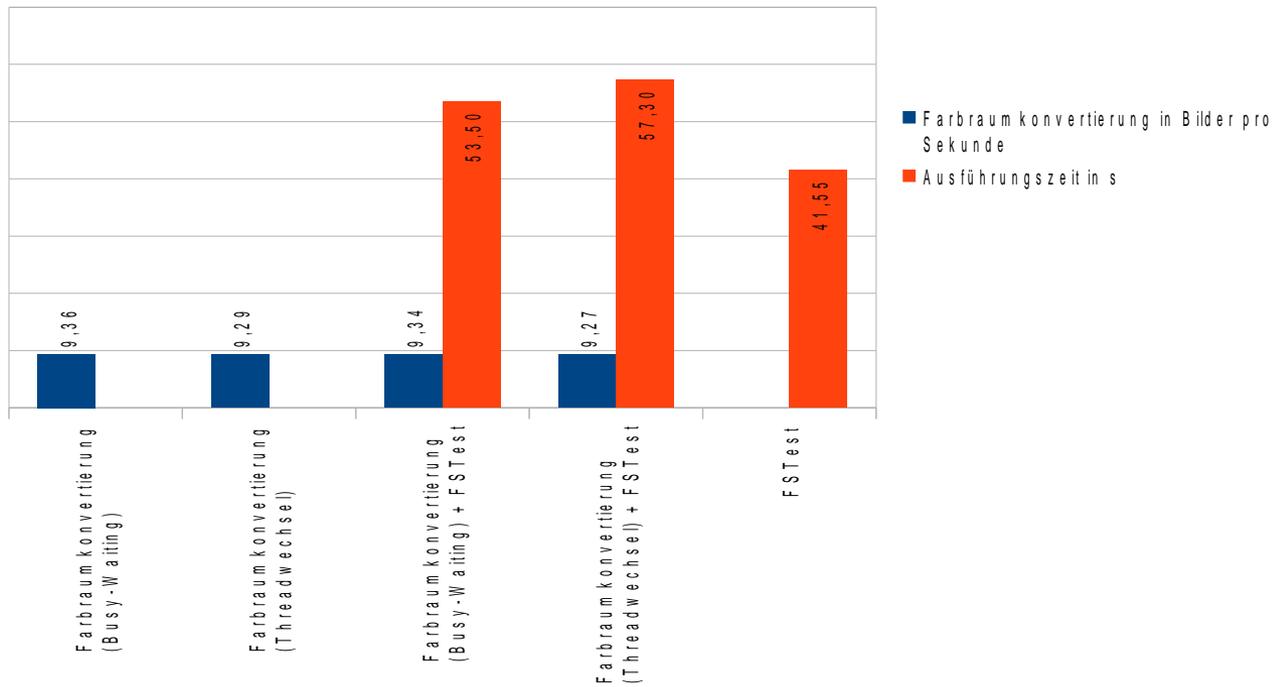
Messwerte der 2. Speicherarchitektur

- 8:4:4:2, ohne EZ, 1 Kern



Messwerte der 2. Speicherarchitektur

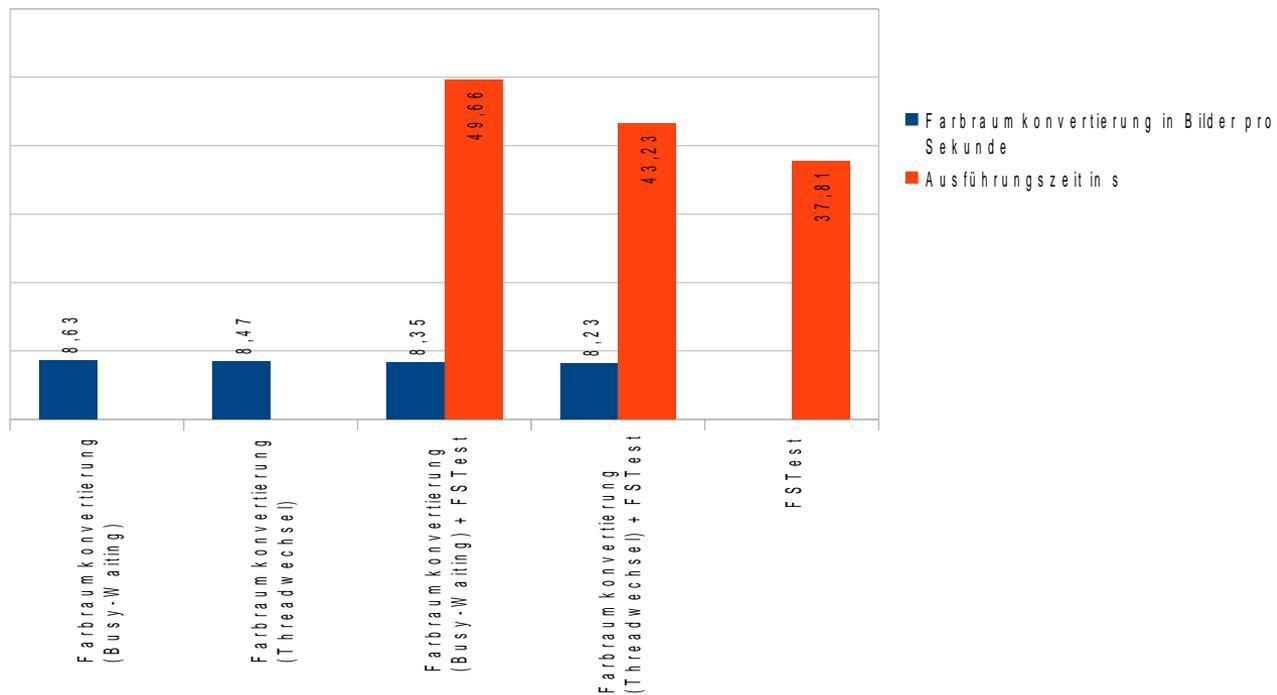
- 8:4:4:2, ohne EZ, 2 Kerne



Messwerte der 2. Speicherarchitektur

- 8:4:4:2, mit EZ, 1 Kern

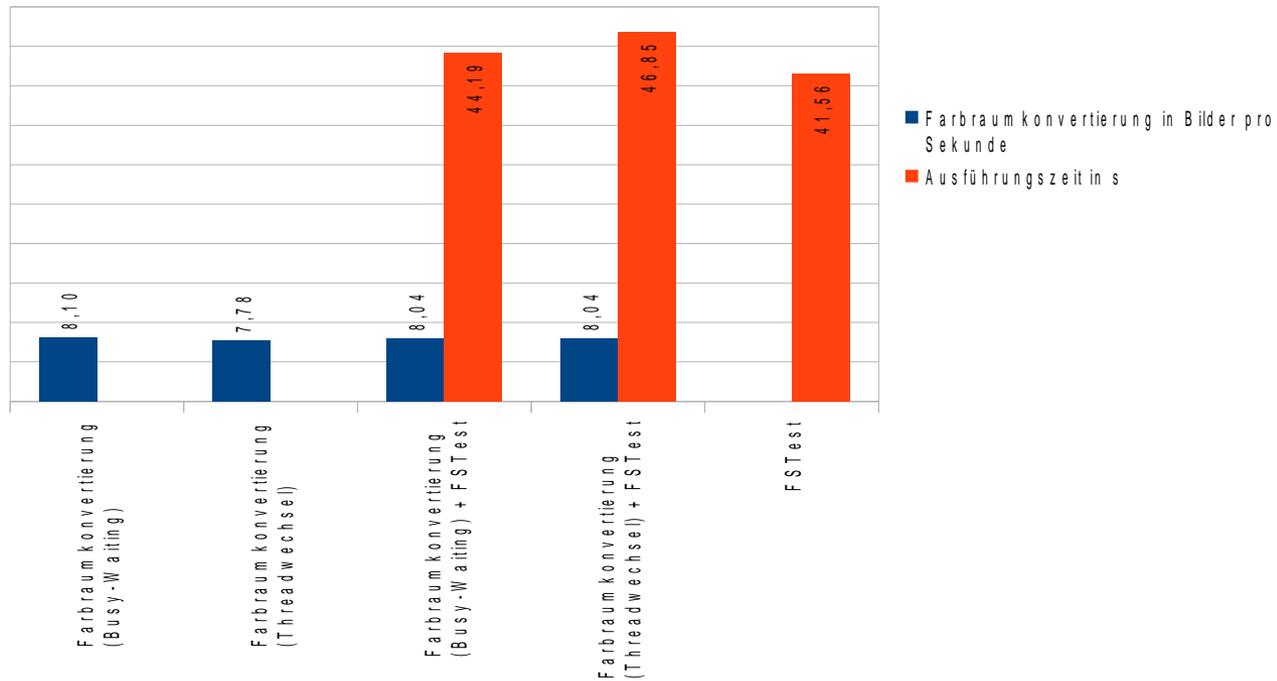
Bildfehler



Messwerte der 2. Speicherarchitektur

- 8:4:4:2, mit EZ, 2 Kerne

Bildfehler



Farbraumkonverter (YCbCr nach RGB)

- Bandbreitenbedarf:

$$CC_{B_{Lesen}, Mittel} = 1920 * 1080 * 1,5 \text{ Byte} * 25 = 74,15 \text{ MiByte/s}$$

$$CC_{B_{Schreiben}, Mittel} = 1920 * 1080 * 3 \text{ Byte} * 25 = 148,32 \text{ MiByte/s}$$

$$CC_{B_{Gesamt}, Mittel} = CC_{B_{Lesen}, Mittel} + CC_{B_{Schreiben}, Mittel} = 222,47 \text{ MiByte/s}$$

Ressourcenverbrauch:

Heterogener SHAP-Mehrkernprozessor mit DMA-Erweiterung

Modul	Register	LUTs	LUTRAM	Block-RAM	DSPs
Gesamt (XC5VLX50T)	28800	28800	7680	60	48
SHAP-Mehrkernprozessor	4801	7368	539	7	5
Speichercontroller mit universeller Speicherschnittstelle	2249	1485	17	3	–
Grafikeinheit	650	632	2	4	–
SATA-Controller	2256	2996	236	14	–
Farbraumkonverter	2204	2328	33	5	5
Gesamtverbrauch	12160 (42%)	14809 (51%)	827 (11%)	33 (55%)	10 (21%)

Ressourcenverbrauch:
Heterogener SHAP-Einkernprozessor mit umiBus

Modul	Register	LUTs	LUTRAM	Block-RAM	DSPs
Gesamt (XC5VLX50T)	28800	28800	7680	60	48
SHAP-Mehrkernprozessor	3767	6609	361	8	5
Speichercontroller mit universeller Speicherschnittstelle	2274	1514	17	4	–
Grafikeinheit	569	573	2	4	–
SATA-Controller	2130	2829	148	14	–
Farbraumkonverter	1912	2169	1	4	5
umiBus	1355	966	280	12	–
Gesamtverbrauch	12007 (42%)	14660 (51%)	809 (11%)	46 (77%)	10 (21%)