

Dimensionierung einer Sequenz- und Flusskontrolle für die zuverlässige Hochleistungsdatenübertragung auf FPGAs

Belegverteidigung

Andreas Höer
s8380809@mail.zih.tu-dresden.de



Dresden, 09.04.2013



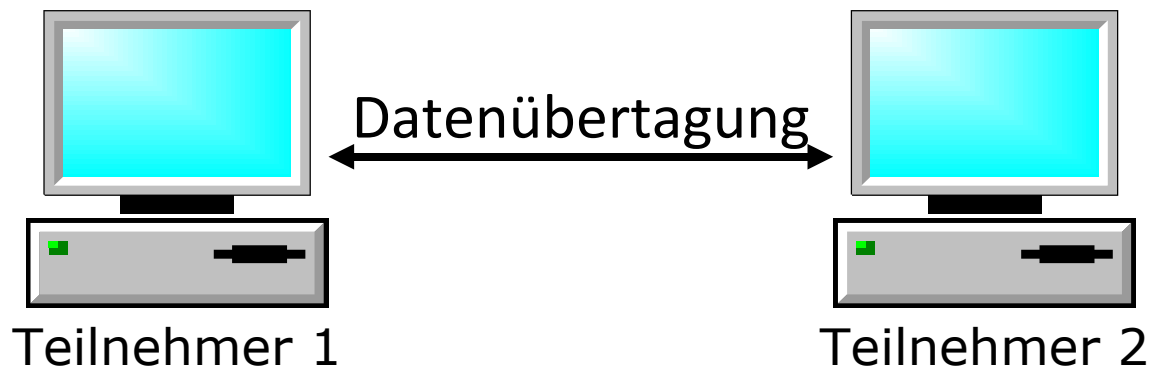
DRESDEN
concept
Exzellenz aus
Wissenschaft
und Kultur

Gliederung

- 1 Einleitung
- 2 Grundlagen
- 3 Beschreibung des SFC-Protokolls
- 4 Messergebnisse und deren Auswertung
- 5 Zusammenfassung und Ausblick

1 Einleitung

Motivation



Eigenschaften der Datenübertragung:

- Paketreihenfolge ist nicht sichergestellt
- mögliche Datenfehler durch Übertragungsfehler
- Paketverlust, durch auftretende Überlast

Ziele

Protokoll mit folgenden Funktionen:

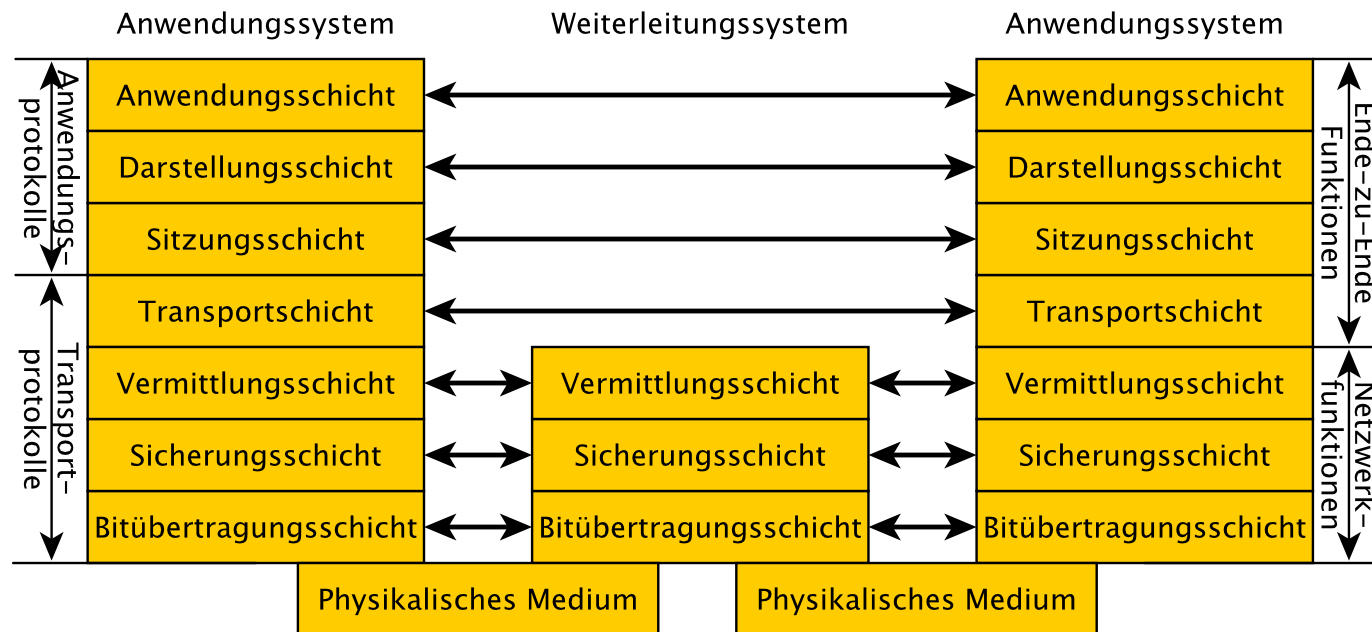
- sichere Übertragung
- Flusskontrolle
- Konfigurationsmöglichkeiten um Übertragungskanal optimal auszulasten

Eigenschaften einer Protokollimplementierung:

- Protokollkontrollinformationen benötigen zusätzliche Übertragungsbandbreite
- langsamere Übertragungslatenz
- Berechnungen belegen FPGA-Ressourcen und benötigen PC-Rechenzeit

2 Grundlagen

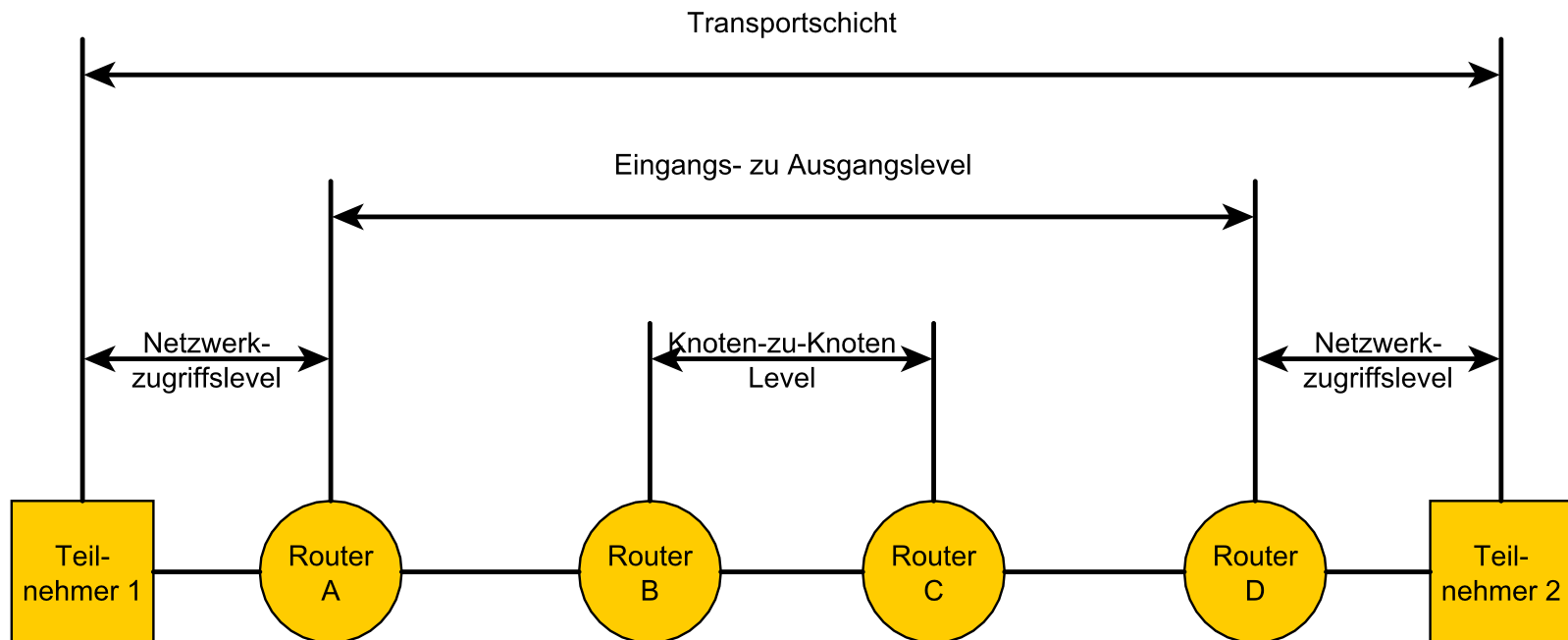
2.1 OSI-Referenzmodell [Co02]



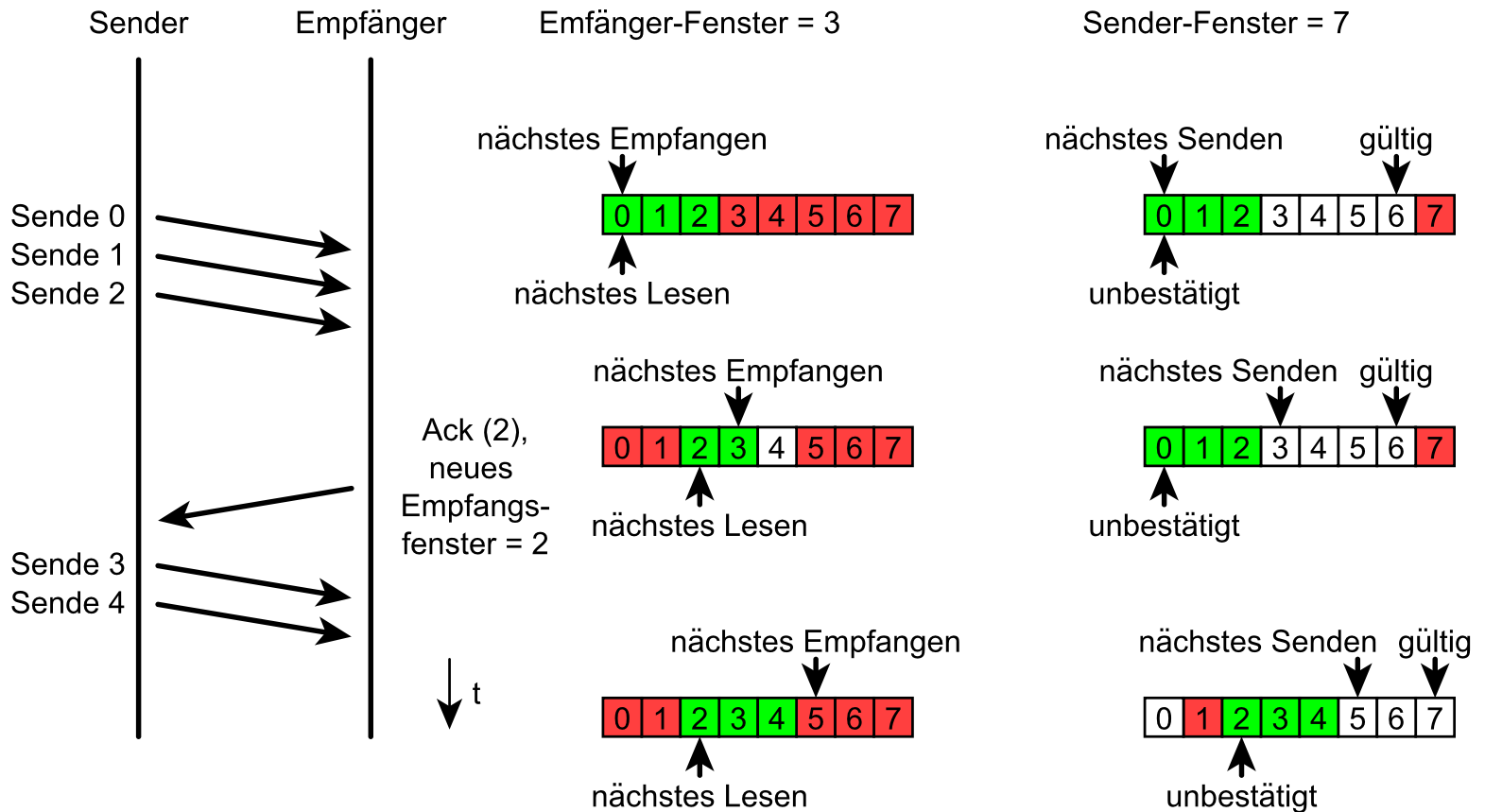
2.2 Grundlegende Begriffe

- Sequenzkontrolle
- Flusskontrolle
- sichere Übertragung

2.3 Flusskontrollsysteme [GeKI80]



Schiebefenster Flusskontrolle [AgTa09]



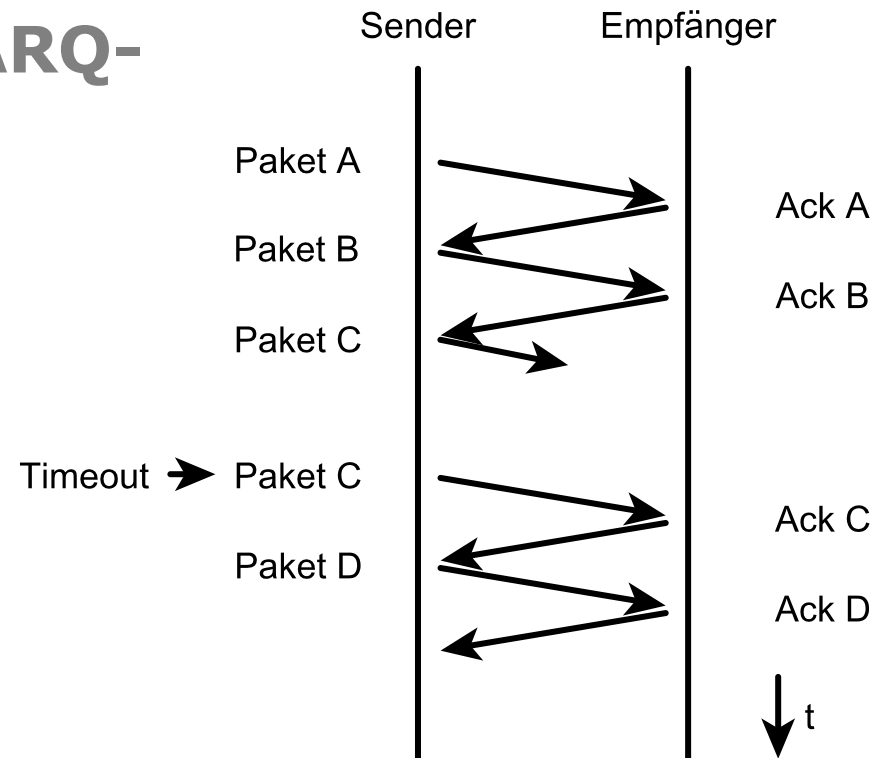
Kredit-basierte Flusskontrolle

- Funktionsweise ähnlich des Schiebefensterprotokolls
- Sender sendet nur Pakete, dessen Nutzdaten der Empfänger in seinem Puffer abspeichern kann
- Empfänger informiert regelmäßig den Sender über seinen freien Empfangspuffer in Bytes

2.4 Sichere Übertragung

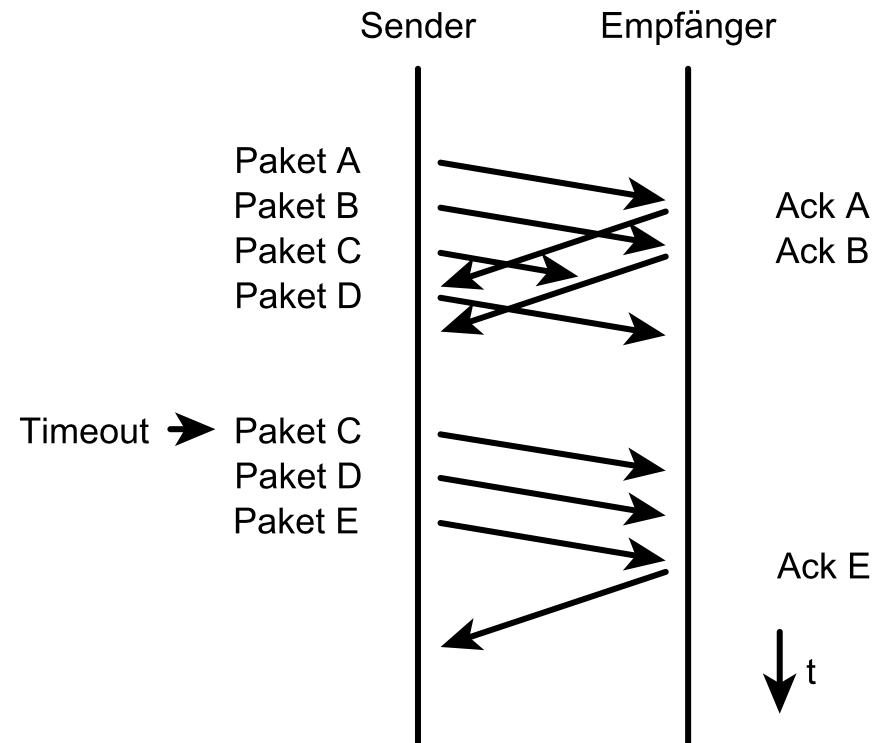
Stop-and-Wait-ARQ-Protokoll

- maximal ein Datenpaket
- jedes Paket kennzeichnet eine eindeutige Sequenznummer
- Empfänger bestätigt alle Pakete
- nach Timeout erneute Übertragung



Go-back-N-ARQ-Protokoll

- Übermittlung mehrerer unbestätigter Pakete
- jedes Paket kennzeichnet eine eindeutige Sequenznummer
- Pakete werden kumulativ bestätigt
- nach Timeout erneute Übertragung aller unbestätigter Pakete



3 Beschreibung des SFC-Protokolls

Funktionen des SFC-Protokolls:

- sichere Übertragung über eine unzuverlässige Verbindung
- geringe zusätzliche Datenübertragungen über gemeinsam genutztes Übertragungsmedium

Eigenschaften des SFC-Protokolls:

- keine Bevorzugung einer festen Paketgröße
- keine Verklemmungsgefahr
- keine unnötigen Wartezeiten auf der Anwendungsschicht
- geringe Ressourcenauslastung des FPGAs

3.1 Flusskontrolle

- Knoten-zu-Knoten Flusskontrolle (Übertragungsprotokoll)
- Netzwerkzugriffsflusskontrolle (Übertragungsprotokoll)
- Netzwerkeingangs- zu Ausgangflusskontrolle (Übertragungsprotokoll)
- Ende-zu-Ende Flusskontrolle (SFC-Protokoll, Kredit-basiert)

3.2 Sichere Übertragung

- sichere Übertragung durch das Go-Back-N-ARQ Protokoll gewährleistet
- keine Unterstützung von NAK-Paketen

3.3 SFC-Protokollkontrollinformationen

- Sequenznummer und Bestätigungsnummer (sichere Übertragung)
- Kreditinformationen (Flusskontrolle)
- Nutzdatenlänge (Nutzdaten kürzen)
- Type-ID (Unterscheiden der empfangenen Daten einer höheren Schicht)

Sequenz- nummer	Bestätigungs- nummer	Kredit Feld		Nutzdaten Länge	Type ID	Nutzdaten
		n	m			

Pakettypen

- Datenpakete (transportieren Nutzerinformationen)
- Protokollpakete (RM-Pakete)
 - Verbindungsaufbaupakete
 - Bestätigungspakete (RR-Pakete)
 - Bestätigen Datenpakete
 - Kredit Aktualisierungspakete (CU-Pakete)
 - Informieren Sender über abgenommene Datenpakete
 - Kredit Kontrollpakete (CC-Pakete)
 - stellen Verklemmungsfreiheit sicher

SFC-Protokollparameter

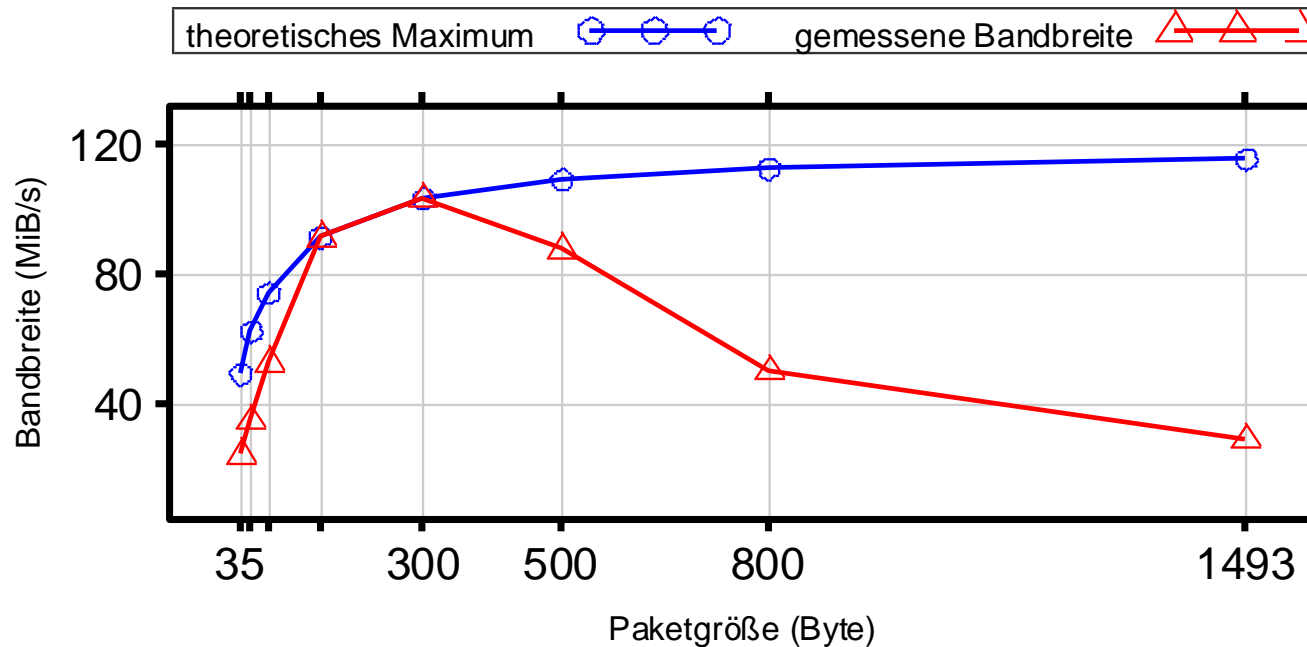
- Breiten der Protokollkontrollinformationen
- Fensteranzahl der gültigen Sequenznummern
- ungültige Startbestätigungsnummer
- ob und wie oft CC-Pakete übermittelt werden
- Sende-Timeout
- Piggyback-Timeout

4 Messergebnisse und deren Auswertung

Funktionsweise des SFC-Protokolls (FPGA *VHDL* und PC *Java*) nachweisbar:

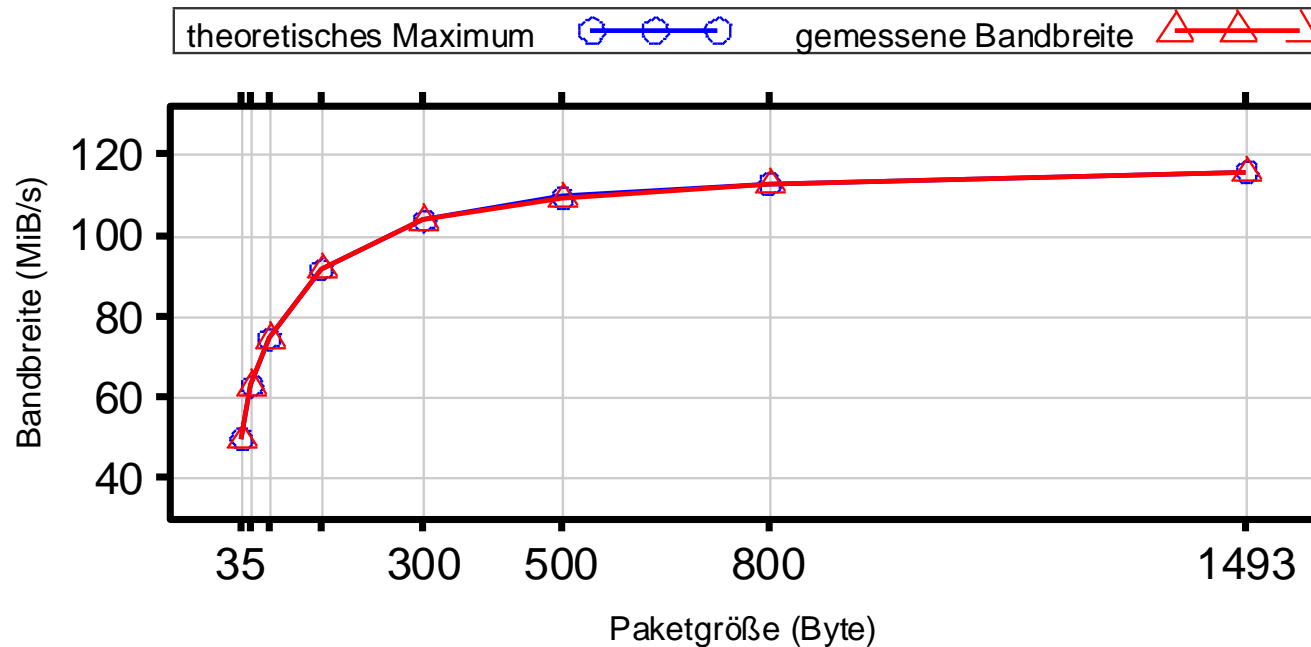
- Informationen werden übertragen, solange fehlerfreie Datenübertragungen möglich sind
- Datenpakete werden, trotz gestörter Übertragung, nicht vertauscht
- wiederholtes Senden stellt die korrekte Reihenfolge sicher

FPGA-FPGA-Ethernet



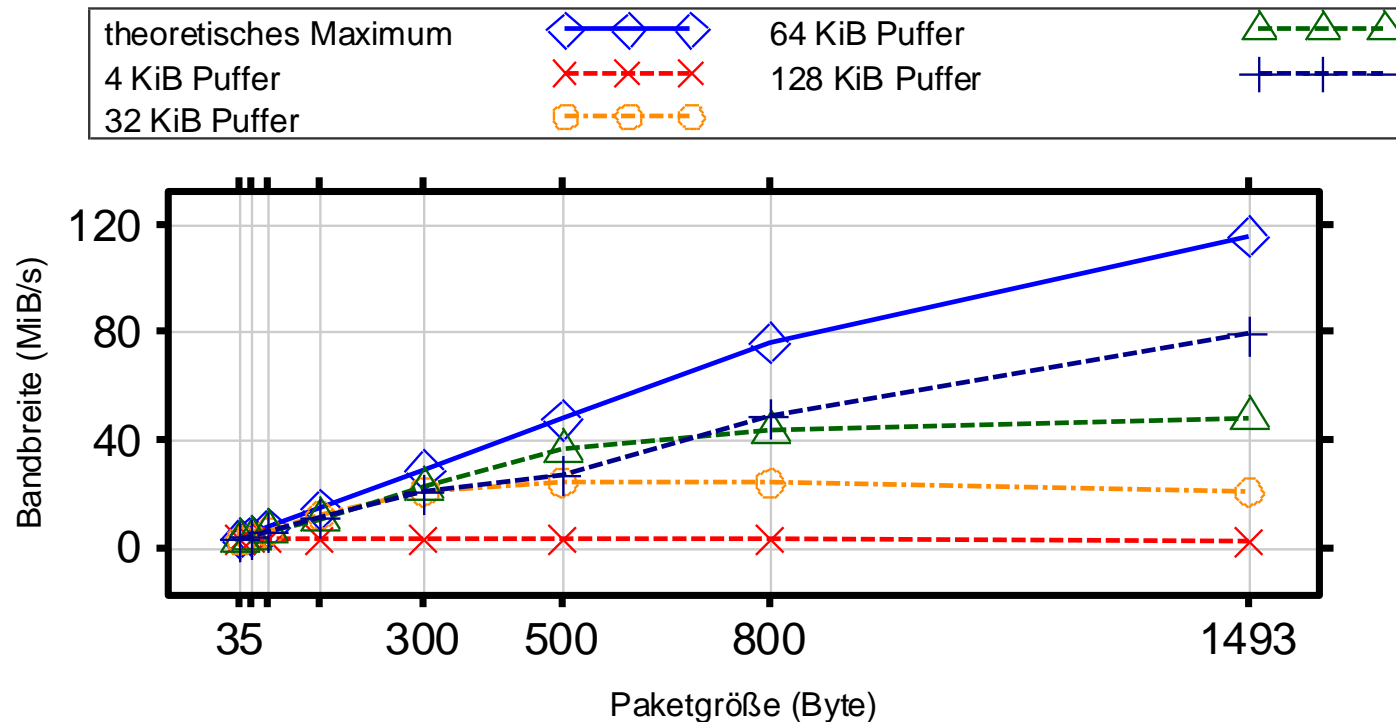
- 2 KiB Sende und Empfangspuffer beider FPGAs
- Simplex-Datenübertragung

FPGA-FPGA-Ethernet



- 16 KiB Sende- und Empfangspuffer
- Simplex-Datenübertragung

FPGA-PC-Ethernet



- PC empfängt Daten
- Simplex-Datenübertragung

Parameterabschätzung

Parameter	Abk.	Berechnung
Rundumlaufzeit	RTT	
Übertragungsrate	r	
bevorzugte Paketgröße	s	
Übertragungspufferkapazität (Sende- und Empfangspuffer)	c	$c = RTT \times r$
Sequenznummer Breite	b	$b = w \times c/s$
Bestätigungsnummer Breite	b	$b = w \times c/s$
Pufferfeld Multiplikator Breite	n	8 Bit
Pufferfeld Exponenten Breite	m	$m = \lceil \max(\log_2(c) - n, 0) \rceil$
Längenfeld Breite	l	$l = \lceil \max(\log_2(s), 0) \rceil$
Type-Feld Breite		
Fensteranzahl	w	4
Paket-Timeout	t	$t = 5 \times \lceil \max(RTT) \rceil$
CC-Timeout	c	$t = \lceil \max(RTT) \rceil$
Piggyback-Timeout	q	

5 Zusammenfassung und Ausblick

Ziele:

- Beschreibung eines Übertragungsprotokoll
- gesteuerte, sichere Übertragung
- parametrierbares Protokoll

Erreicht:

- Implementierungen des Protokolls für den PC und den FPGA
- Test der Implementierungen mittels Ethernet
(1 GBit/s; PC-PC, PC-FPGA, FPGA-FPGA)
- Test der Implementierungen mittels Aurora
(3 GBit/s; FPGA-FPGA)

Erweiterungsmöglichkeiten:

- Busprotokollimplementierung
- Implementierung der Flusskontroll-FPGA-Module (Ethernet und Aurora)
- Untersuchungen der byteweisen Ausrichtung der Headerelemente
- Untersuchungen einer Bevorzugung einer festen Paketgröße
- Untersuchung der Leistungsverbesserung einer C++-Implementierung
- Vergleich mit einer Implementierung eines TCP/IP-Protokolls

A Ausgewählte Quellen

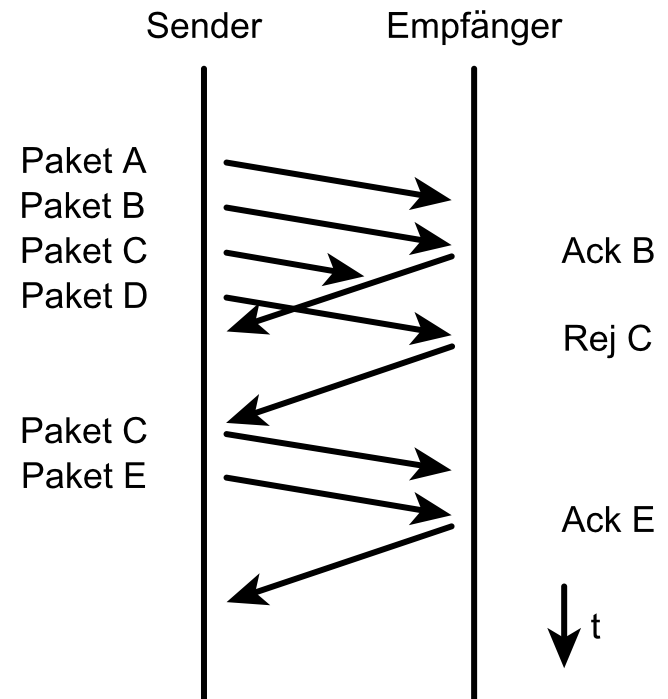
- [AgTa09] AGARWAL, B.; TAYAL, S.: *Computer Network*. University Science Press, 2009.
ISBN 978-8-1318-0497-1
- [Co02] COMER, D. E.: *Computernetzwerke und Internets - mit Internet-Anwendungen* (3. Aufl.).
Pearson Studium, Pearson Studium, 2002. – ISBN 978-3-8273-7023-5
- [GeK180] GERLA, M.; KLEINROCK, L.: *Flow Control: A Comparative Survey In: Communications,IEEE Transactions on*, Vol. 28 #4 (apr/1980), S. 553 – 574. – ISSN 0090–6778



»Wissen schafft Brücken.«

Selective-Reject-ARQ-Protokolle

- Übermittlung mehrerer unbestätigter Pakete
- jedes Paket kennzeichnet eine eindeutige Sequenznummer
- Pakete werden kumulativ bestätigt
- nach Timeout erneute Übertragung des betreffenden Paketes
- jedes nicht korrekt übermittelte Paket wird einzeln vom Empfänger nachgefordert



Ende-zu-Ende Flusskontrolle

- wird durch das SFC-Protokoll bereitgestellt
- basiert auf dem Prinzip der Kredit-basierten Flusskontrolle
 - keine Bevorzugung einer festen Paketgröße
- Kredit-Feld des SFC-Headers enthält transformierten Pufferfüllstand
($P = n \times 2^m$)

3.2 Sichere Übertragung

- sichere Übertragung durch das ARQ-Go-Back-N Protokoll gewährleistet
- keine Unterstützung von NAK-Paketen
 - keinen Einfluss auf die sichere Übertragung
 - möglicherweise größere Verzögerung bei selten eintretenden Paketverlust
 - geringerer Ressourcenverbrauch des FPGAs

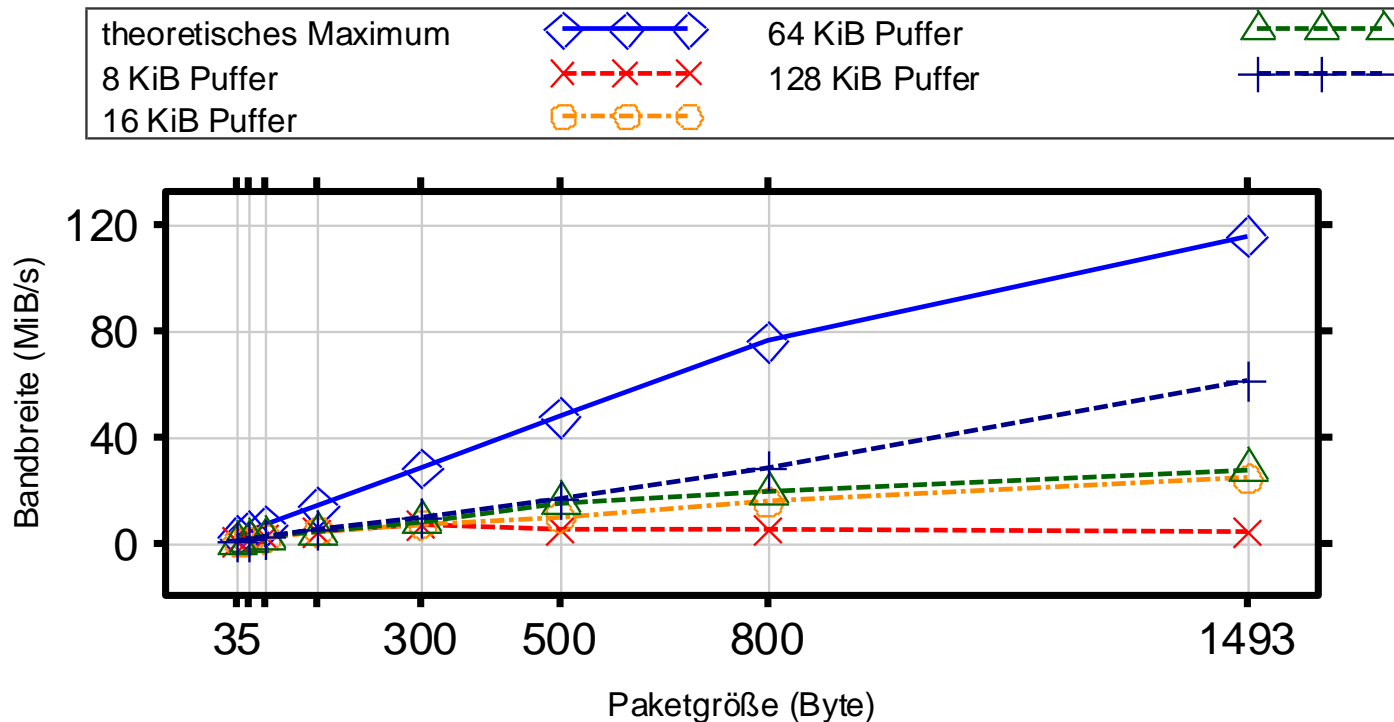
Testumgebung

	Linux PC
Betriebssystem	Debian (3.2.35, 64 Bit)
CPU	Intel Core2Duo P8600
Taktfrequenz	2×2.4 GHz
L1 Cache	2×32 KiB (Daten und Befehle je Kern)
L2/3 Cache	3 MiB L2 Cache
RAM	2 GiB (DDR2)
Taktfrequenz	800 MHz
Latenz	CL6, tRCD 6, tRP 6, tRAS 18
Java Version	Java 6 (1.6.0_38-b05)
Ethernet-Adapter	1GBit Intel 82567LM

SFC-Standardparameter

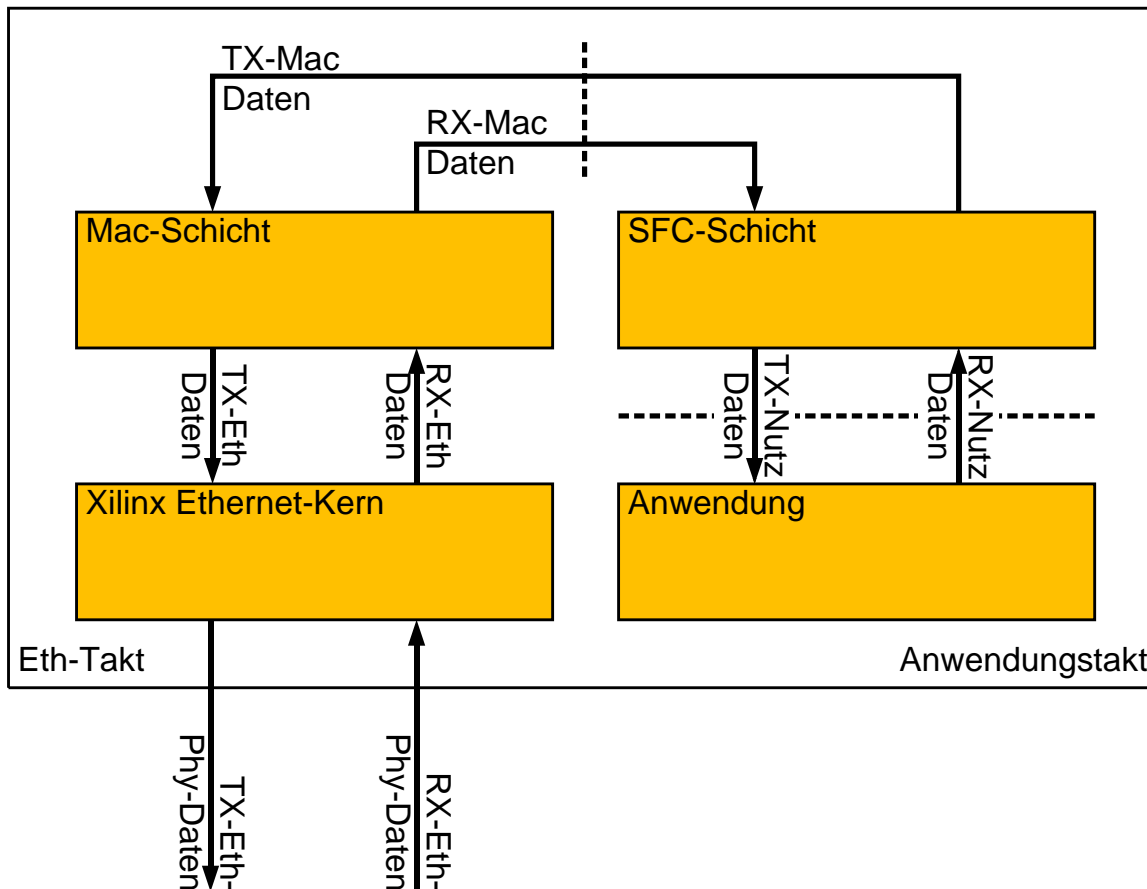
Parameter	Abkürzung	Wert
Sequenznummer Breite	b	12 Bit
Bestätigungsnummer Breite	b	12 Bit
Pufferfeld Exponenten Breite	m	4 Bit
Pufferfeld Multiplikator Breite	n	9 Bit
Längenfeld Breite	l	11 Bit
Type-Feld Breite	o	8 Bit (Ethernet) 16 Bit (Aurora)
Fensteranzahl	w	4
Paket-Timeout	t	500 ms
CC-Timeout	c	100 ms
Piggyback-Timeout	p	2 ms (PC) 7 Takte (PFGA)

FPGA-PC-Ethernet



- Simplex-Datenübertragung
- PC sendet Daten

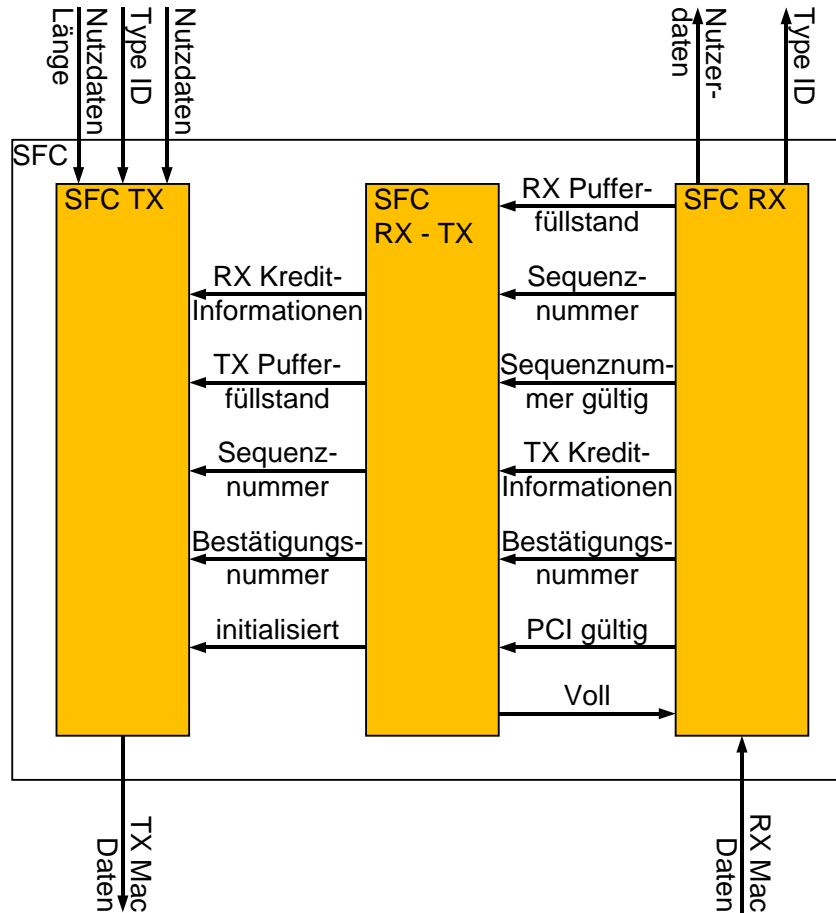
Taktdomänen



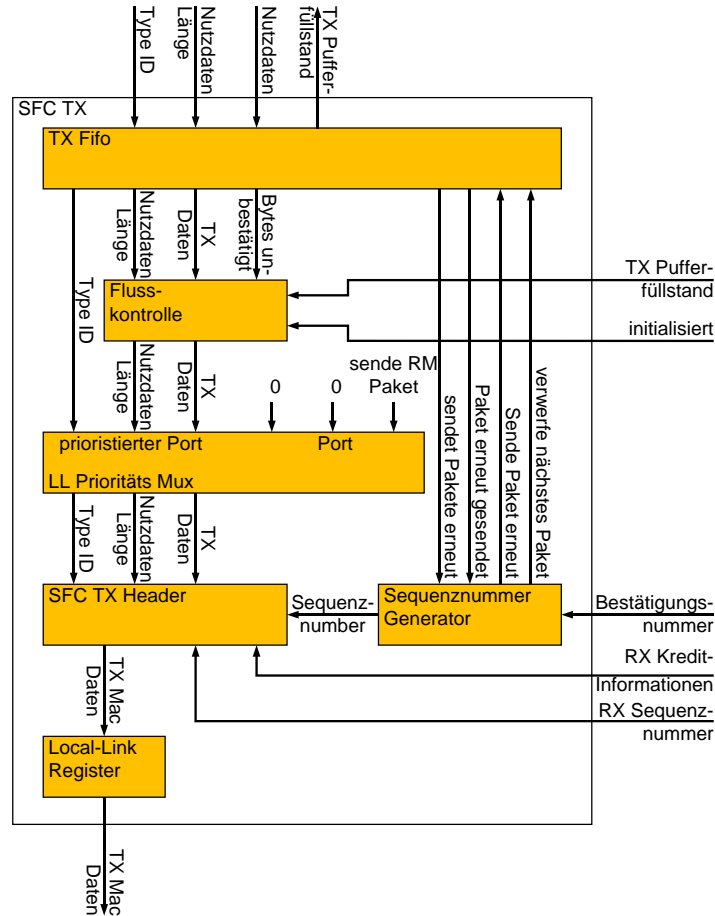
Ressourcenverbrauch 4K Puffer

Modul	Slices	Register	Luts	Block-Ram
Ethernet	904	1409	1901	8
Top	73	180	201	0
User	69	114	118	0
Sfc	538	681	1208	5
- TX	281	338	646	4
- RX	123	188	251	1
- TX-to-RX	134	155	311	0
Mac	35	29	76	0
Xilinx Eth-Kern	189	405	298	3

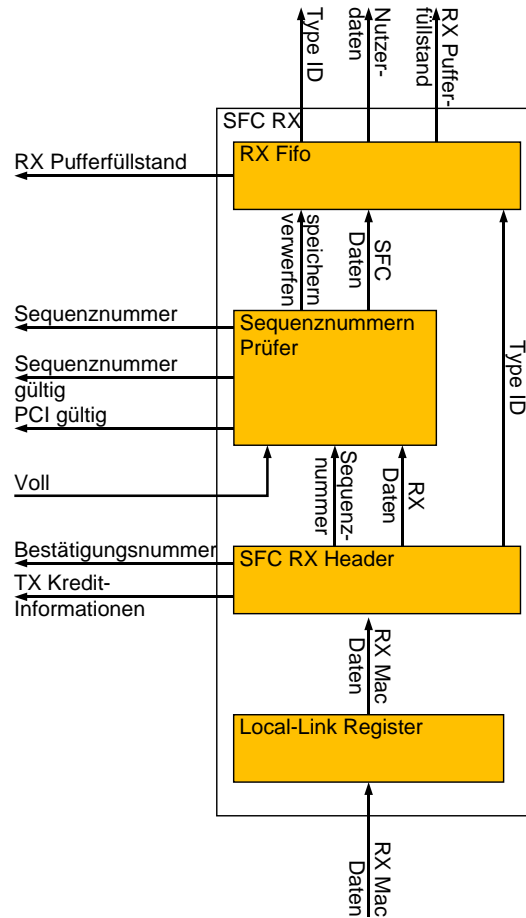
SFC-Hauptmodul



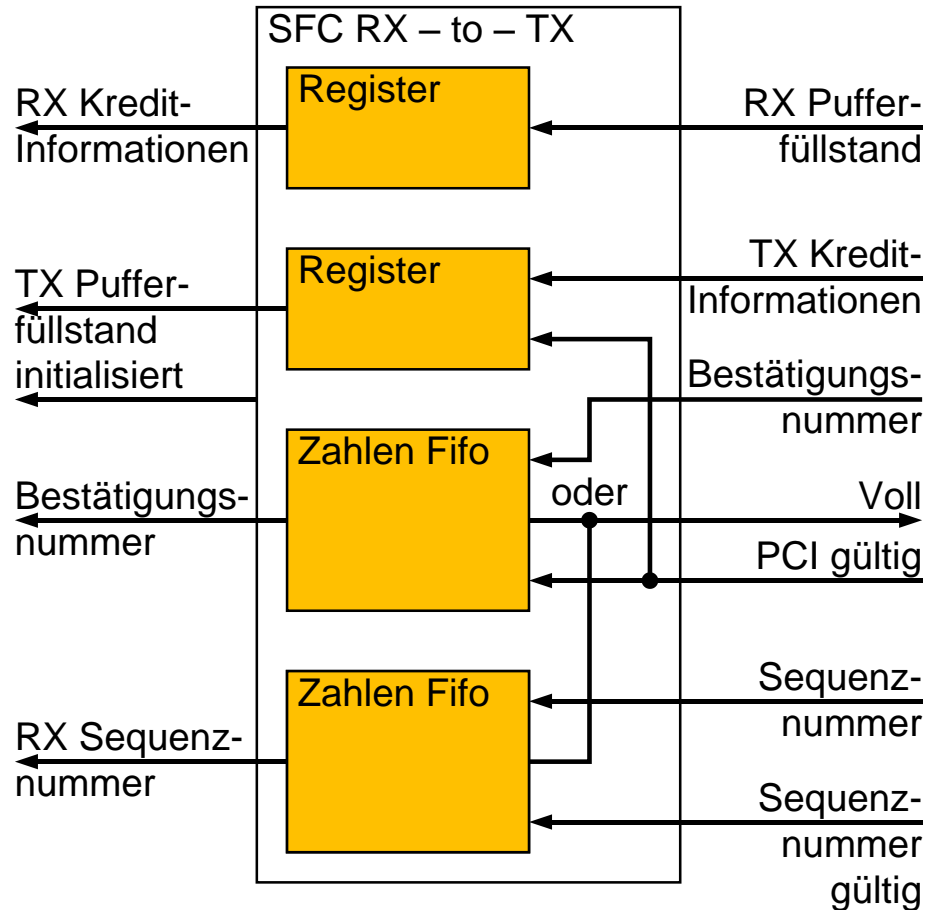
SFC-TX-Modul



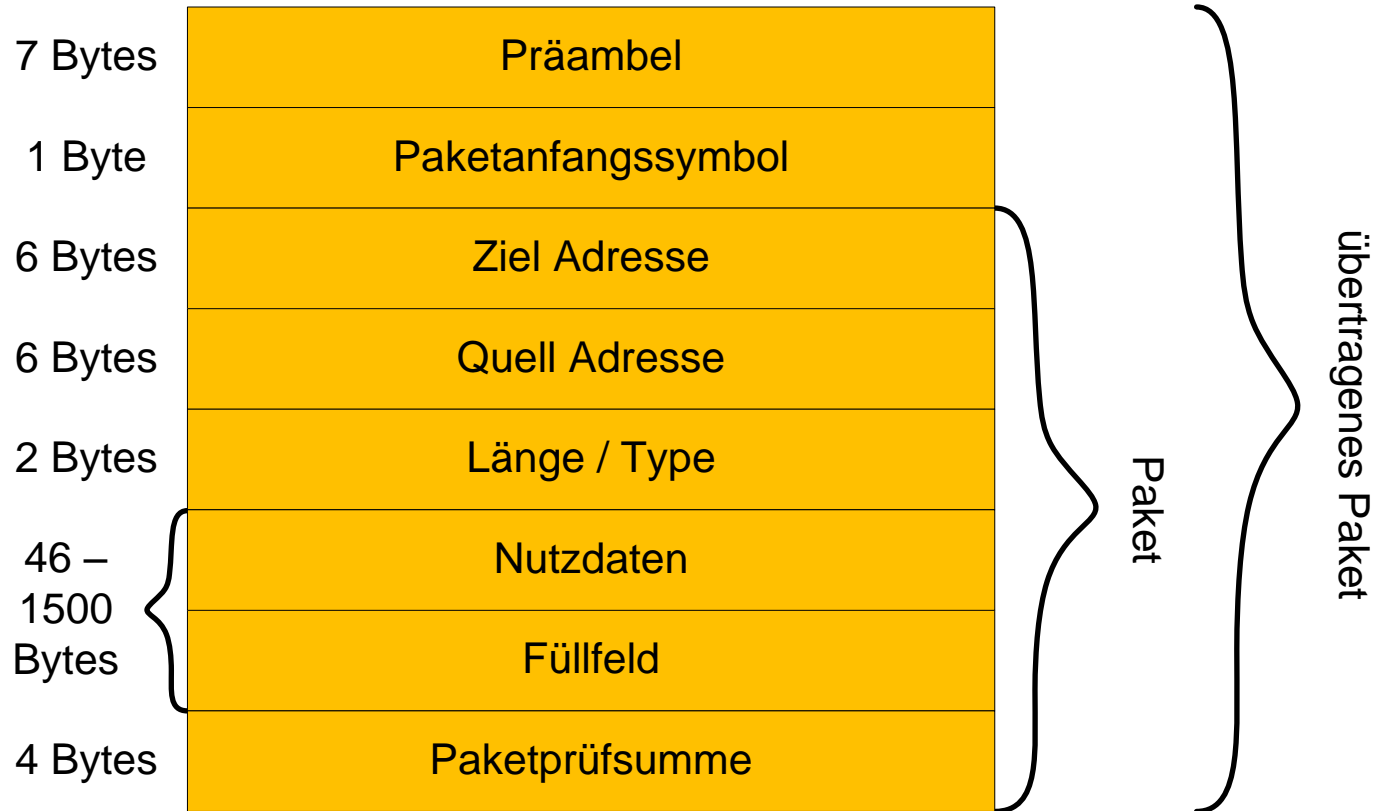
SFC-RX-Modul



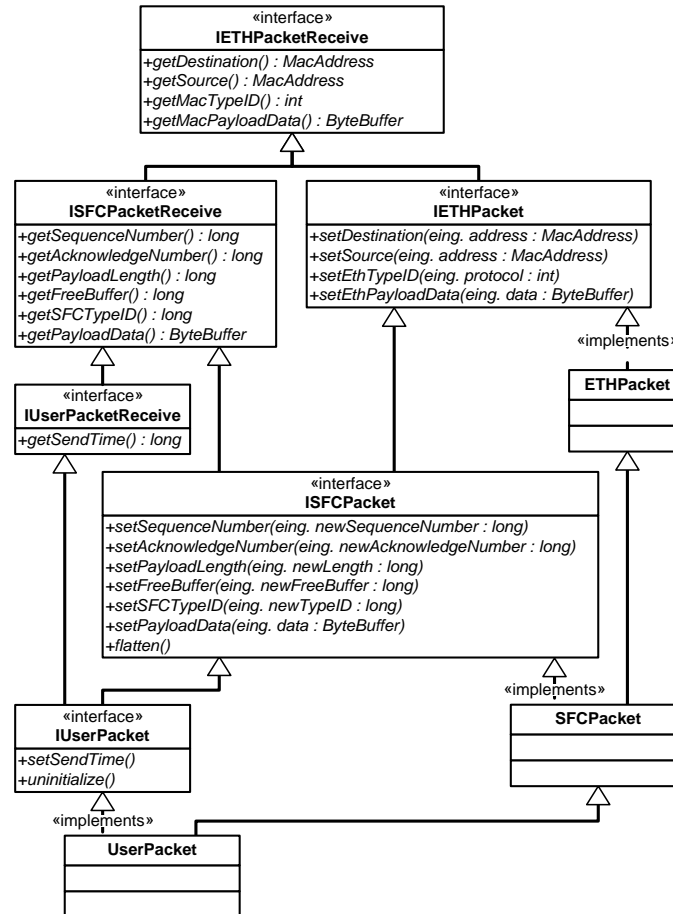
SFC-RX-zu-TX-Modul



Ethernet-Paketaufbau



Java Paketstruktur



Java physischer Leitungszugriffsstruktur

