



ENTWURF UND REALISIERUNG EINES SATA PHYSICAL LAYERS FÜR ALTERA STRATIX II GX FPGAS

Großer Beleg - Verteidigung

Thomas Frank

Dresden, 17. April 2013

Inhalt

1 Einleitung

Motivation und Ziele

2 Grundlagen

Serial ATA

Streaming optimierter SATA Controller

Altera Stratix II GX

3 Transceiverkonfiguration

Überblick

Vorgehen

Out of Band Signale

Taktquelle

SATA-fähige Konfiguration

4 Integration des Transceivermoduls

TransceiverLayer Schnittstelle

Anpassung des ATA-Streaming-Controllers

5 Messungen

6 Zusammenfassung

1 Einleitung

1 Einleitung

Motivation:

- Streaming-optimierter Serial-ATA-Controller vorhanden
- Portabilität des SATA-Controllers zeigen
- FPGA als Beschleuniger: hohe Datenmengen erforderlich
- SATA-Eignung des Altera Stratix II GX FPGAs nachweisen

Ziele:

- Gültige Transceiverkonfiguration für Verwendung von SATA
- Integration eines Altera-spezifischen Physical Layers in den SATA-Controller

2 Grundlagen

2 Grundlagen

Serial ATA - Allgemeines

- Schnittstelle für interne/externe Festplatten mit hoher Verbreitung
- Nachfolger von IDE/PATA → Treiber-Kompatibilität
- serielle Datenübertragung mit dezidiertem Sende- und Empfangskanal
- Kommunikationsschema halbduplex
- 3 Geschwindigkeiten:

Bezeichnung	Datenrate	Nutzdatenrate
SATA Revision 1.x	1,5 Gb/s	150 MB/s
SATA Revision 2.x	3,0 Gb/s	300 MB/s
SATA Revision 3.x	6,0 Gb/s	600 MB/s

2 Grundlagen

Serial ATA - Schichtenmodell

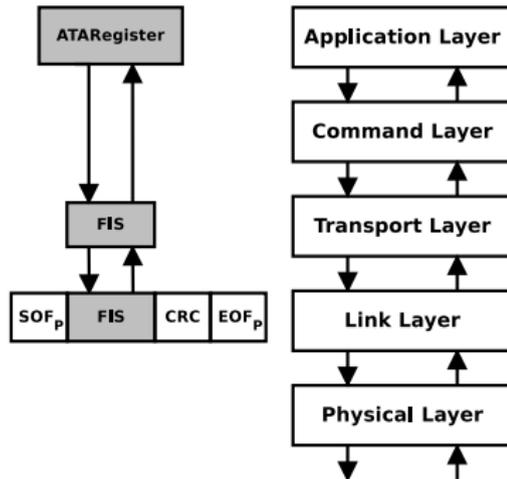


Abbildung nach [2]

Application Layer OS-Schnittstelle,
Schreib und Leseaufträge

Command Layer Protokoll auf
Transferebene, Adressübersetzung

Transport Layer FIS Erzeugung

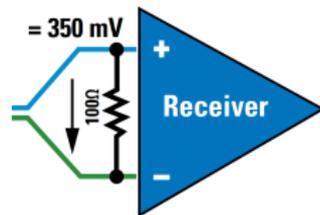
Link Layer Protokoll auf
Paketebene, CRC, Kodierung

Physical Layer Erkennung,
Initialisierung und Bereitstellung der
Verbindung

2 Grundlagen

Serial ATA - Physical Layer

- serielle Übertragung mit differenzieller Übertragungstechnik (LVDS)
- (De-)Serialisieren (SERDES)
- Taktsynchronisation/-rückgewinnung im Empfangspfad
- Ausgleich zwischen Empfangs- und Verarbeitungsrate (*Ratematching*)
- Finden des Byte- und Wortanfanges (*Alignment*)
- Verbindungsaufbau
- Erkennen/Erzeugen von *Out Of Band*-Signalen (OOB)



2 Grundlagen

Streaming-optimierter SATA Controller

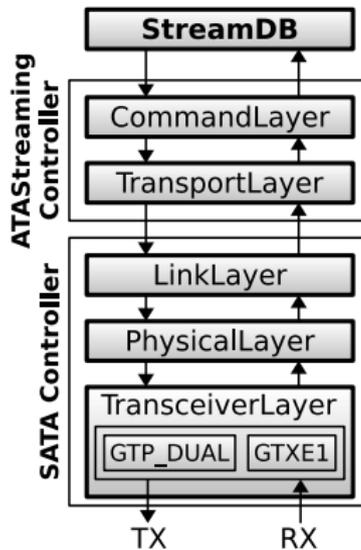


Abbildung nach [3]

- SATA Implementation für Xilinx Virtex 5 (GTP_DUAL) und Virtex 6 (GTXE1)
- Latenzminimierung durch sofortige Weiterleitung von Daten (Streaming)
- *StreamDB* als Beispielimplementierung für Applikationsschicht
- 32 Bit Datenpfad, variable Taktfrequenz
- *Portabilität:* Transceivermodul kapselt FPGA-spezifische Makros und stellt Controllertakt bereit
- 8b10b-Kodierung in TransceiverLayer verschoben

2 Grundlagen

Altera Stratix II GX

- FPGA Leistung vergleichbar Xilinx Virtex 5
- Transceiver (MGT) unterstützt Serielle Verbindungen bis zu 6,375 Gb/s somit SATA 6 Gb/s möglich
- SATA nicht offiziell unterstützt und kein SATA-Port vorhanden
- SATA-Port über SFP-Modul nachträglich hinzugefügt



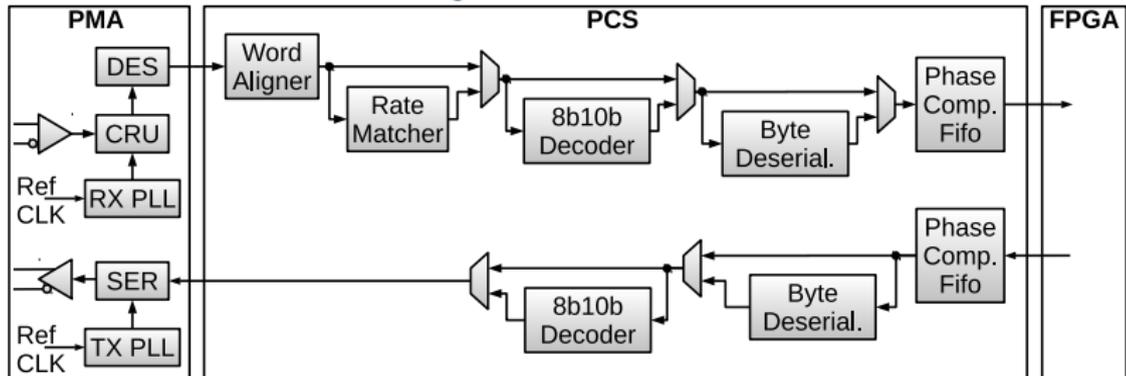
3 Transceiverkonfiguration

3 Transceiverkonfiguration

Überblick

- MultiGigaBit-Transceiver (MGT) besteht aus konfigurierbaren Elemente
- **Ziel:** SATA-fähige Konfiguration der Elemente

Transceiveraufbau (Abbildung vereinfacht nach [1])



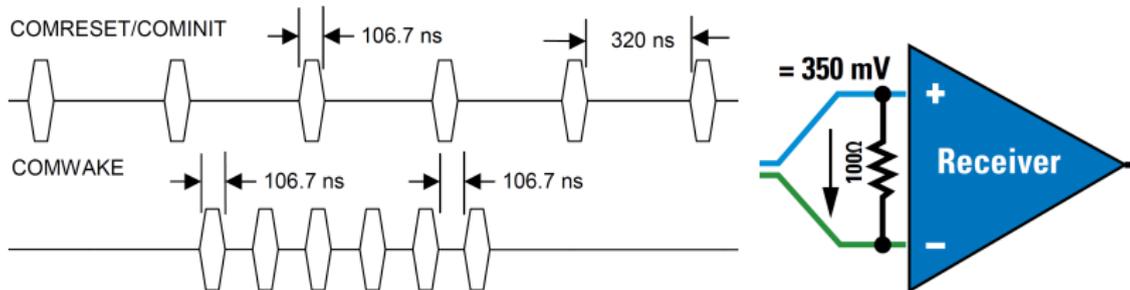
3 Transceiverkonfiguration

Vorgehen

- Konfigurationstool *MegaWizard* erlaubt nur vorbestimmte Transceivereinstellungen
- Empirisches Vorgehen:
- mehrere Konfiguration mit MegaWizard erzeugen
 - wichtige Konfigurationsparameter der Modulinstanziierungen identifizieren
 - Instanziierung für SATA anpassen und mit Logikanalysator testen
- **Beispiel:**
Threshold für Erkennung des *Electrical Idle* Zustandes undokumentiert
→ mehrere Tests mit Festplatten für nutzbaren Wert notwendig

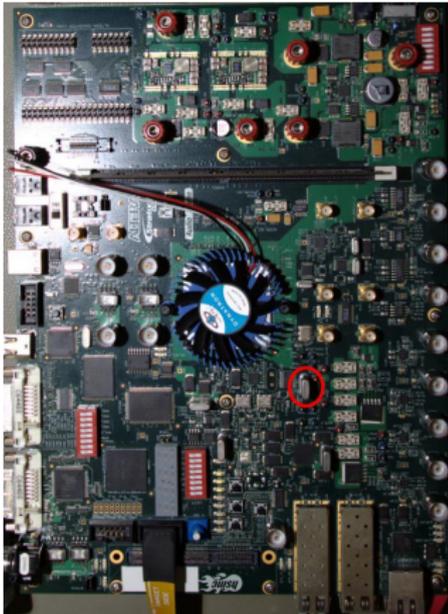
3 Transceiverkonfiguration Out Of Band Signale

- 3 OOB-Signale: *COMRESET*, *COMINIT*, *COMWAKE*
- Aufbau: 6 Datenbursts (*ALIGN_p*) durch *Electrical-Idle* getrennt
- in jeder Übertragungsgeschwindigkeit gleiche Dauer
- Nutzung der Transceiver-Signale *rx_signaldetect* und *tx_forceelecidle*



3 Transceiverkonfiguration

Taktquelle

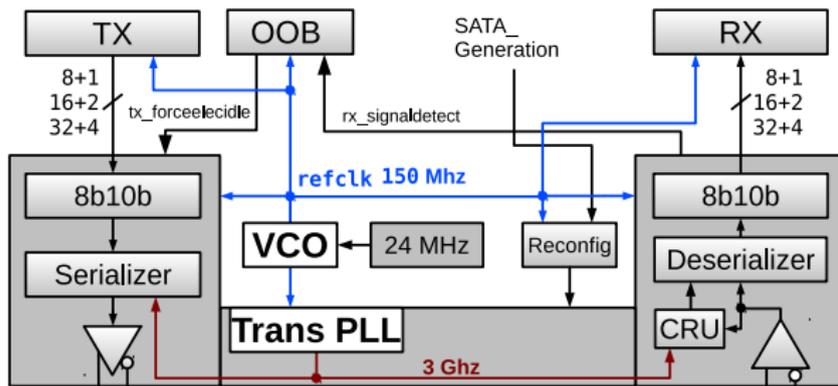


- für SATA 6,0 Gb/s ist Taktquelle von mind. 150 MHz nötig
 - Altera Stratix II GX AV Entwicklungsboard besitzt keine geeignete Taktquelle, dafür konfigurierbaren VCO
- Austausch der Taktquelle (Quarzoszillator) des VCOs
- Konfiguration des VCOs für 150 MHz

3 Transceiverkonfiguration

SATA-fähige Konfiguration

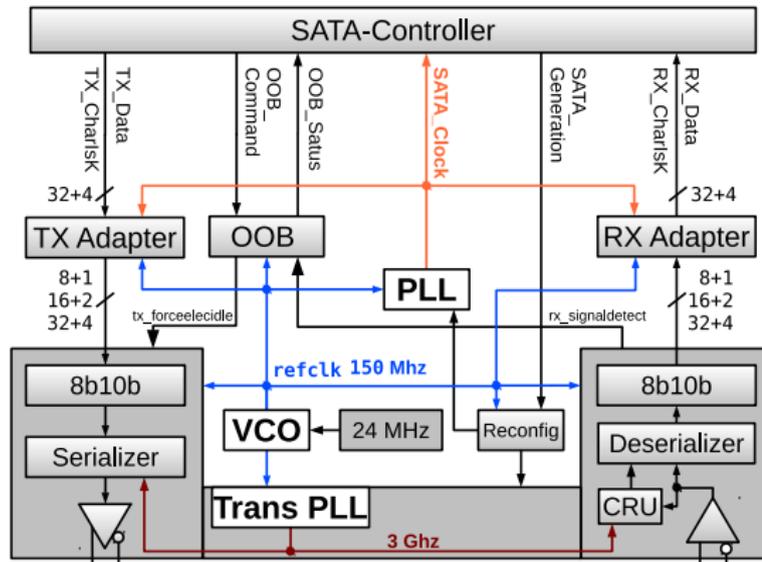
- Bandbreiten gesteuerter Transceiver mit konstanten Referenztakt (*refclk*) von 150 MHz
- SATA 6,0 Gb/s: SERDES-Komponenten in *double datarate*
- SATA Geschwindigkeitsumschaltung über *SATA_Generation* Signal



4 Integration des Transceivermoduls

4 Integration des Transceivermoduls

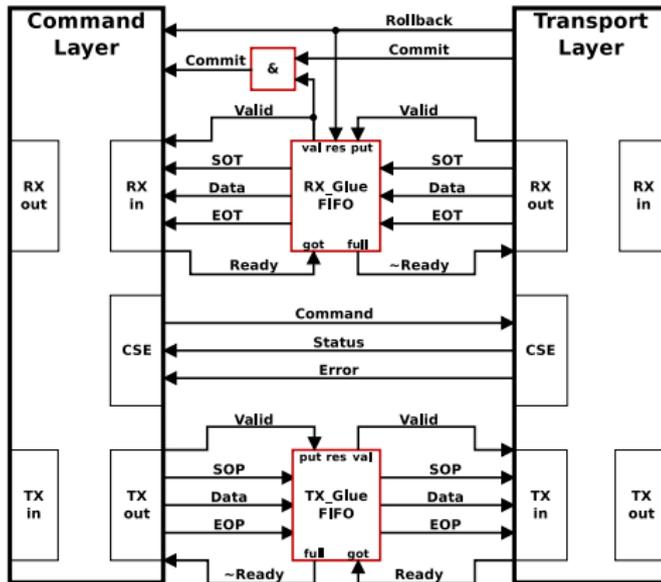
TransceiverLayer Schnittstelle



- *SATA_Clock* ist Taktsignal für Schichten des SATA-Controllers
- *RX/TX Adapter* realisieren Takt-domänenübergang der Daten
- *RX Adapter* zusätzlich für *Word-Alignment* und *Ratematching* zuständig

4 Integration des Transceivermoduls

Anpassung des Streamingcontrollers

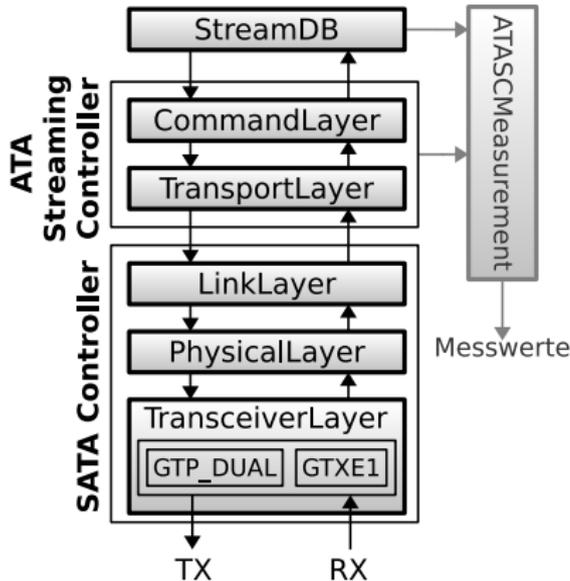


- lange kombinatorische Pfade durch große State machines
- Pipelinestufe durch einstufigen FIFO
- Taktfrequenz 150 MHz für SATA 6,0 GB/s erreicht

5 Messungen

5 Messungen

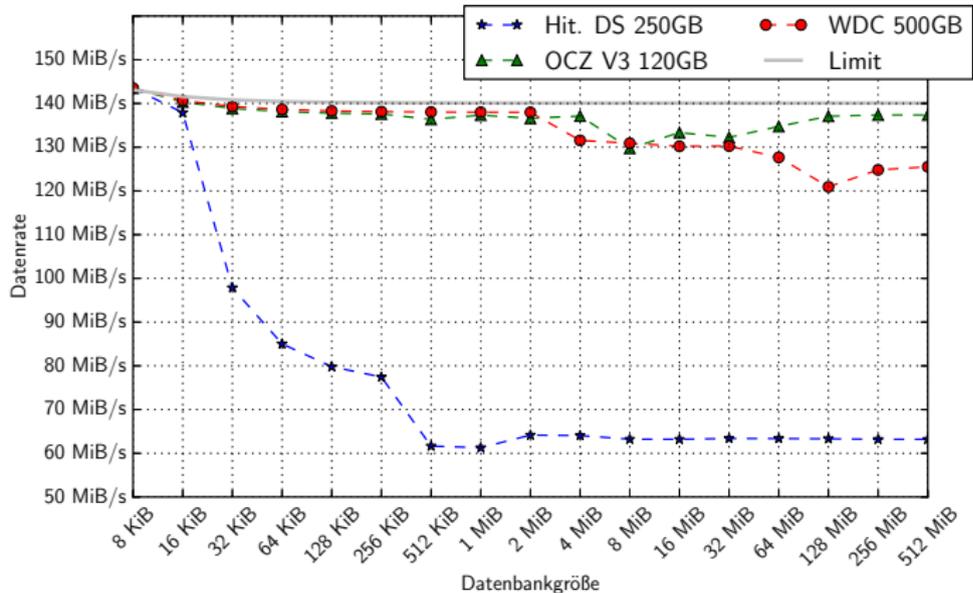
Messverfahren



- *ATASCMMeasurement* aus [3] zum Messen
- Messung mit Taktzählern
- Zählerwerte über FIFO abrufbar, ausgelesen mit *SignalTap*
- Messwerte: Takte ab vollständigen Erhalt des ersten FIS (SODB) bis zu letzten FIS (EODB)

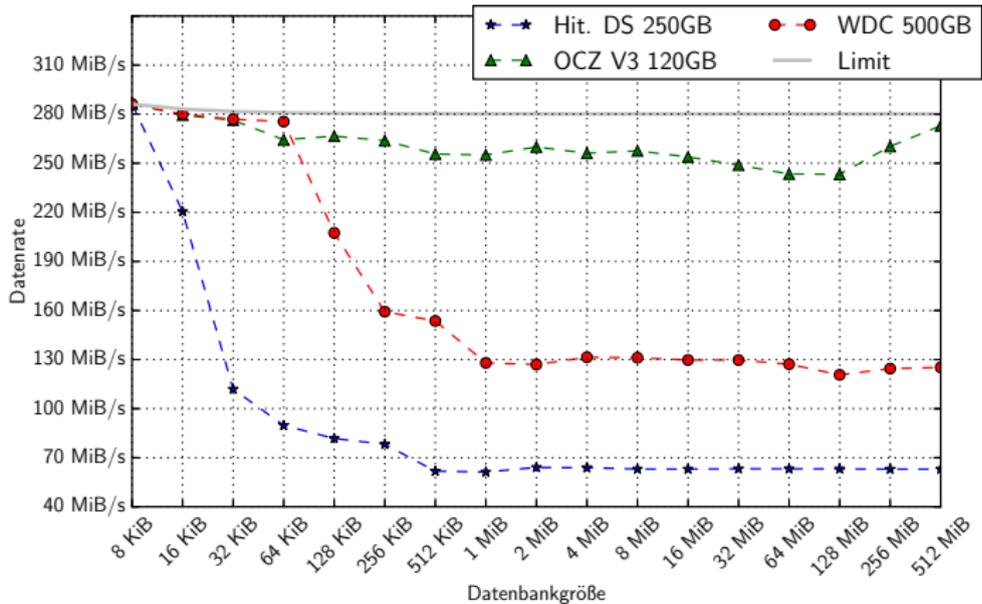
5 Messungen

SATA 1,5 Gb/s



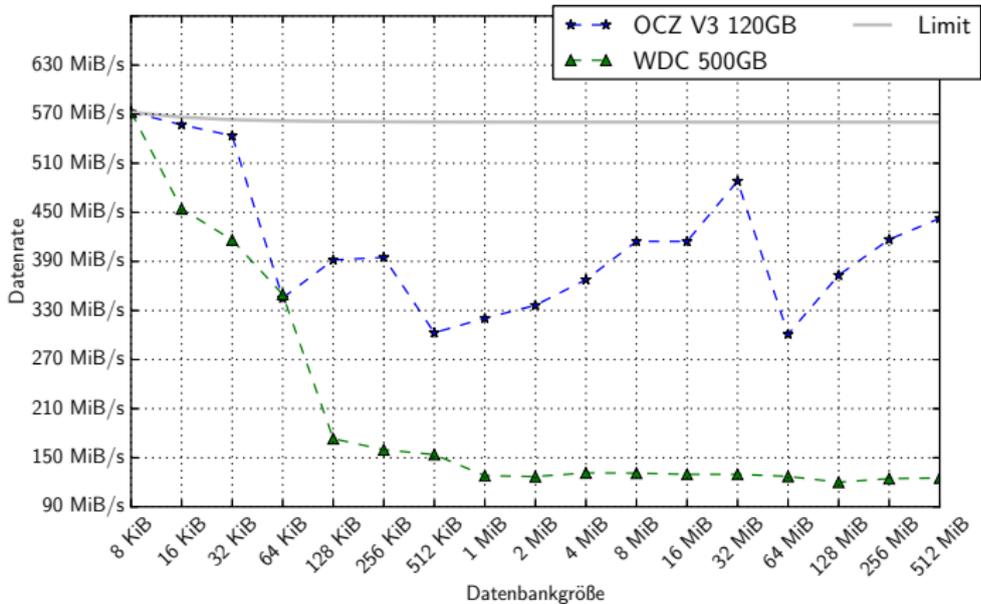
5 Messungen

SATA 3,0 Gb/s



5 Messungen

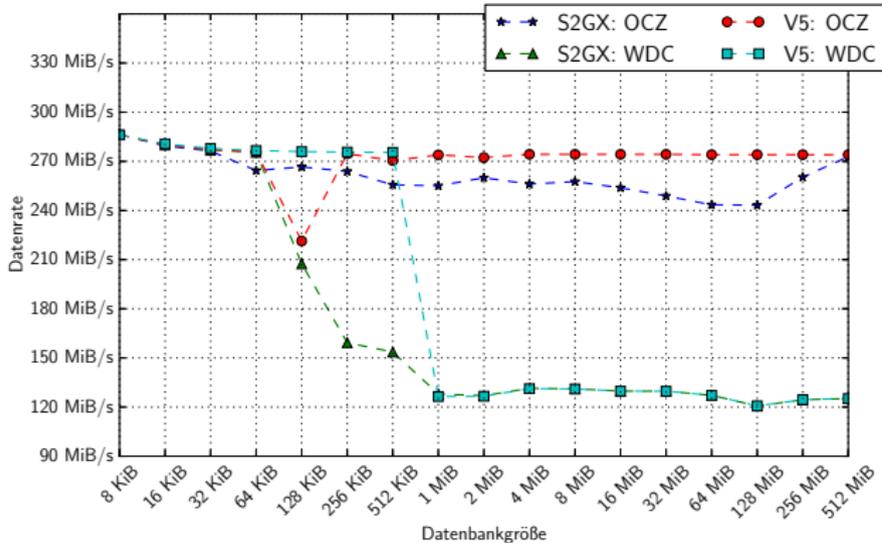
SATA 6,0 Gb/s



5 Messungen

SATA 3,0 Gb/s: Vergleich Altera und Xilinx

- Xilinx Virtex 5 (V5) unterstützt maximal SATA 3,0 Gb/s



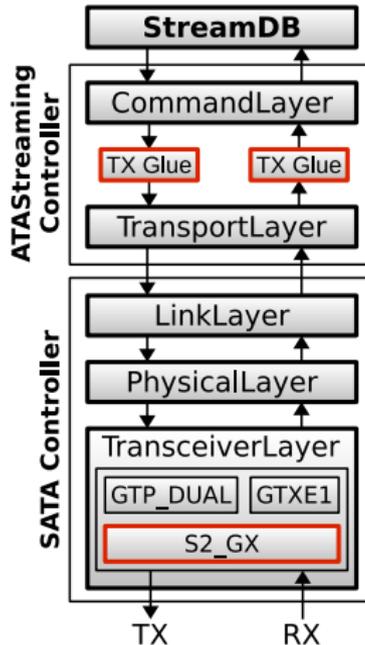
5 Messungen

Ressourcenbedarf

	ALM	Reg.	ALUT	M4K	Clocks	PLL
Streaming-Ctrl	704	621	530	35	0	0
SATA-Ctrl	1.169	976	934	37	4	1
Trans-Layer	417	465	203	2	4	1
Gesamt	1873	1597	1464	72	4	1
Anteil(%)	5	2	2	18	6	12,5

6 Zusammenfassung

6 Zusammenfassung



- Funktionierende Transceiverkonfiguration für SATA mit Altera Stratix II GX
- Unterstützung für alle 3 Übertragungsgeschwindigkeiten
- Integration der Transceiverkonfiguration in Streaming-optimierten SATA Controller
- Anpassung des Controllers für SATA 6,0 Gb/s auf 150 MHz Verarbeitungstakt

Ausgewählte Quellen

- [1] Altera.
Stratix II GX Device Handbook, siigx5v1-4.3 edition, 2007.
- [2] D. Anderson.
SATA Storage Technology: Serial ATA.
MindShare technology series. MindShare Press, 2007.
- [3] P. Lehmann.
Implementierung eines auf Streaming optimierten
SATA-Host-Bus-Adapters (HBA).
Bachelorarbeit, Technische Universität Dresden, 2012.
- [4] SerialATA Workgroup.
Serial ATA: High Speed Serialized AT Attachment, 1.0a edition.



»Wissen schafft Brücken.«