

Übersicht aktueller heterogener FPGA-SOCs

Vortrag zum Lehrstuhlseminar

Tilo Zschau
tilo.zschau@mailbox.tu-dresden.de

Dresden, 12. Dezember 2013



Gliederung

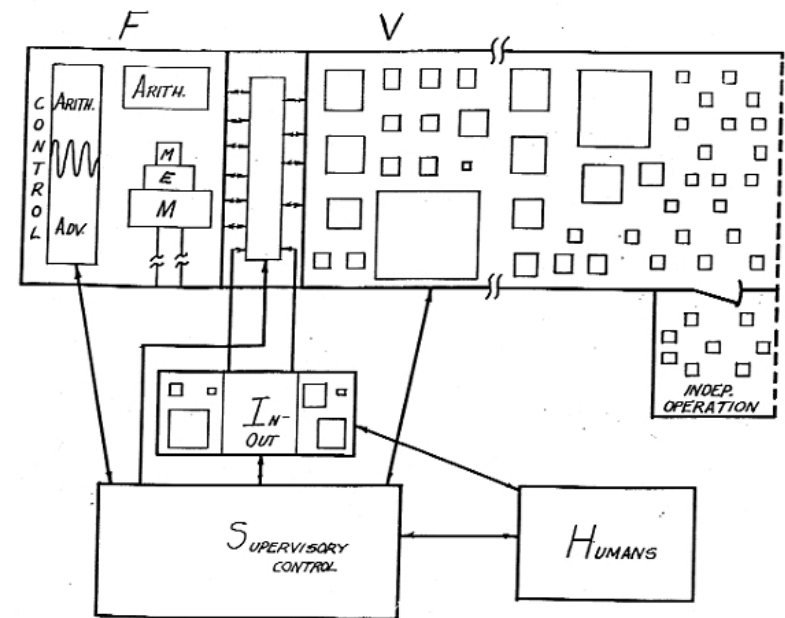
- 1. Einführung**
- 2. Anfänge rekonfigurierbarer Computersysteme**
- 3. Entwicklung bis heute**
- 4. Übersicht (ausgewählter) aktueller FPGA SoC**
 - I. Xilinx Zynq 7000 AP SoC**
 - II. Altera Cyclone V SoC**
 - III. Microsemi SmartFusion2**
- 5. Gegenüberstellung**

01 Einführung

- **FPGA-SoC**
 - Kombination eines in Hardware vorliegenden Prozessors (Hard-IP-Core) mit einer FPGA Struktur auf einem Chip (SoC)
 - Ausnutzung der Flexibilität der programmierbaren Logik
- **Vorteile:**
 - Reduzierter Platzbedarf auf der Platine
 - Geringer Hardwareaufwand
 - Energieeffizienz
 - Möglichkeit jeden I/O-Standard zu unterstützen
 - Verlängerte Lebensdauer durch die Möglichkeit von Hardwareupdates
 - (...)

02 Anfänge rekonfigurierbarer Computersysteme

- 1960 von Gerald Estrin vorgestelltes Konzept eines rekonfigurierbaren Computersystems
- Basierend auf einem General-Purpose-Computer (F) und einer rekonfigurierbaren Struktur (V)



Quelle: [EG02]

03 Entwicklung bis heute

- **Anfangs: Zusammenschaltung von Prozessor und FPGA auf einer Platine**
 - Komponenten als separate Baugruppen (teilweise auch mehrere FPGAs)
 - Kommunikation mittels Schnittstelle → Flaschenhals
- **Heute: alles auf einem Chip (System-on-Chip, SoC)**
 - Steigende Integrationsdichte und zunehmende Strukturfeinheit in der Halbleitertechnik ermöglichen dies
 - Kommunikation erfolgt nun über schnelle und breite interne Busstrukturen

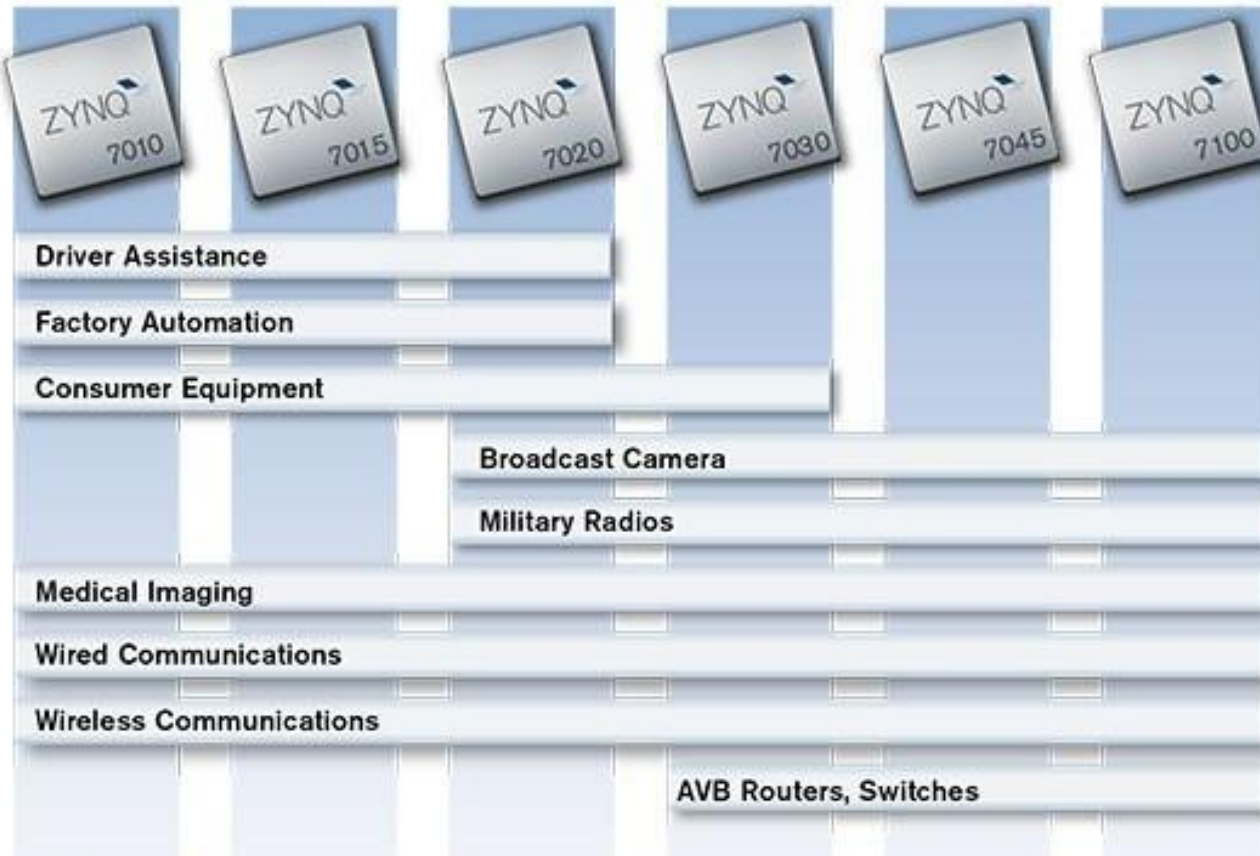
04 Übersicht aktueller FPGA SoC

I. Xilinx Zynq 7000 All Programmable SoCs



Quelle: [EET]

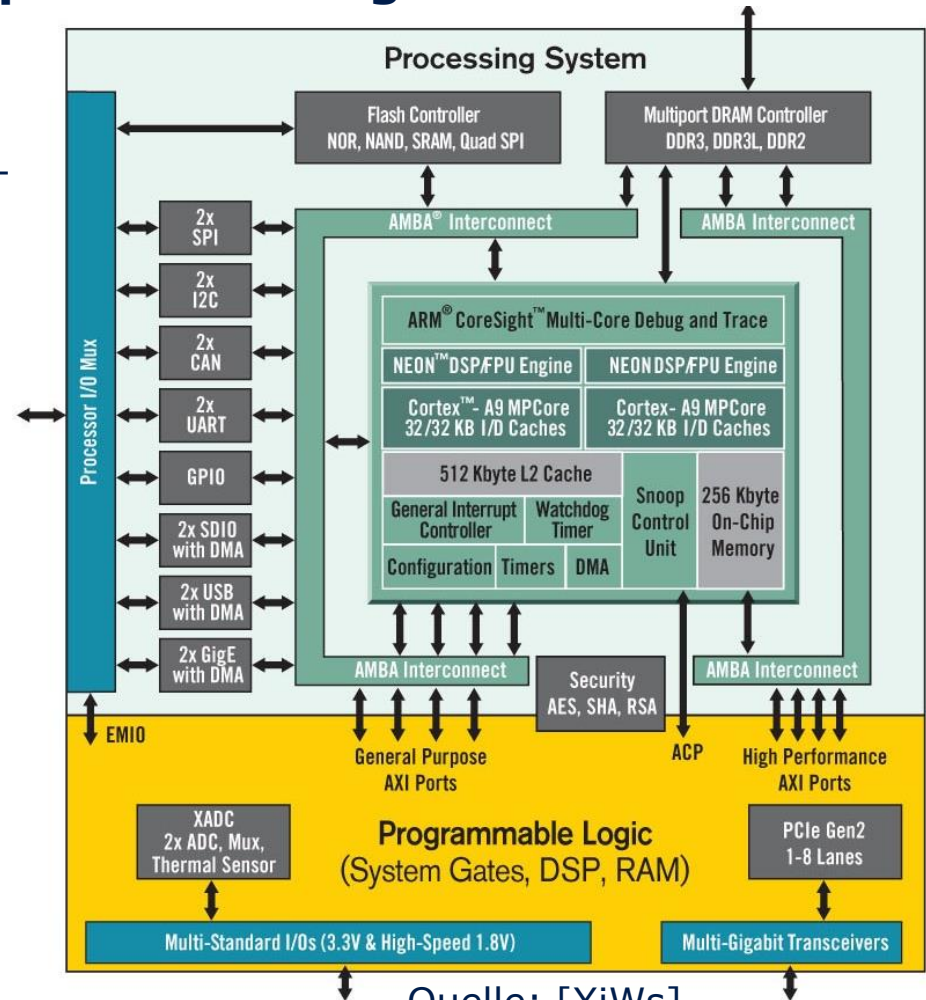
Übersicht der Zynq-7000 Familie und Anwendungsfelder



Quelle: [XiWs]

Blockdiagramm des Zynq-7000 All Programmable SoC

- **28nm Fertigungstechnik**
- **Prozessor System**
 - Dual-core ARM® Cortex™-A9 Based Application Processor Unit (APU)
 - Interconnect ARM AMBA® AXI
 - I/O Peripherie
 - Speicher Interfaces
- **Programmierbare Logik**
 - Dynamisch, partiell Rekonfigurierbar
 - Complex Logic Block
 - 6er LUTs
 - 16 Flip-Flops
 - 2x4Bit Addierer
 - 36Kb Block RAM
 - 48 Bit Digital Signal Prozessor



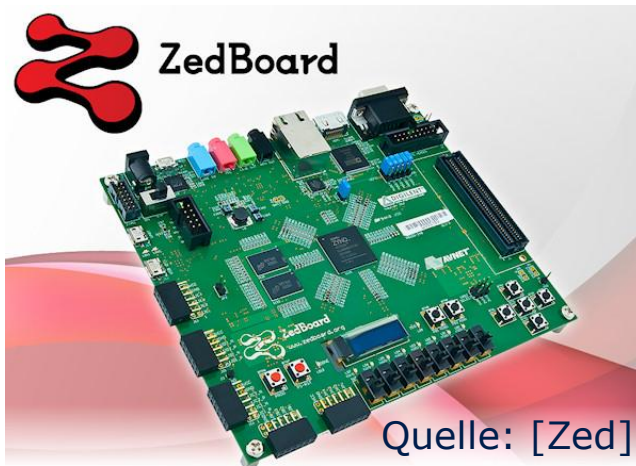
Quelle: [XiWs]

Übersicht programmierbare Logik der Zynq-7000 Familie

Zynq-7000 All Programmable SoC							
Device Name	Z-7010	Z-7015	Z-7020	Z-7030	Z-7045	Z-7100	
Part Number	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z045	XC7Z100	
Xilinx 7 Series Programmable Logic Equivalent	Artix®-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex®-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	
Programmable Logic Cells (Approximate ASIC Gates) ⁽³⁾	28K Logic Cells (~430K)	74K Logic Cells (~1.1M)	85K Logic Cells (~1.3M)	125K Logic Cells (~1.9M)	350K Logic Cells (~5.2M)	444K Logic Cells (~6.6M)	
Look-Up Tables (LUTs)	17,600	46,200	53,200	78,600	218,600	277,400	
Flip-Flops	35,200	92,400	106,400	157,200	437,200	554,800	
Extensible Block RAM (# 36 Kb Blocks)	240 KB (60)	380 KB (95)	560 KB (140)	1,060 KB (265)	2,180 KB (545)	3,020 KB (755)	
Programmable DSP Slices (18x25 MACCs)	80	160	220	400	900	2,020	
Peak DSP Performance (Symmetric FIR)	100 GMACs	200 GMACs	276 GMACs	593 GMACs	1,334 GMACs	2,622 GMACs	
PCI Express® (Root Complex or Endpoint)	—	Gen2 x4	—	Gen2 x4	Gen2 x8	Gen2 x8	
Analog Mixed Signal (AMS) / XADC	2x 12 bit, MSPS ADCs with up to 17 Differential Inputs						
Security ⁽²⁾	AES and SHA 256b for Boot Code and Programmable Logic Configuration, Decryption, and Authentication						

Quelle: [DS190]

Entwicklerboards der Zynq-7000 Familie



ZedBoard Zynq™-7000 (319\$ bzw. 395\$)



Xilinx ZC702 Evaluation Kit (895\$)

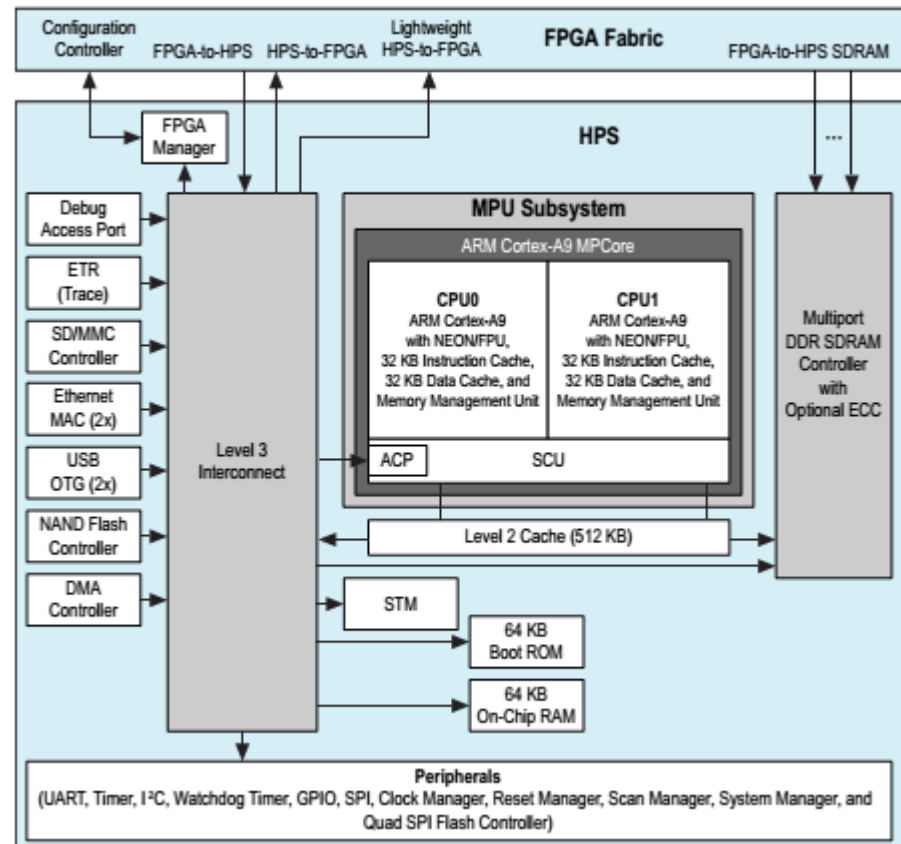
II. Altera Cyclone V SoC



Quelle: [AIWs]

Blockdiagramm des Altera Cyclone V SoC

- **28nm Fertigungstechnik**
- **Prozessor System**
 - Dual-core ARM® Cortex™-A9 Based Application Processor Unit (APU)
 - HPS-FPGA Bridges
 - I/O Peripherie
- **Programmierbare Logik**
 - Dynamisch, partiell Rekonfigurierbar
 - Hard-IPs (DSP, PCIe, Speicher Kontroller)
 - Adaptive Logik Module
 - 8er LUTs
 - 4 Register
 - 2 Voll-Addierer
 - 4 Multiplexer
 - 10Kb Block RAM mit ECC



Quelle: [AIPo]

Übersicht verfügbarer Ressourcen der Cyclone V SoCs

Ressourcen	Cyclone V SE SoC	Cyclone V SX SoC	Cyclone V ST SoC
Logik Elemente	25-110K	25-110K	85-110K
Adaptive Logik Module/LUTs	9.434-41.509	9.434-41.509	32.075-41.509
Register	37.736-166.036	37.736-166.036	128.300-166.036
#10KB Block RAM	140-557	140-557	397-557
DSP Block	36-112	36-112	87-112
18x18 Multiplizierer	72-224	72-224	174-224
#Transceiver	-	3 Gbps, 6-9	5 Gbps, 9
LVDS Sender	31-71	31-72	72
LVDS Empfänger	35-72	35-72	72

MLAB..Memory Logic Array Block
LVDS..Low Voltage Differential Signaling

Entwicklerboards der Cyclone V Familie



Quelle: [AIWs]

Altera Cyclone V SX SoC Development Board (1595\$)

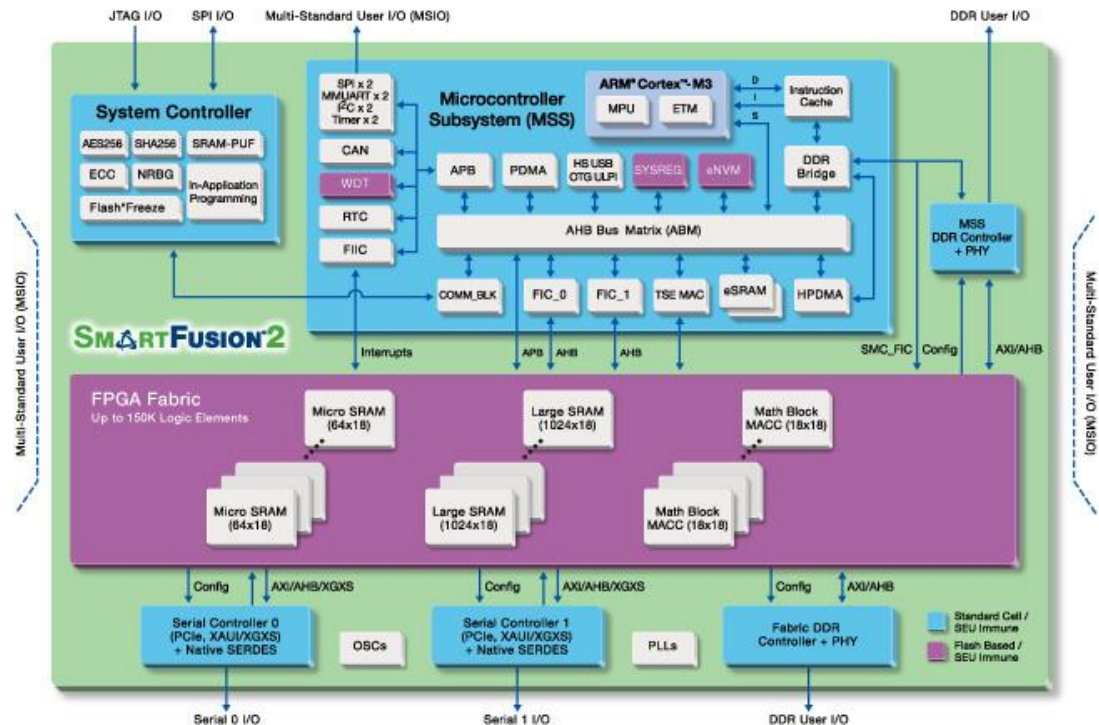
III. Microsemi SmartFusion2



Quelle: [AcWs]

Blockdiagramm des SmartFusion2 SoC FPGA

- **65 nm Fertigungstechnik**
- **Prozessor System**
 - 32 Bit ARM® Cortex™-M3 Processor
 - Fabric Interface Controller
 - I/O Peripherie
- **Programmierbare Logik**
 - Logik Modul
 - 4er LUTs
 - separate Flip-Flops
 - Dedizierter Carry-Chain
 - Micro SRAM
 - Large SRAM
 - Mathblocks



Quelle: [MiWs]

Übersicht der Ressourcen der SmartFusion2 SoCs

Features		M2S005	M2S010	M2S025	M2S050	M2S090	M2S100	M2S150
Logic/ DSP	Maximum Logic Elements (4LUT + DFF)*	6,060	12,084	27,696	56,340	86,316	99,512	146,124
	Math Blocks (18x18)	11	22	34	72	84	160	240
	PLLs and CCCs	2		6		8		
Security	AES256, SHA256, RNG	1 each				1 each		
	ECC, PUF	-				1 each		
MSS	Cortex-M3 + instruction cache	Yes						
	eNVM (Kbytes)	128	256		512			
	eSRAM (Kbytes)	64						
	eSRAM (Kbytes) Non-SECDED)	80						
	CAN, 10/100/1000 Ethernet, HS USB	1 each						
	Multi-Mode UART, SPI, I2C, Timer	2 each						
Fabric Memory	LSRAM 18K Blocks	10	21	31	69	109	160	236
	uSRAM 1K Blocks	11	22	34	72	112	160	240
	Total RAM (Kbits)	191	400	592	1,314	2,074	3,040	4,488
High Speed	DDR Controllers (Count x Width)	1x18			2x36	1x18	2x36	
	SERDES Lanes	0	4	8	4	8	16	
	PCIe Endpoints	0	1	2		4		

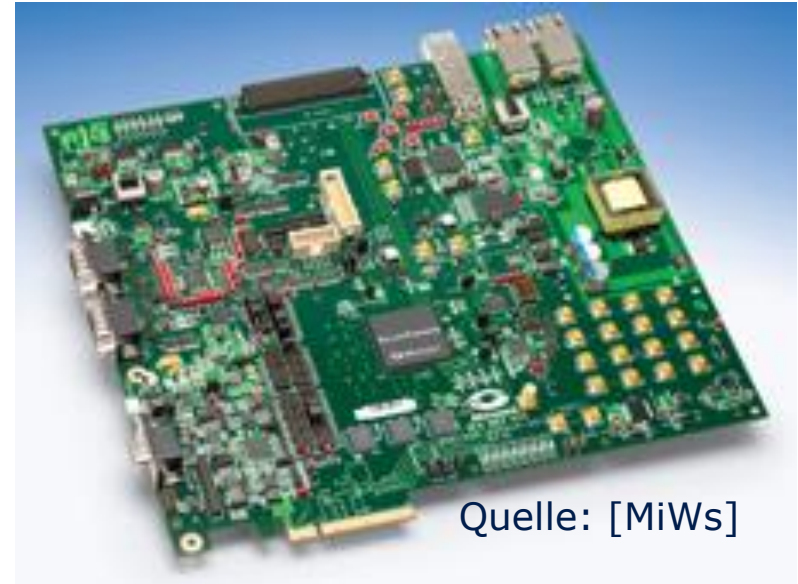
Quelle: [MiPb]

Entwicklerboards der Microsemi SmartFusion2 Familie



Quelle: [MiWs]

SmartFusion2 Starter Kit (299\$)



Quelle: [MiWs]

SmartFusion2 Development Kit (1800\$)

05 Gegenüberstellung

Ressourcen	Zynq-7000 AP SoCs	Cyclone V SoCs	SmartFusion2
Prozessorkern	Dual ARM® Cortex™-A9 MPCore™ bis zu 1GHz	Dual ARM® Cortex™-A9 MPCore bis zu 925MHz	ARM® Cortex™-M3 Bis zu 166MHz
L1 Cache/L2 Cache	2x32KB / 512KB	2x32KB / 512KB	8KB I-Cache / -
On-Chip RAM	256KB	64KB	64KB
Logik Elemente	28K-444K	25K-110K	6K-146K
ALM, CLB, Logic Module/ LUTs	17.600-277.400 (6er LUT)	9.434-41.509 (8er LUT)	3.000-73.000 (4er LUT)
Register/Flip-Flops	35.200-554.800	37.736-166.036	3.000-73.000
#Block RAM (Gesamt)	60-755 à 36Kb ^(240KB-3020KB)	140-557 à 10Kb (175KB-696KB)	10-236 à 18Kb (23KB-561KB)

Quellen

- [EG02] Estrin, G.: "Reconfigurable computer origins: the UCLA fixed-plus-variable (F+V) structure computer", IEEE Ann. Hist. Comput., Vol. 24, S. 3-9, 2002
- [EET] <http://www.eetimes.com/>
- [XiWs] <http://www.xilinx.com/>
- [DS190] Xilinx, "Zynq-7000 All Programmable SoC Overview", DS190 (v1.6), 2.12.2013
- [Zed] <http://www.digilentinc.com>
- [AIWs] <http://www.altera.com/>
- [AlPo] „Cyclone V Device Overview“ CV-51001, 2013
- [AcWs] <http://www.actel.com/>
- [MiWs] <http://www.microsemi.com/>
- [MiPb] SmartFusion2 System-on-Chip FPGAs Product Brief, Juni 2013

Vielen Dank für Ihre Aufmerksamkeit.



»Wissen schafft Brücken.«