TECHNISCHE UNIVERSITÄT DRESDEN

Fakultät Informatik, Institut für Technische Informatik, Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur

Belegarbeit

High Level-Synthese eines Keypoint-Detection-Algorithmus für FPGAs

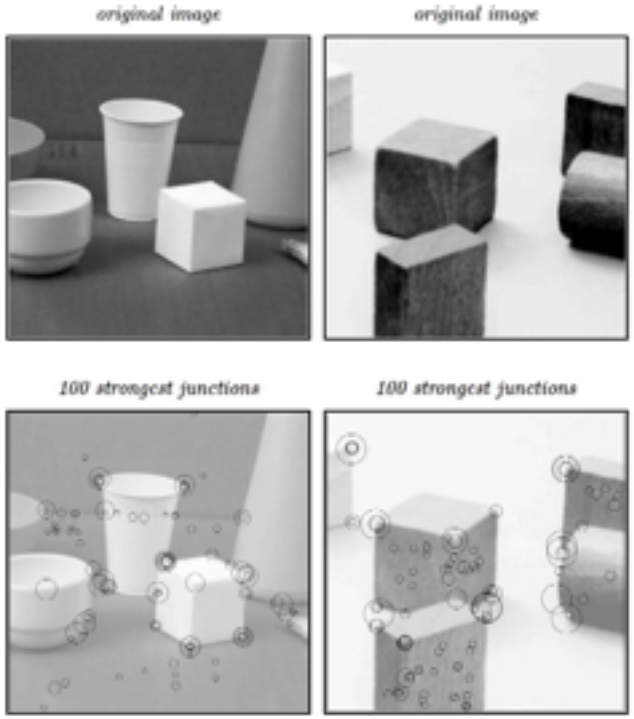
Max Kraft-Kugler

Dresden, 09.07.2015

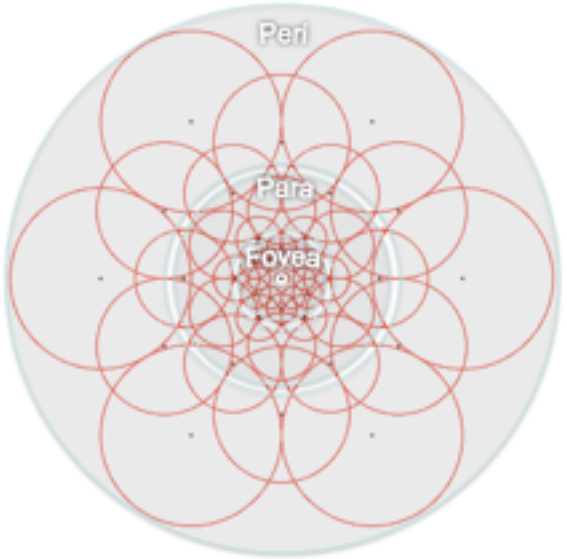
DRESDEN concept

Inhalt

1. Motivation

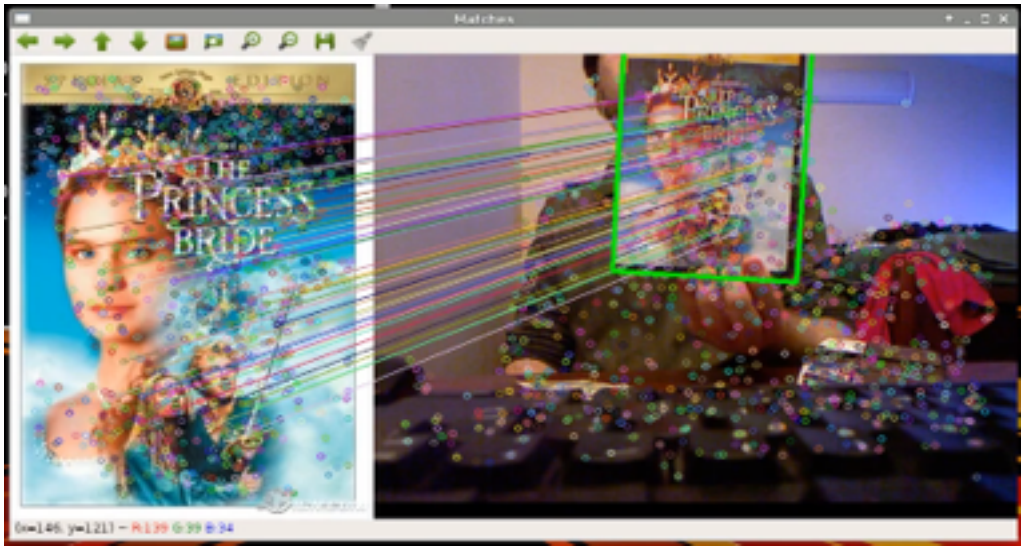


Quelle: Lindberg 1998

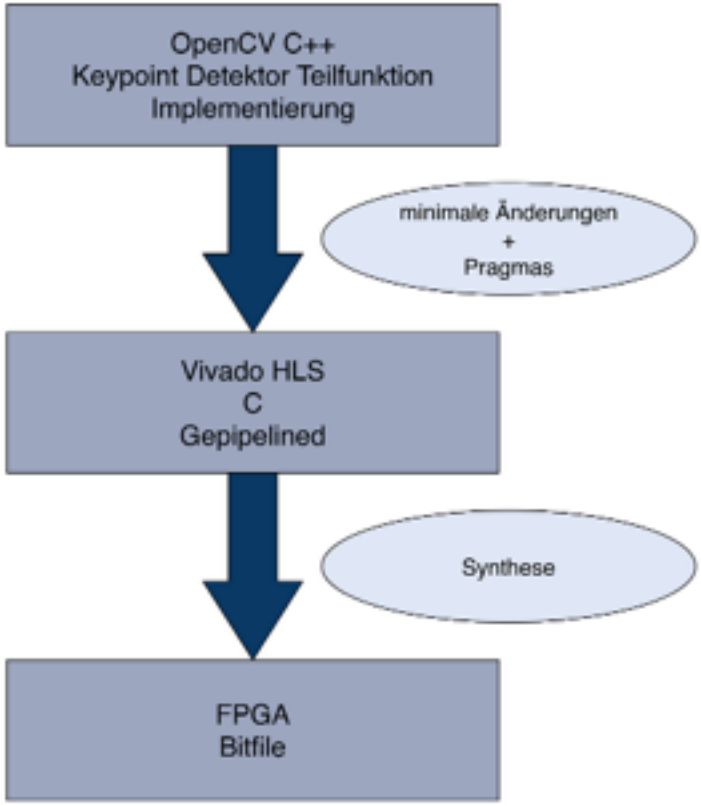


Quelle: FREAK 2012

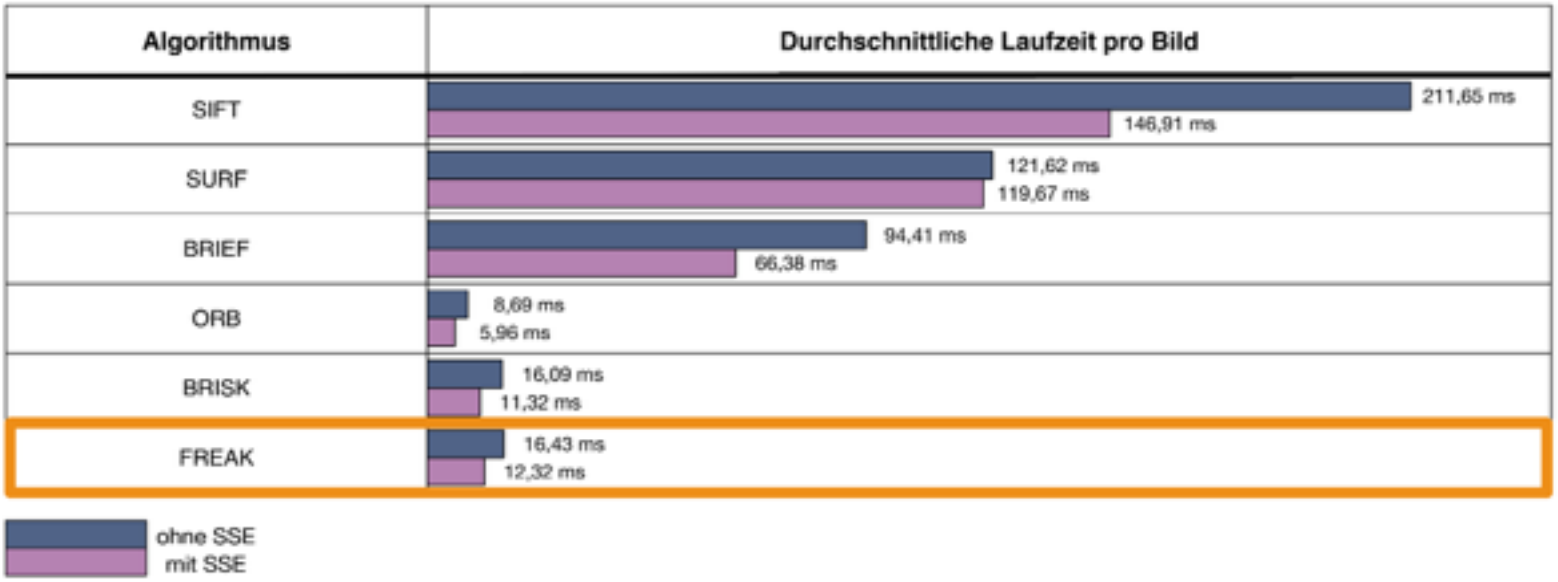
1. Motivation



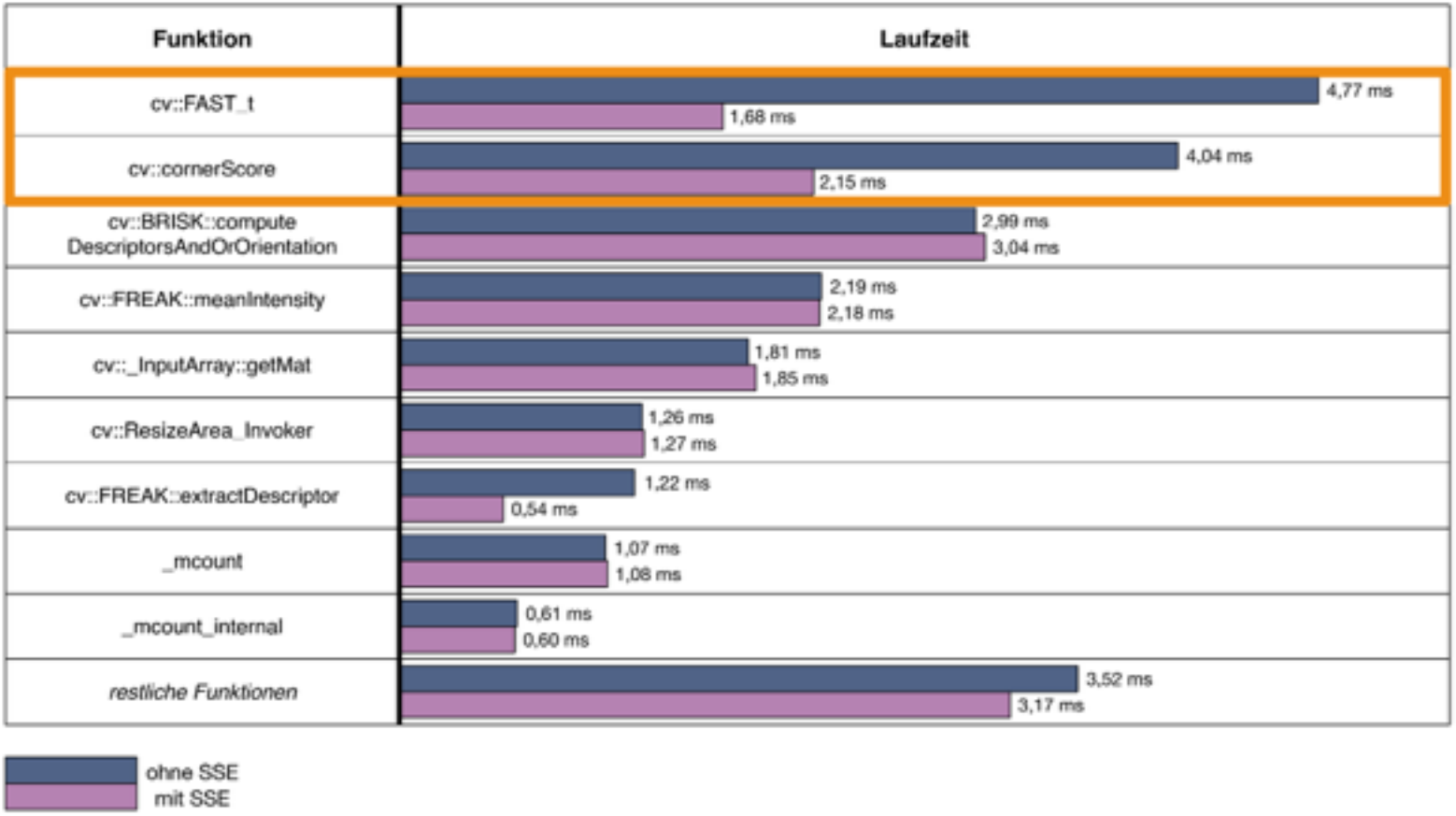
Quelle: Benn Snyder



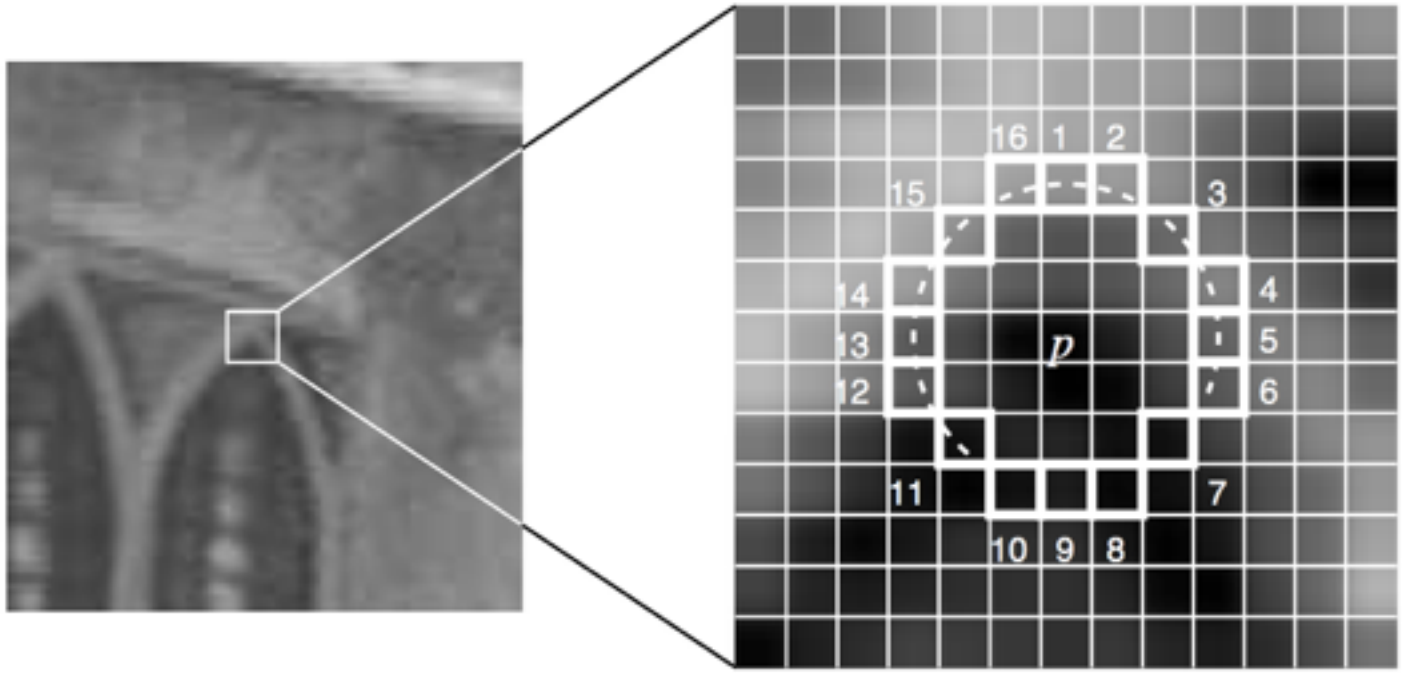
3. Auswahl eines Algorithmus



4. Analyse - Laufzeit von FREAK

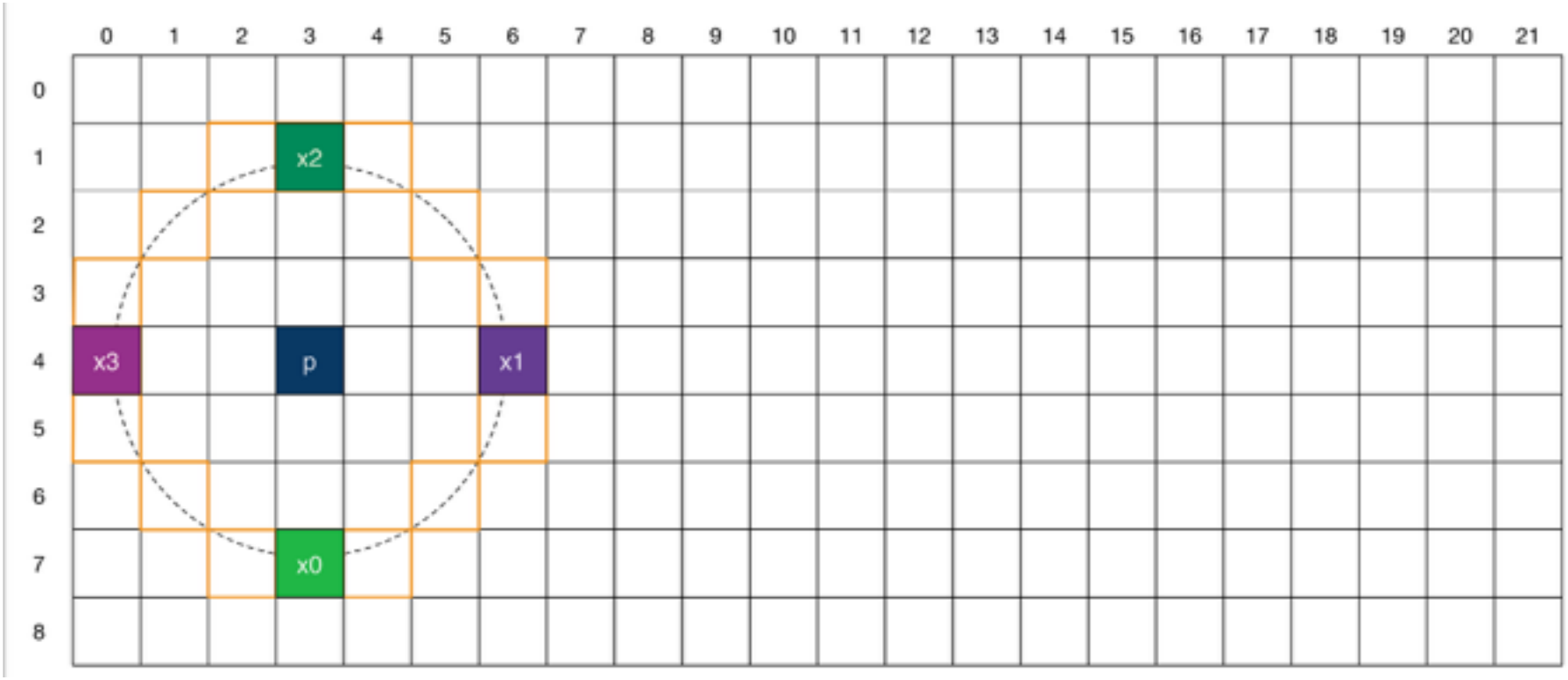


4. Analyse - FAST

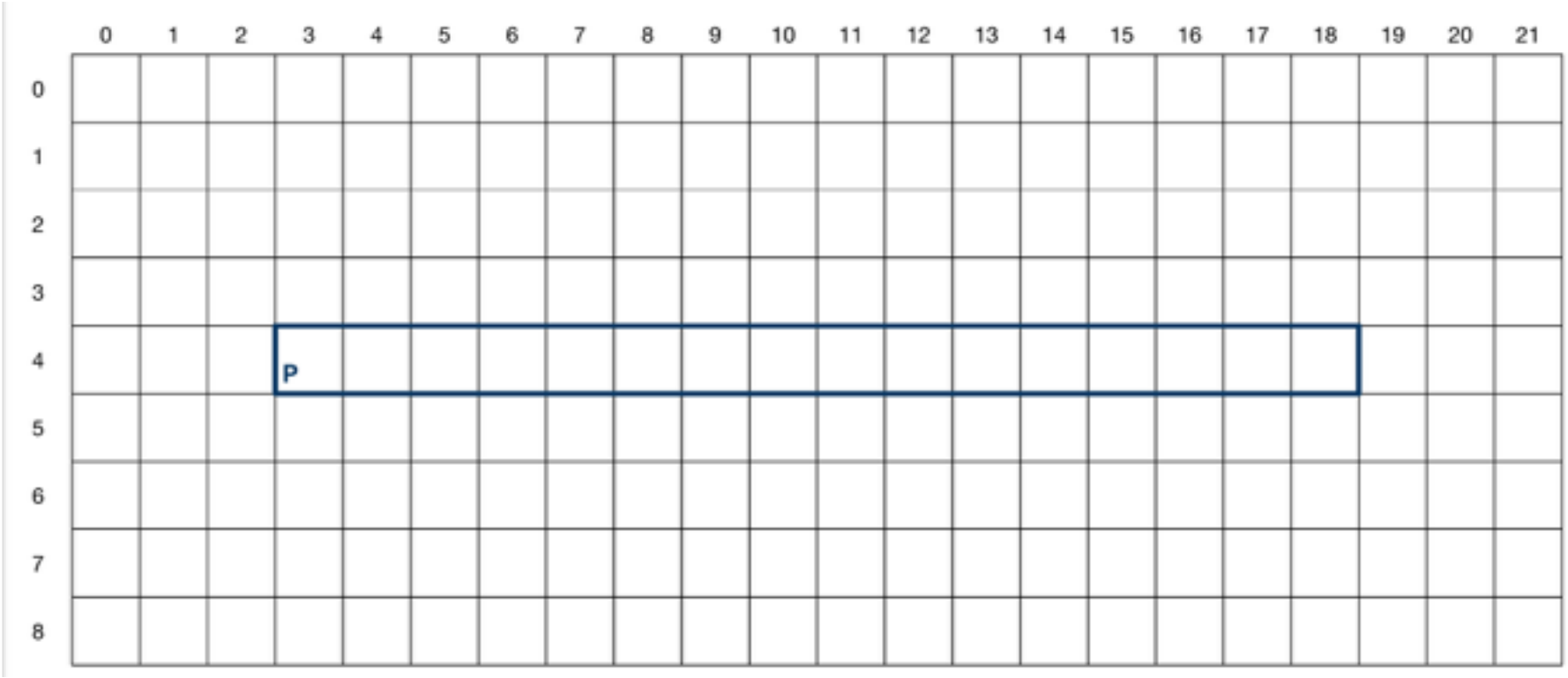


Quelle: FAST 2006

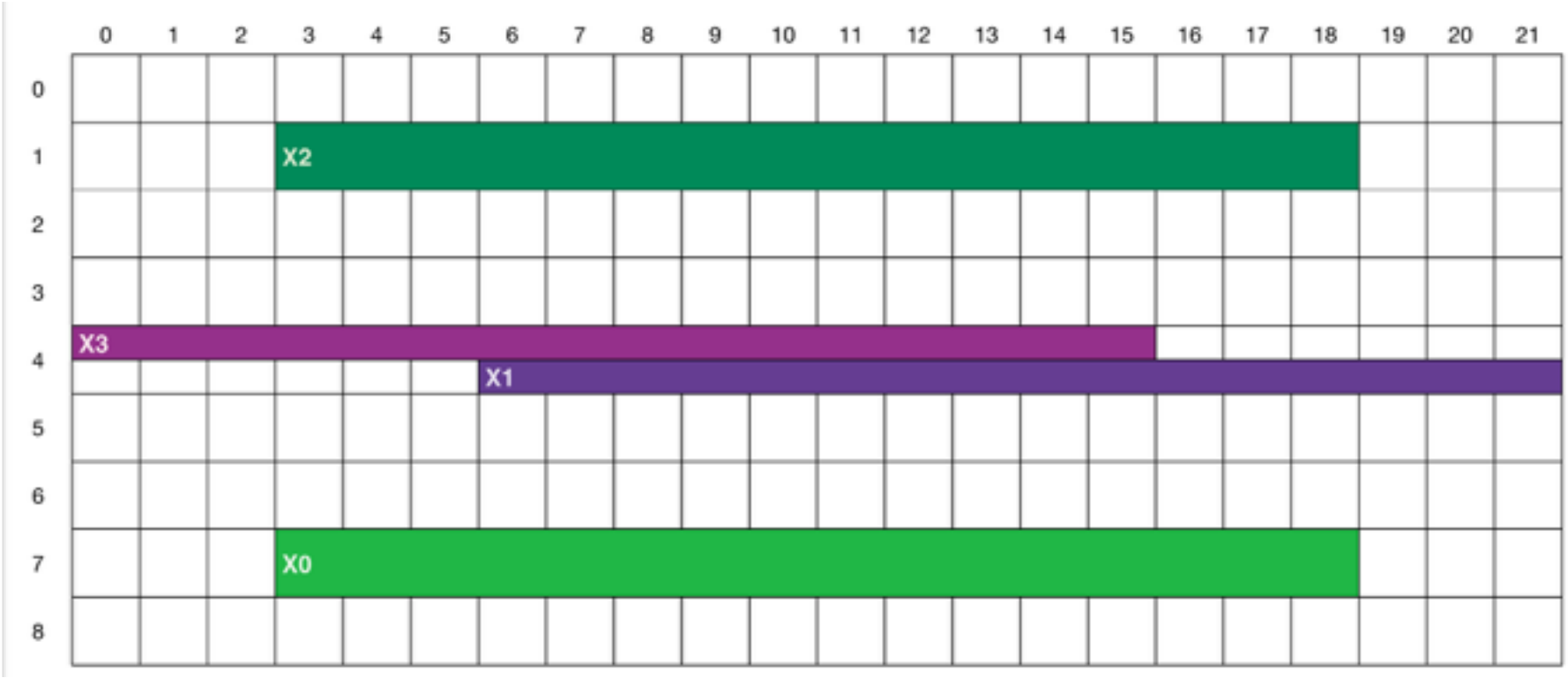
4. Analyse - FAST in OpenCV



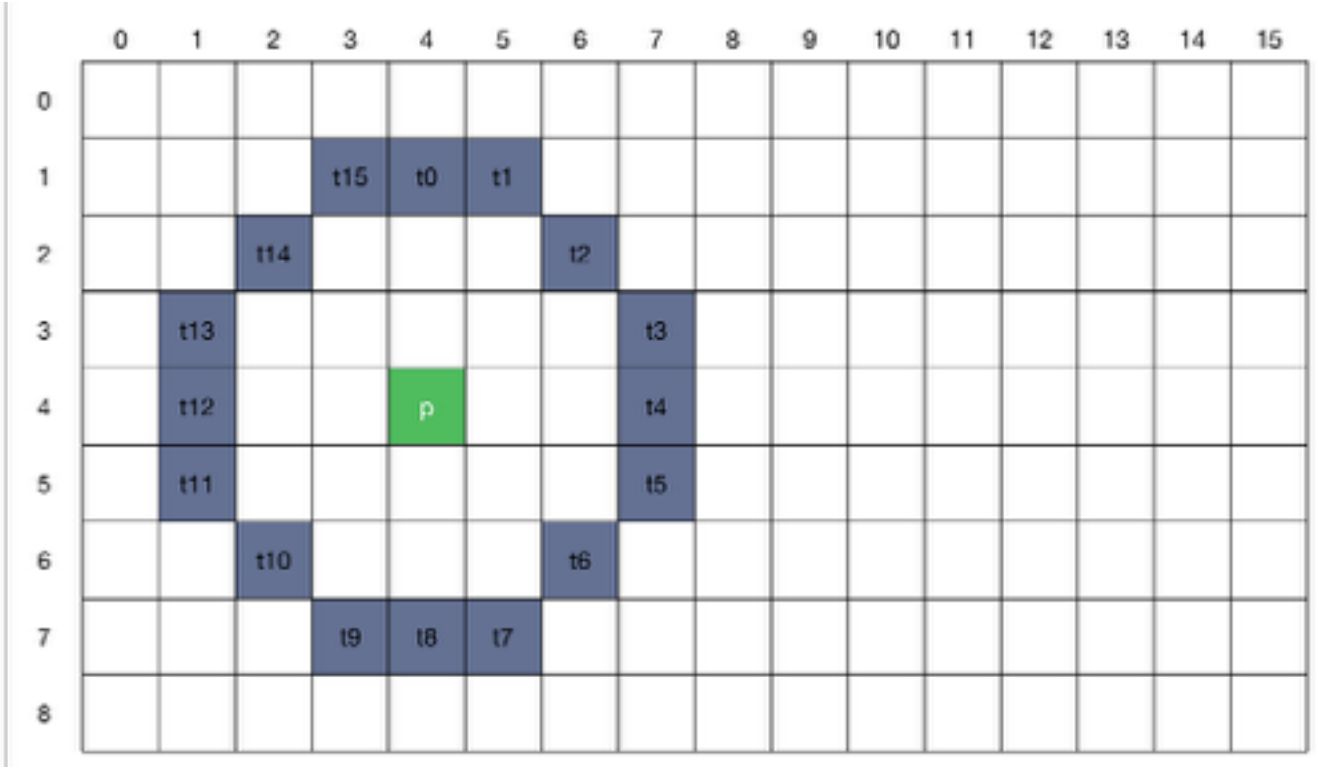
4. Analyse - SSE-Beschleunigung



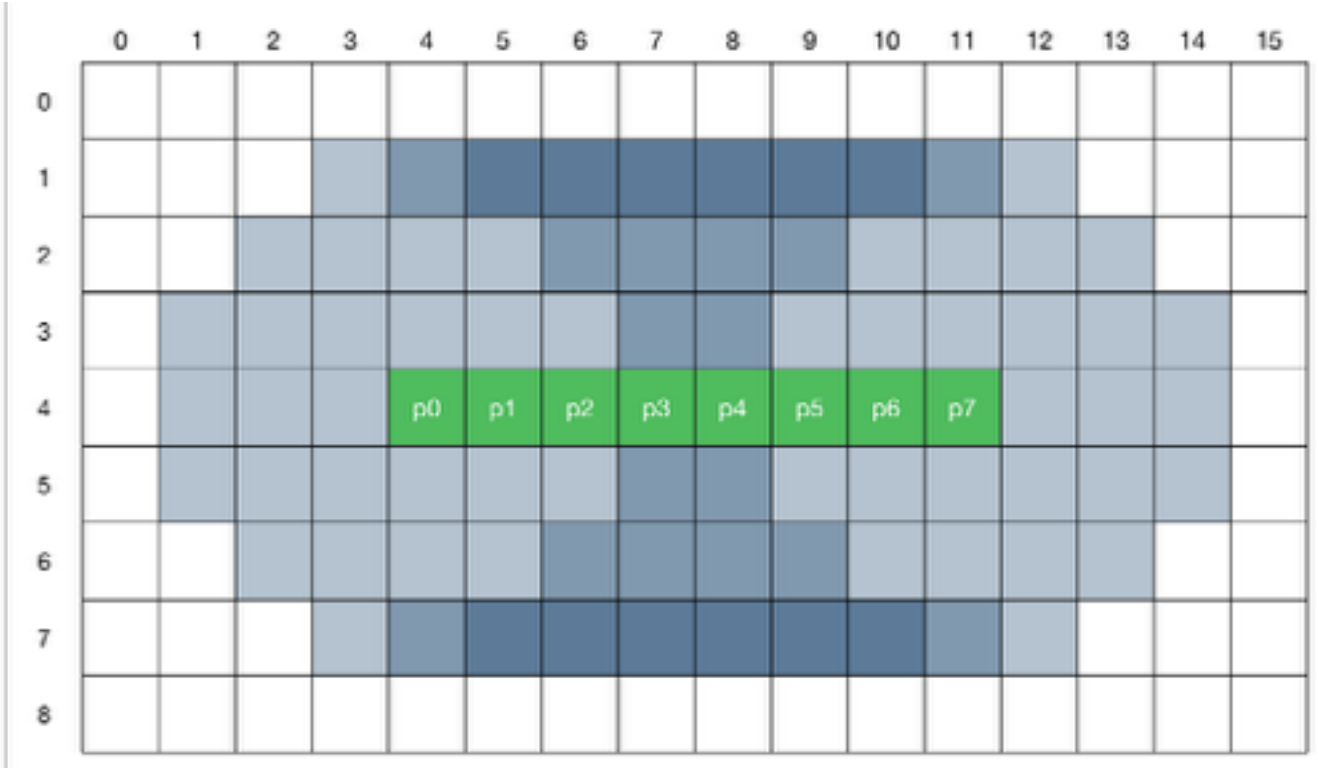
4. Analyse - SSE-Beschleunigung



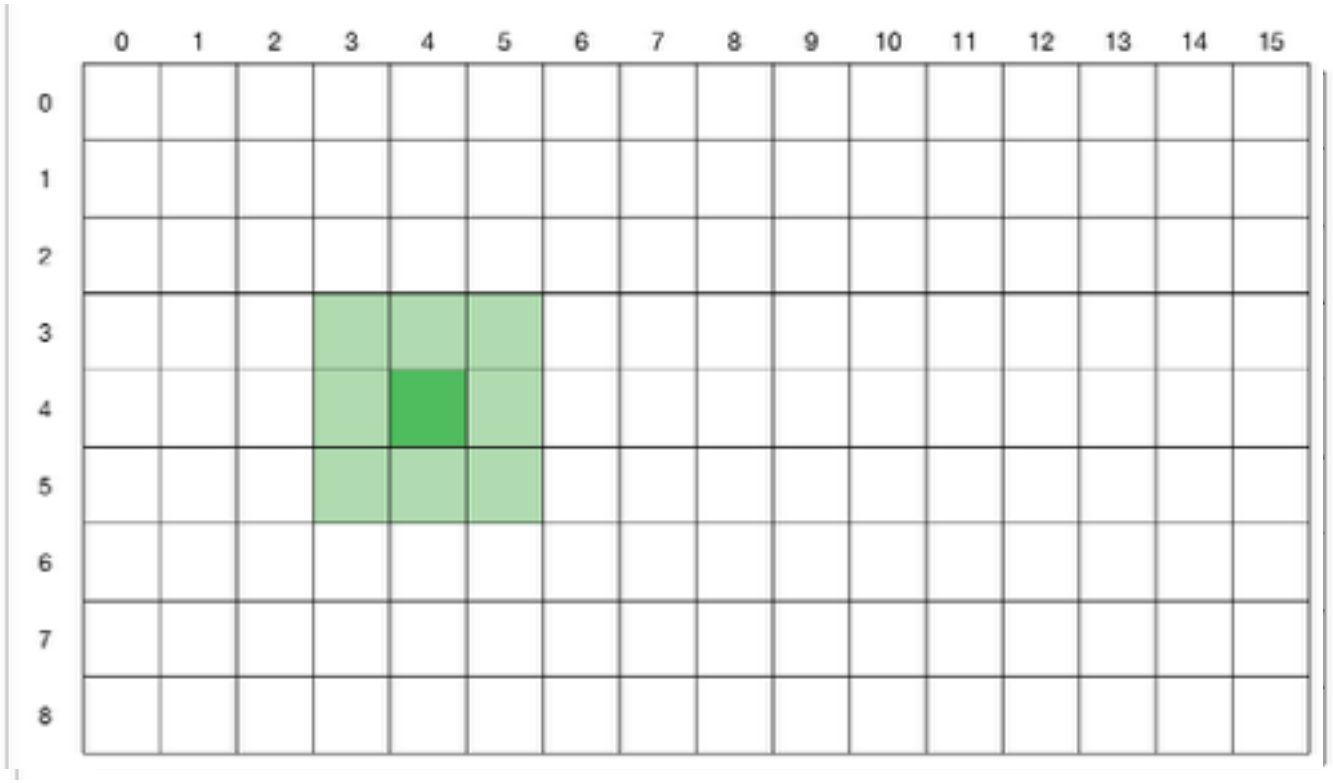
5. Entwurf - FAST



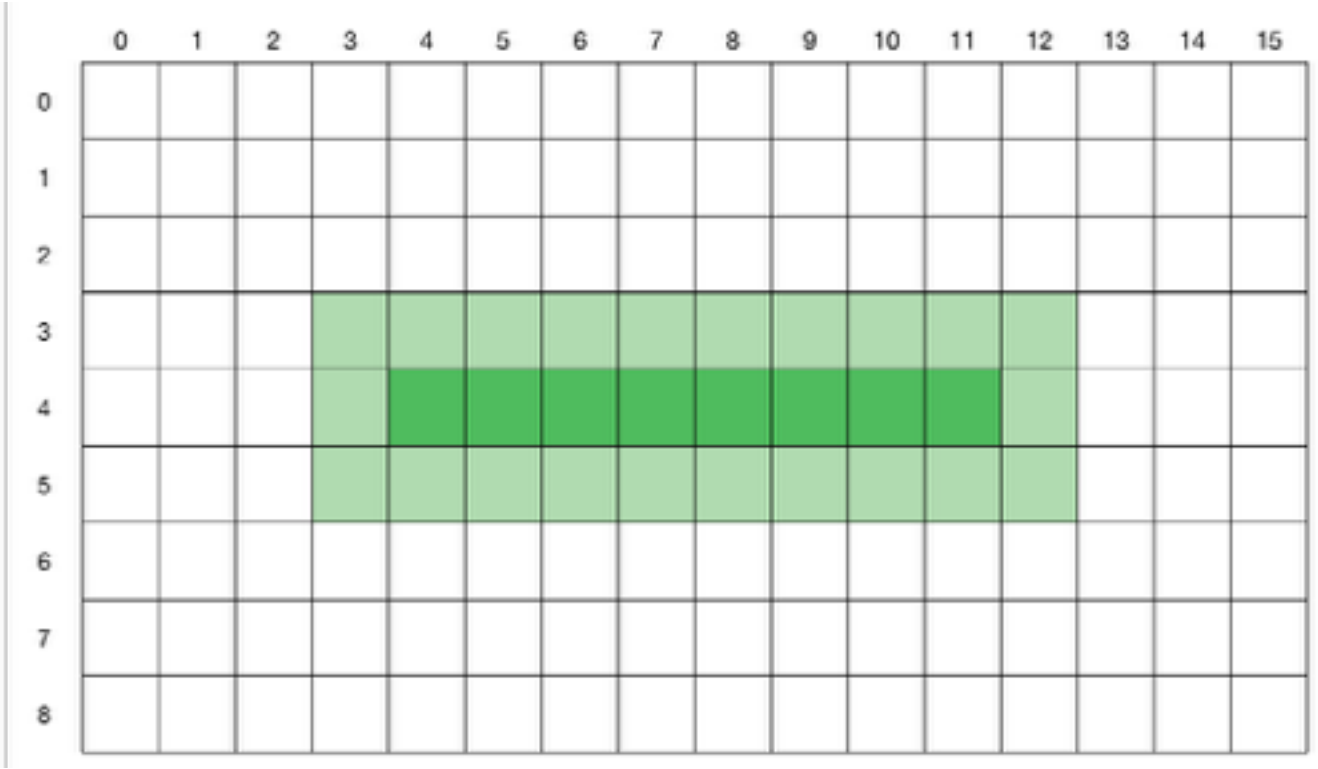
5. Entwurf - FAST parallelisiert



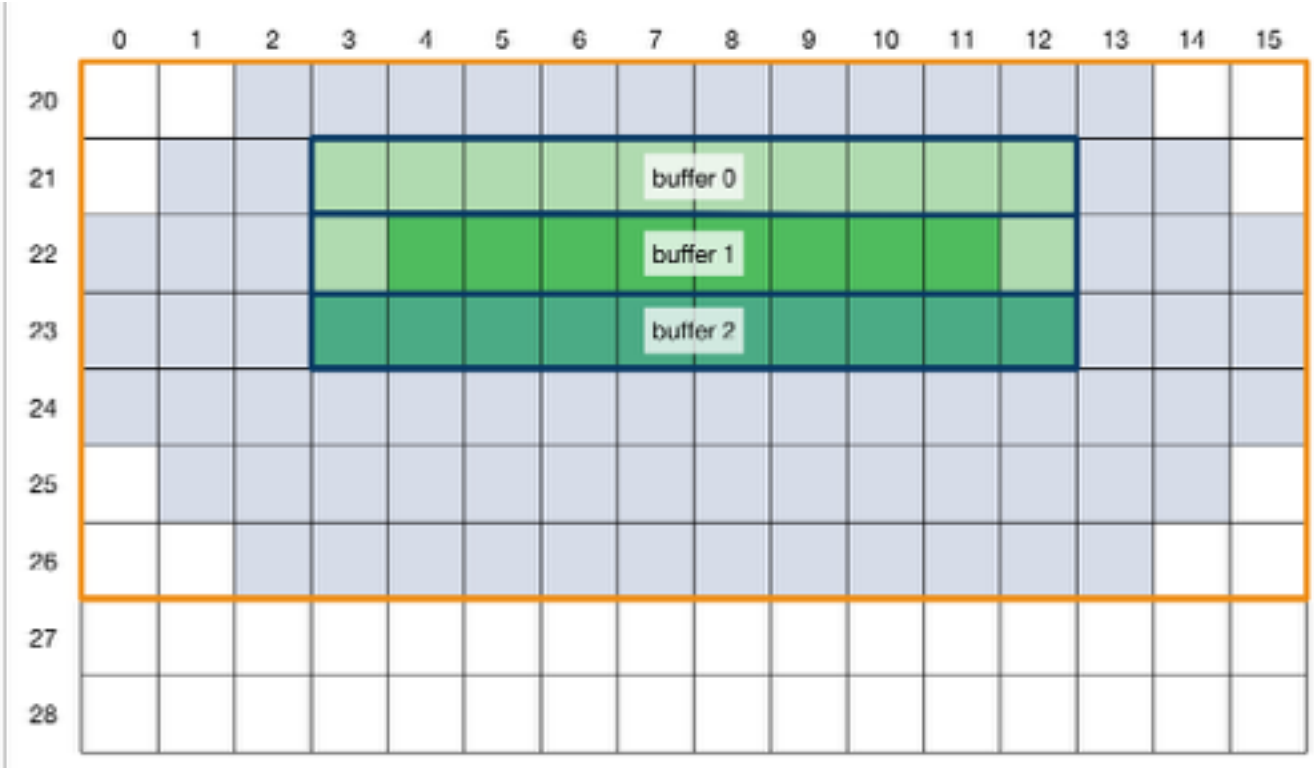
5. Entwurf - Non-Maxima-Suppression



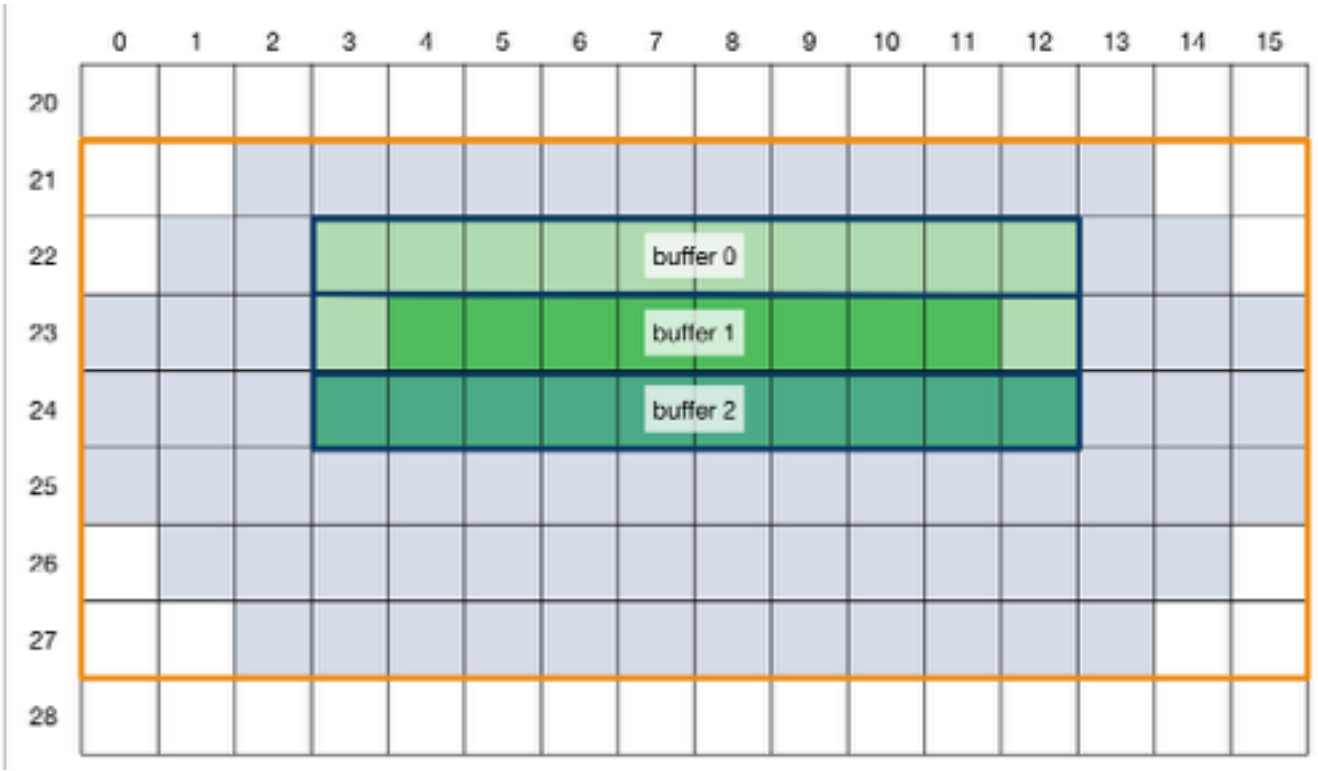
5. Entwurf - Non-Maxima-Suppression



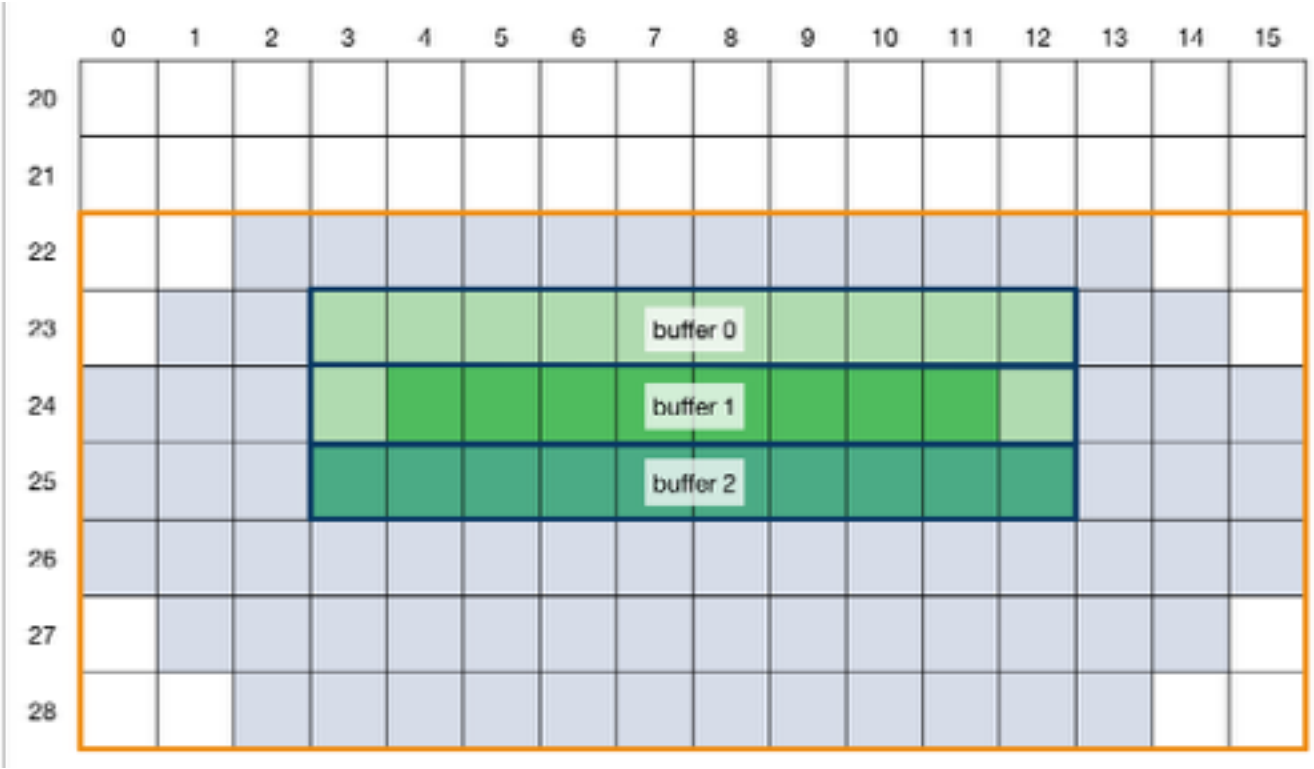
5. Entwurf - Fensterbewegung



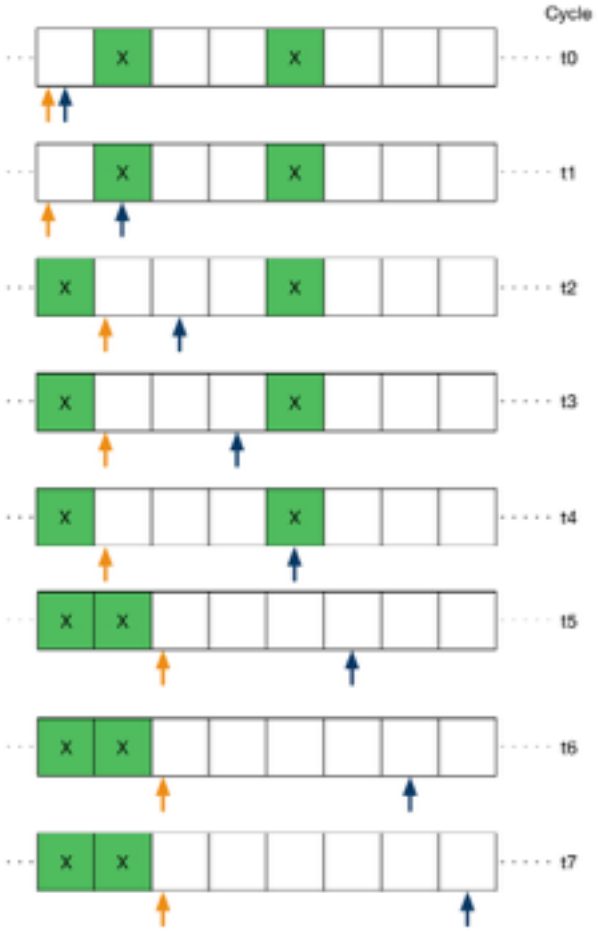
5. Entwurf - Fensterbewegung



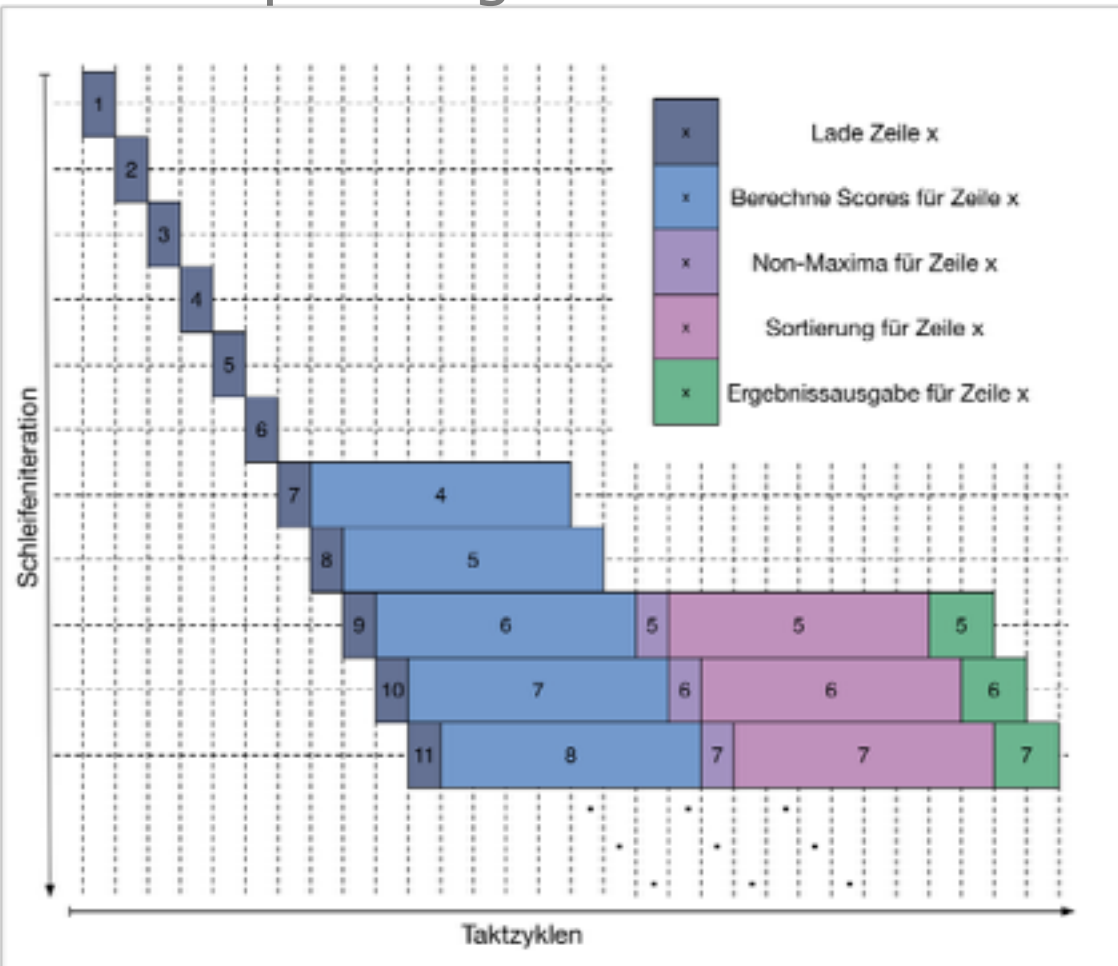
5. Entwurf - Fensterbewegung



5. Entwurf - Kompaktieren



5. Entwurf - Pipelining



6. Ergebnisse - Implementierung

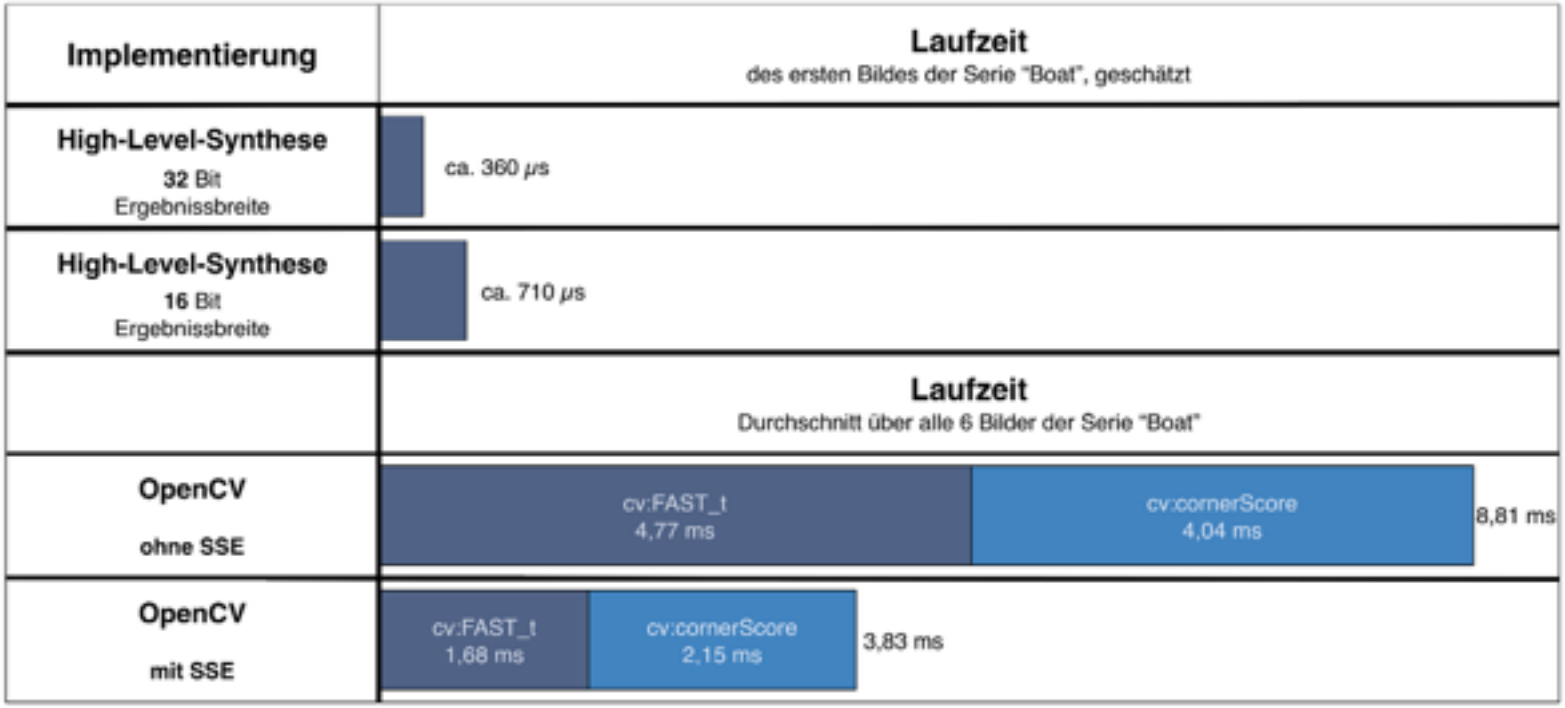
- Verarbeitung vollständig gepipelined ⇒ eine Zeile/Takt

- Laden der Zeile jedoch noch nicht vollständig gepipelined
  - derzeit noch 40 Takte pro Zeile
  - Ziel ⇒ 1 Takt pro Zeile

- Benötigte I/O-Datenrate bei 100 MHz und 1 Takt/Zeile:
  - 32 Pixeln Ergebnissbreite:
    32 GBit/s z.Vgl.: PCIe 2.0 x8 ⇒ 40GBit/s pro Richtung
  - 16 Pixeln Ergebnissbreite:
    19,4 GBit/s

- Problem:
  - Unausgerichtete Speicherzugriffe (z.B. 24 Byte Zeilenbreite je um 16 Byte verschoben)
  - Speicherlatenz

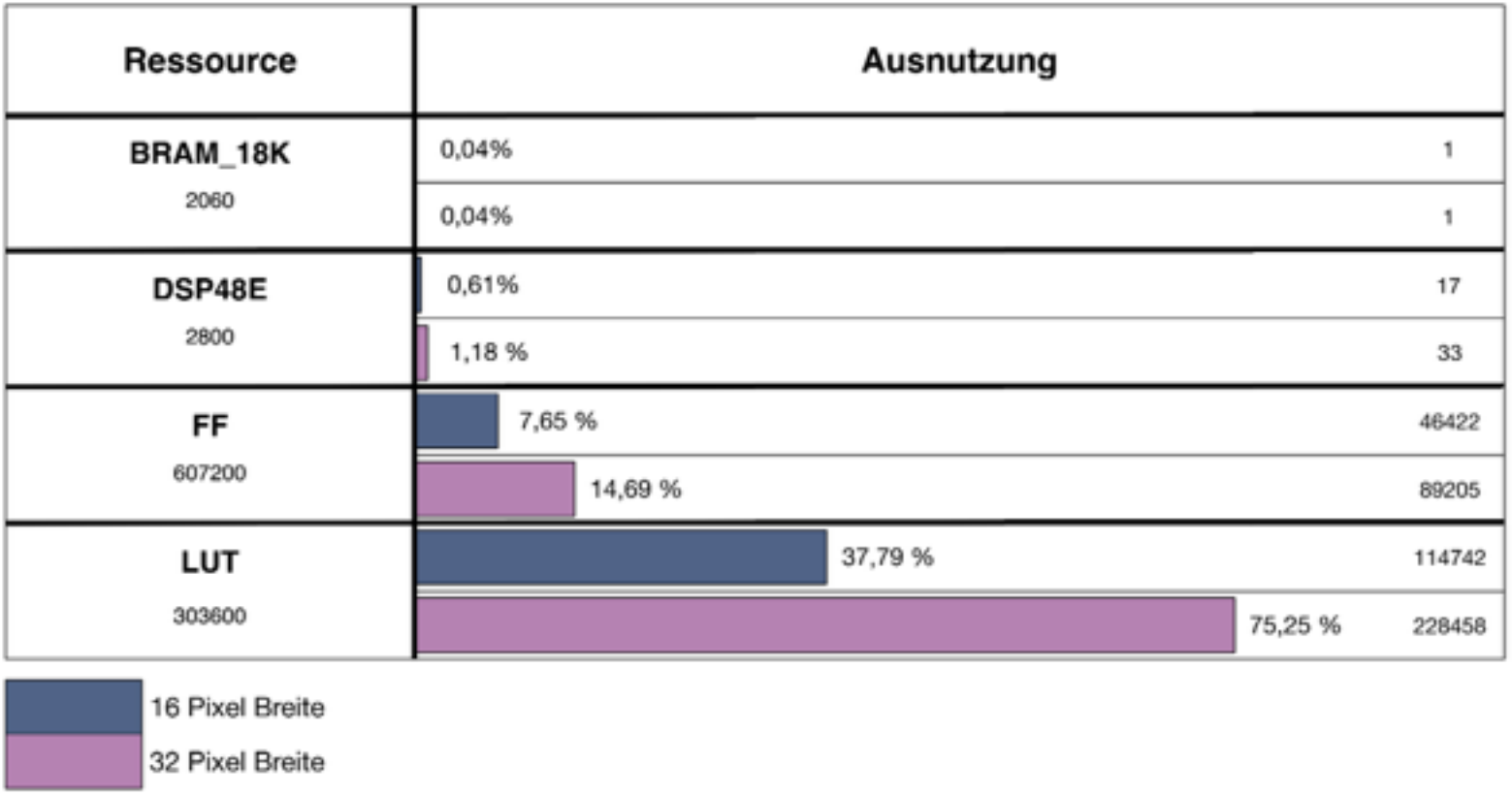
6. Ergebnisse - Geschwindigkeit



6. Ergebnisse - Geschwindigkeit

Implementierung	Laufzeit des ersten Bildes der Serie "Boat", geschätzt
High-Level-Synthese + OpenCV 32 Bit Ergebnissbreite	ohne SSE: ca. 14,87 ms mit SSE: ca. 14,09 ms
High-Level-Synthese + OpenCV 16 Bit Ergebnissbreite	ohne SSE: ca. 15,23 ms mit SSE: ca. 14,44 ms
SURF auf einem FPGA	bei 100 MHz: ca. 5,8 ms
	Laufzeit Durchschnitt über alle 6 Bilder der Serie "Boat"
Nur OpenCV	ohne SSE: ca. 23,33 ms mit SSE: ca. 17,56 ms

6. Ergebnisse - Ressourcenverbrauch



7. Zusammenfassung

Beschleunigung von FREAK:

- Ansatz: FAST mit Non-Maxima-Suppression via High-Level-Synthese auf FPGA
- Neuentwurf und -implementierung nötig gewesen

Ergebnis:

- Verarbeitung einer Zeile/Takt
- Zeilen laden problematisch (hohe Datenraten, Speicherausrichtung, Latenz)
- Maximale Beschleunigung:
  - Faktor 12,41 gegenüber FAST mit Non-Maxima-Suppression
  - Faktor 1,53 gegenüber FREAK ohne SSE

7. Ausblick

- Lösung des Problems der unausgerichteten Speicherzugriffe
  - Ausrichtung über Zeilenbreite schwer oder nicht möglich
  - Formatierung der Quelldaten (Bildebenen) Overheadbehaftet
    ⇒ Problematisch

- Pipelining der restlichen von FREAK benötigten Funktionen
  - Risiko von nur ineffizienter Implementierbarkeit von Teilfunktionen auf FPGA
  - Implementierung auf FPGA mit eingebetteter CPU (Zynq ect.)
  - Reduzierung der Scoreberechung auf 8 Pixel Breite
    ⇒ Ausgerichtete Speicherzugriffe

7. Quellen

Bildquellen:

- **Lindberg 1998:** Lindeberg, Tony: Feature Detection with Automatic Scale Selection. (1998), Nr. 30; *Seite 29*
- **FREAK 2012:** Alexandre Alahi; Ortiz, Raphael; Vandergheynst, Pierre: FREAK: Fast Retina Keypoint. In: IEEE International Conference on Computer Vision, Rhode Island, Providence, USA (2012). EPFL, Switzerland; *Seite 4*
- **Benn Snyder:** Keypoint Object Matching with SURF/BRISK (Youtube by Benn Snyder): Benn Snyder, https://www.youtube.com/watch?v=-r9J1eO4qg4; *Screenshot aus Video*
- **FAST 2006:** Rosten, Edward; Drummond, Tom: Machine learning for high-speed corner detection. In: Proceedings of the European Conference on Computer Vision (ECCV) (2006). Department of Engineering, Cambridge University, UK; *Seite 4*

- alle weiteren Quellen siehe Belegarbeit

»Wissen schafft Brücken.«