



TECHNISCHE  
UNIVERSITÄT  
DRESDEN

# CoreSight-Zugang auf dem ZedBoard

Alex Bereza

Dresden, 17.09.2015



DRESDEN  
concept  
Exzellenz aus  
Wissenschaft  
und Kultur

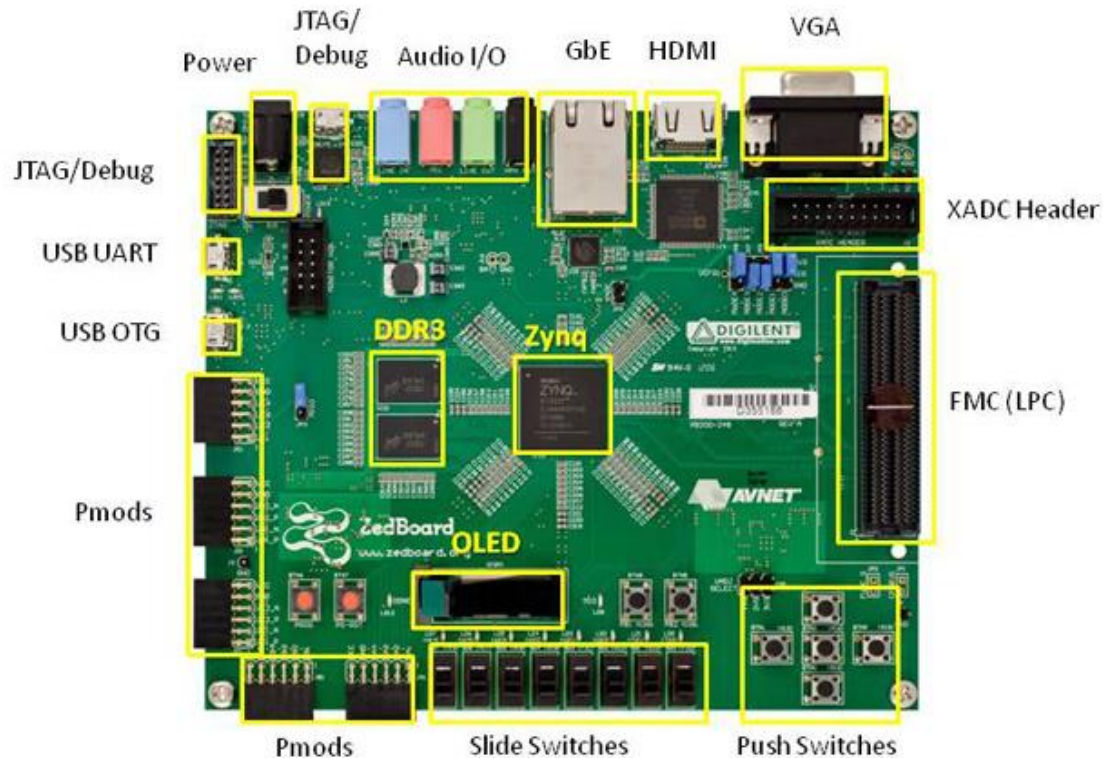
## Gliederung

1. Aufgabenstellung
2. Das ZedBoard
3. CoreSight
4. Trace-Pakete
5. Implementierung des IP-Cores
6. Fazit
7. Quellen

# 1. Aufgabenstellung

- ARM-Prozessor des ZedBoard verfügt über CoreSight-Interface
- CoreSight ermöglicht rückwirkungsfreies Tracen in Echtzeit
- Ziel: IP-Core mit Schnittstelle zur Entgegennahme der Tracedaten zur Verfügung stellen

## 2. Das ZedBoard



\* SD card cage and QSPI Flash reside on backside of board

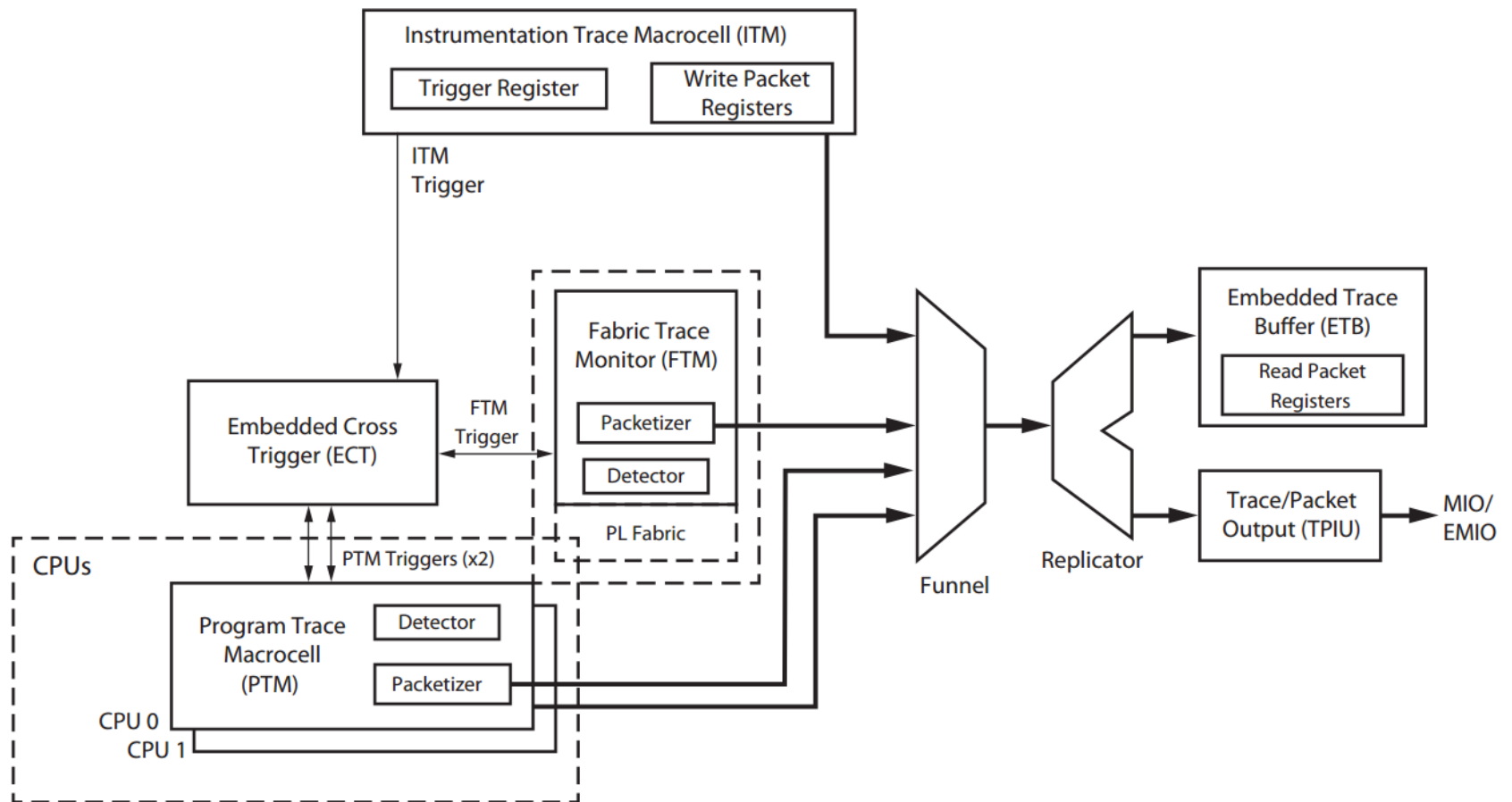
### 3. CoreSight

- Tracing- und Debuggingschnittstelle für ARM
- Analyse von PS und PL
- Spezifikation unterteilt Komponenten in vier Klassen

## CoreSight-Klassen

Klasse	Komponenten
Zugang und Kontrolle	Debug Access Port (DAP) Embedded Cross Trigger (ECT)
Trace-Quelle	Program Trace Macrocell (PTM) Fabric Trace Macrocell (FTM) Instrumentation Trace Macrocell (ITM)
Trace-Netzwerk	Funnel Replicator
Trace-Senke	Embedded Trace Buffer (ETB) Trace Packet Output (TPIU)

# Blockschaltbild des CoreSight-Systems



## Debug Access Port (DAP)

- zentraler Zugang zu allen Komponenten
- von außen ansprechbar über JTAG (für Debugger)
- intern Zugriff über *Advanced Peripheral Bus* (APB)
- leitet Anfragen an andere Komponenten weiter



## Program Trace Macrocell (PTM)

- eine PTM pro Kern
- erzeugt Tracedaten (Programmausführung)
- nur Wegpunkte (Reduktion der Datenmenge)
- erzeugt Timestamps (Korrelation)

## Embedded Cross Trigger (ECT)

- Kommunikation der Komponenten untereinander über Trigger
- Cross Trigger Matrix (CTM) zum Versenden von Trigger Requests (mehrere Kanäle)
- Cross Trigger Interface (CTI) empfängt Trigger Requests und erzeugt Trigger

## Instrumentation Trace Macrocell (ITM)

- Trace-Pakete durch Software
- z.B. Betriebssystemaktivitäten nachvollziehen

## Fabric Trace Monitor (FTM)

- Xilinx-Komponente für Tracedaten aus PL
- erzeugt Trace-Pakete
- ermöglicht gleichzeitiges Tracen von PS und PL
- fängt Bursts des PL-Teils mittels FIFO ab

## Funnel

- fügt Tracedaten verschiedener Quellen zusammen (PTM, ITM, FTM)
- Prioritäten setzen möglich
- Ergebnis: ein einziger Tracedatenstrom

## Replikator

- ermöglicht unterschiedliche Trace-Senken

## Embedded Trace Buffer (ETB)

- 4 Kilobyte on-chip Speicher
- Speichern in Echtzeit aber geringe Kapazität

## Trace Packet Output (TPIU)

- Schnittstelle nach Außen (MIO) oder zu PL (EMIO)
- 32 Bit breite Anbindung an IP-Core

## 4. Trace-Pakete

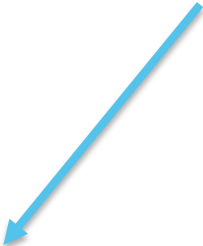
- fünf Paketarten:
  - Trace-Paket
  - Trigger-Paket
  - Cycle-Count-Paket
  - FIFO-Overflow-Paket
  - Synchronisationspaket
- unterschiedliche Länge (in Bytes)

# Paketformatierung


Pakettyp	[7]	[6:3]	[2:0]
Trace-Paket	0	Trace[3:0]	101
Trigger-Paket	0	0100	000
Cycle-Count-Paket	1	Count[3:0]	100
FIFO-Overflow-Paket	0	1101	000
Synchronisationspaket	0	0000	000



## Beispiel: Trace-Paket und Synchronisationspaket

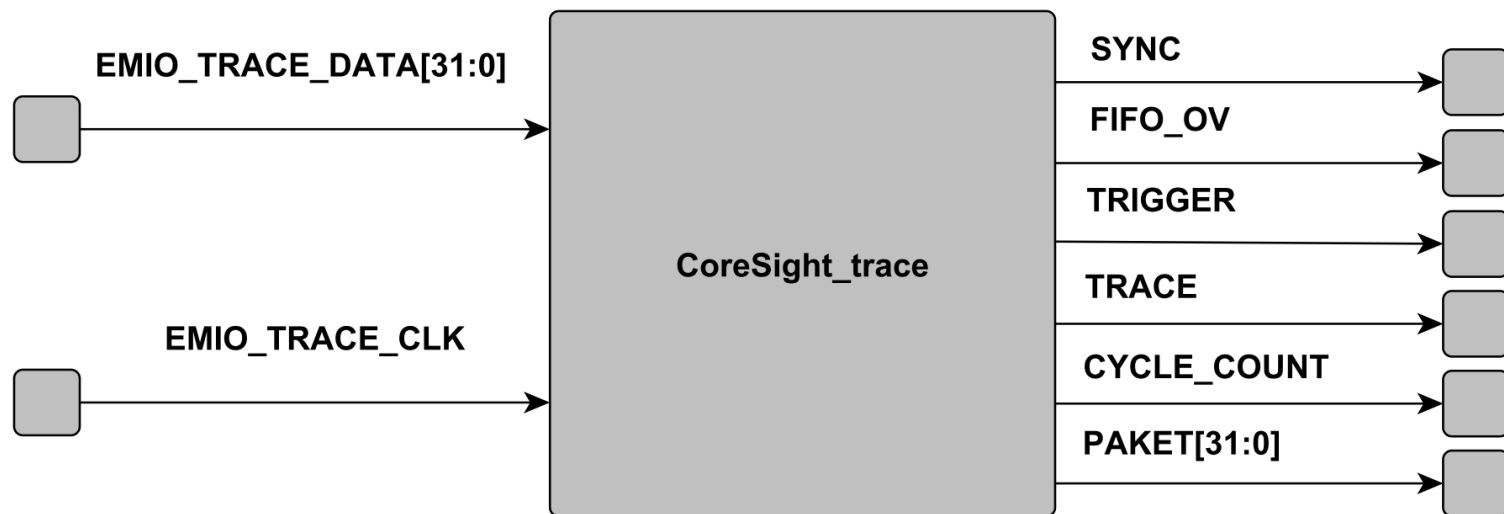


Byte	[7]	[6:0]
0	0	data[3:0], 101
1	1	data[10:4]
2	1	data[17:11]
3	1	data[24:18]
4	Count	data[31:25]



Byte	[7:0]
0-7	0x00
8	0x80

## 5. Implementierung des IP-Cores



## Implementierung des IP-Cores

- eingehende 32 Bit werden durch FIFO geschoben
- Daten im FIFO werden nach Paketen durchsucht
- AXI-Lite Interface zum Auslesen von Zählern

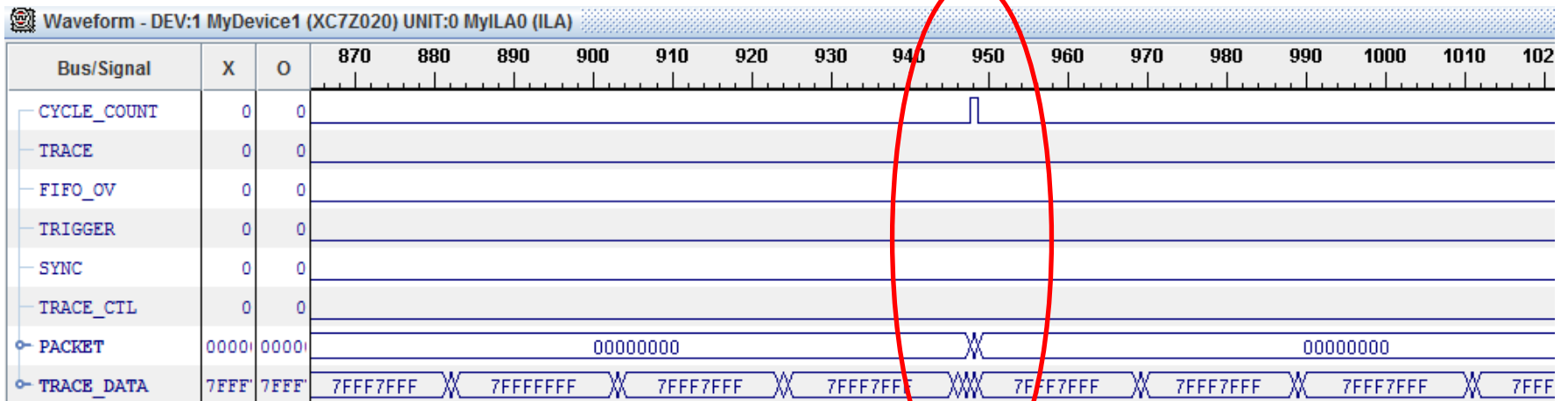
## Software

- CoreSight-Komponenten werden mittels Software konfiguriert → Ausgabe des Trace
- While-True-Schleife mit Testfunktionen generiert Tracedaten

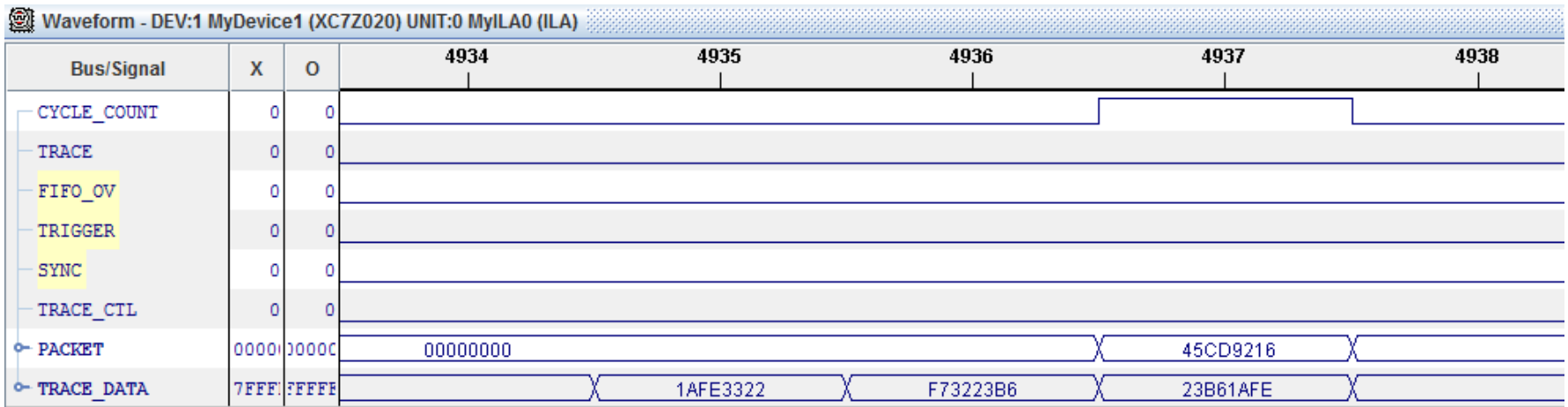
## Ergebnisse

- Trace- und Cycle-Count-Pakete werden erkannt, **ABER**
- ChipScope: zwischen Paketen 0x7FFFFFFF oder 0x7FFF7FFF

# Chipscope: Cycle-Count-Paket



# Chipscope: Cycle-Count-Paket



## Probleme

- TPIU-Stream liegt vor und muss zunächst nach IDs zerlegt werden
- Zerlegung muss zwischen Trace-Ausgang und Paketauswertung



## 6. Fazit

- bessere Dokumentation und User Guide wünschenswert
- TPIU-Stream muss zerlegt werden
- Funktion der Paketauswertung mittels Testbench verifiziert

## 7. Quellen

- ARM LIMITED: ARM CoreSight v1.0 Architecture Specification. <http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ih0029d/index.html>
- ARM LIMITED: CoreSight Components Technical Reference Manual. <http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0314h/index.html>
- AVNET INC.: ZedBoard Hardware User's Guide. [http://zedboard.org/sites/default/files/documentations/ZedBoard\\_HW\\_UG\\_v2\\_2.pdf](http://zedboard.org/sites/default/files/documentations/ZedBoard_HW_UG_v2_2.pdf)
- XILINX INC.: Zynq-7000 All Programmable SoC Technical Reference Manual. [http://www.xilinx.com/support/documentation/user\\_guides/ug585-Zynq-7000-TRM.pdf](http://www.xilinx.com/support/documentation/user_guides/ug585-Zynq-7000-TRM.pdf)