

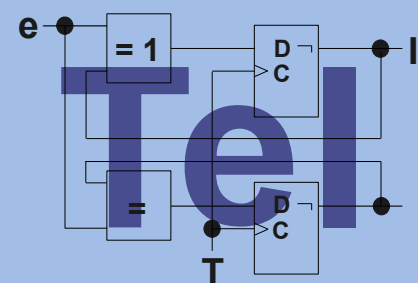
Eigenschaften, Anwendung und Programmierung von PLDs und FPGAs

Robert Dietrich

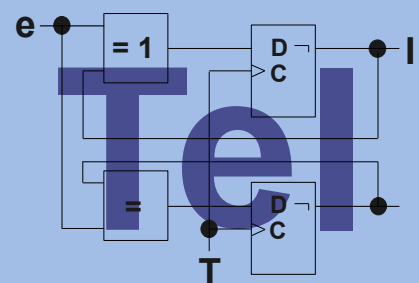
s1128611@inf.tu-dresden.de

Basiszellen

I/O-Blöcke

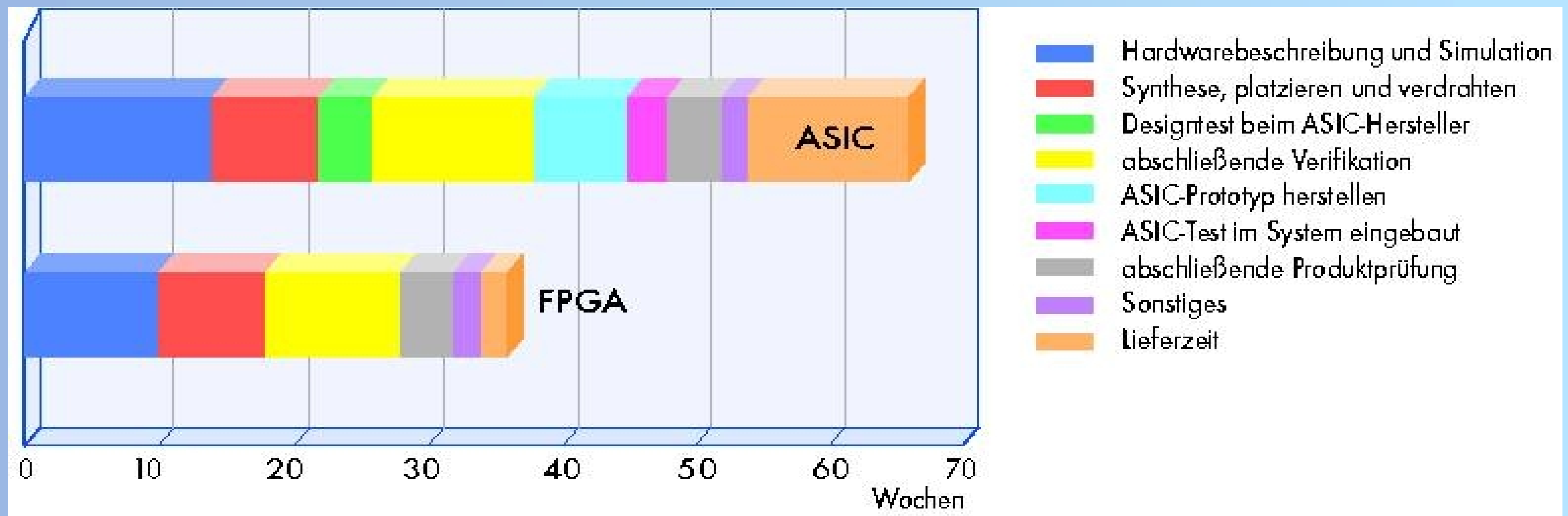


- Einleitung/Motivation
- Eigenschaften
 - Aufbau und Funktionsweise
 - Hersteller
- Anwendungen
 - Virtex-4 FPGAs
 - Stratix II FPGAs
 - Max II CPLDs
 - Anwendungsgebiete
- Programmierung
- Ausblick
- Literatur



Programmierbare Logik

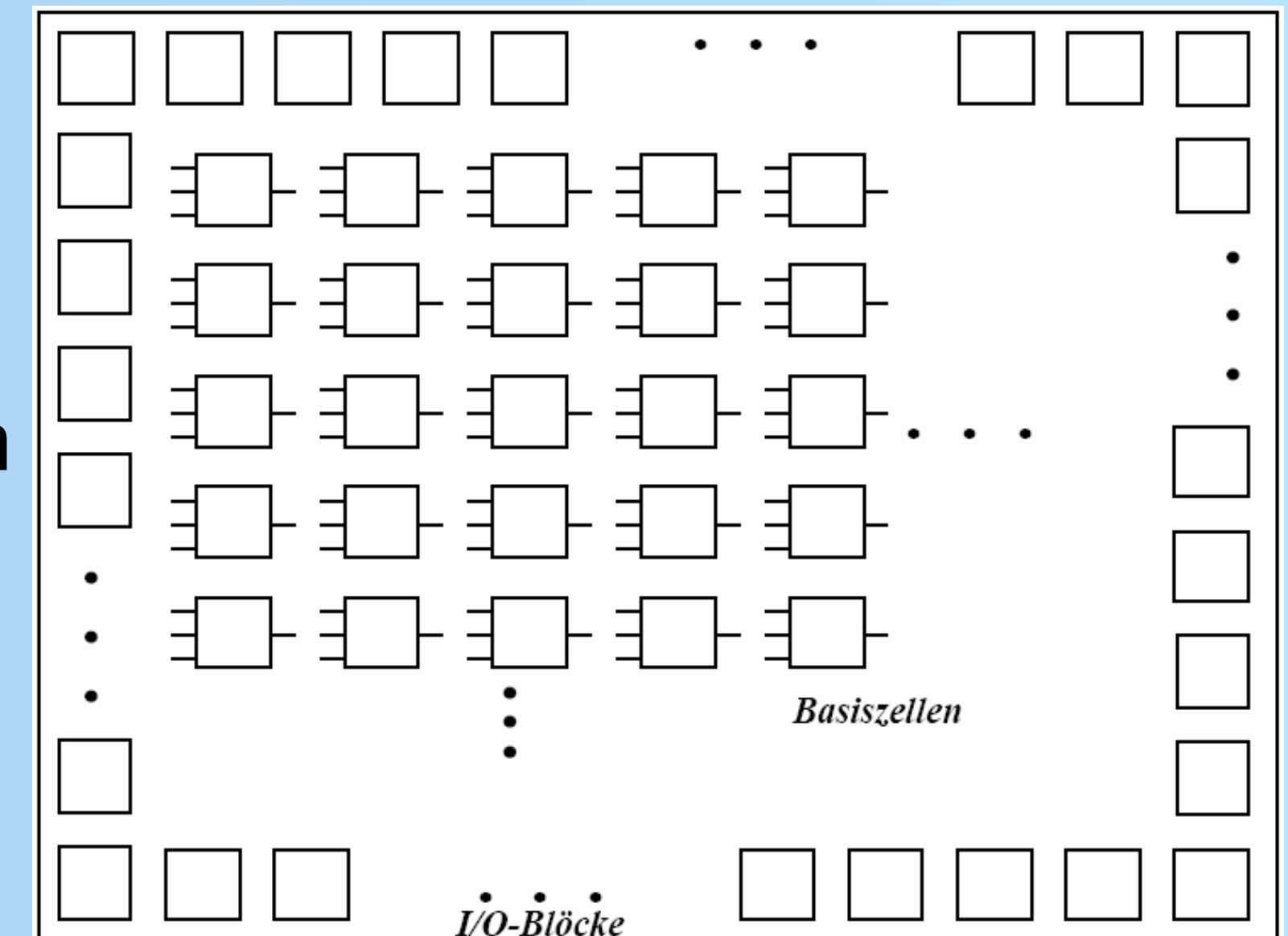
- PLDs (programmable logic devices) sind das am schnellsten wachsende Segment im Bereich der Logikbauelemente
- kürzere Vorlaufzeit, geringere NRE (Non Recovering Engineering) Kosten und keine minimalen Bestellmengen im Vergleich zu ASICs
- “Spartan-3 and Virtex-4 EasyPath FPGAs, unlike any ASIC, offer designers the ability to implement in-system engineering change orders (ECOs) using fully re-programmable look-up tables (LUTs) and flexible IOs.”



Aufbau von FPGAs und CPLDs

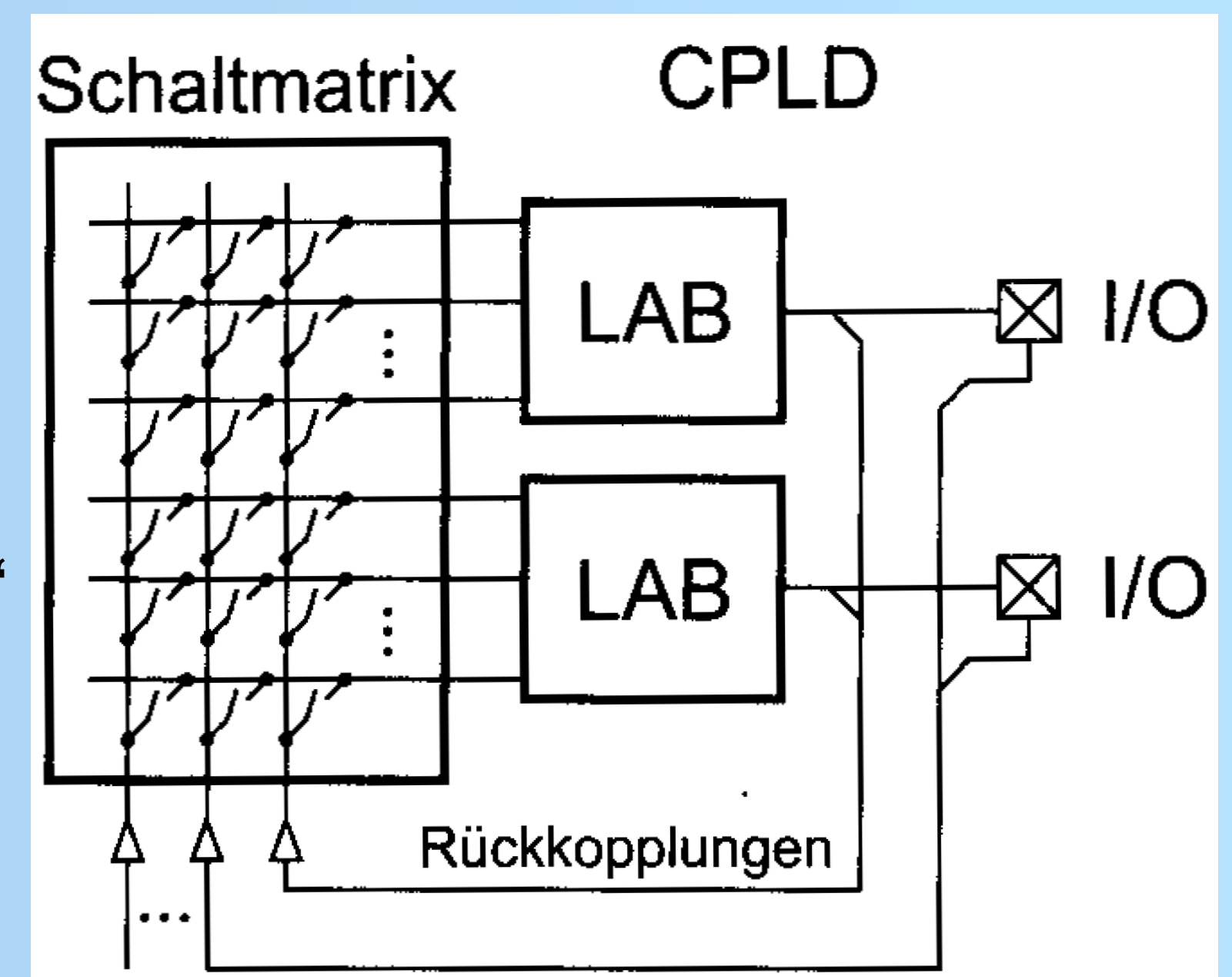
FPGA (Field Programmable Gate Array)

- **CLBs (Configurable Logic Blocks)**
- Verbindungen zwischen CLBs und I/O-Blöcken
- meist SRAM basiert – Konfiguration wird nach dem Anlegen der Betriebsspannung geladen
- Bestimmung der Signallaufzeiten erst nach „Place & Route“ möglich



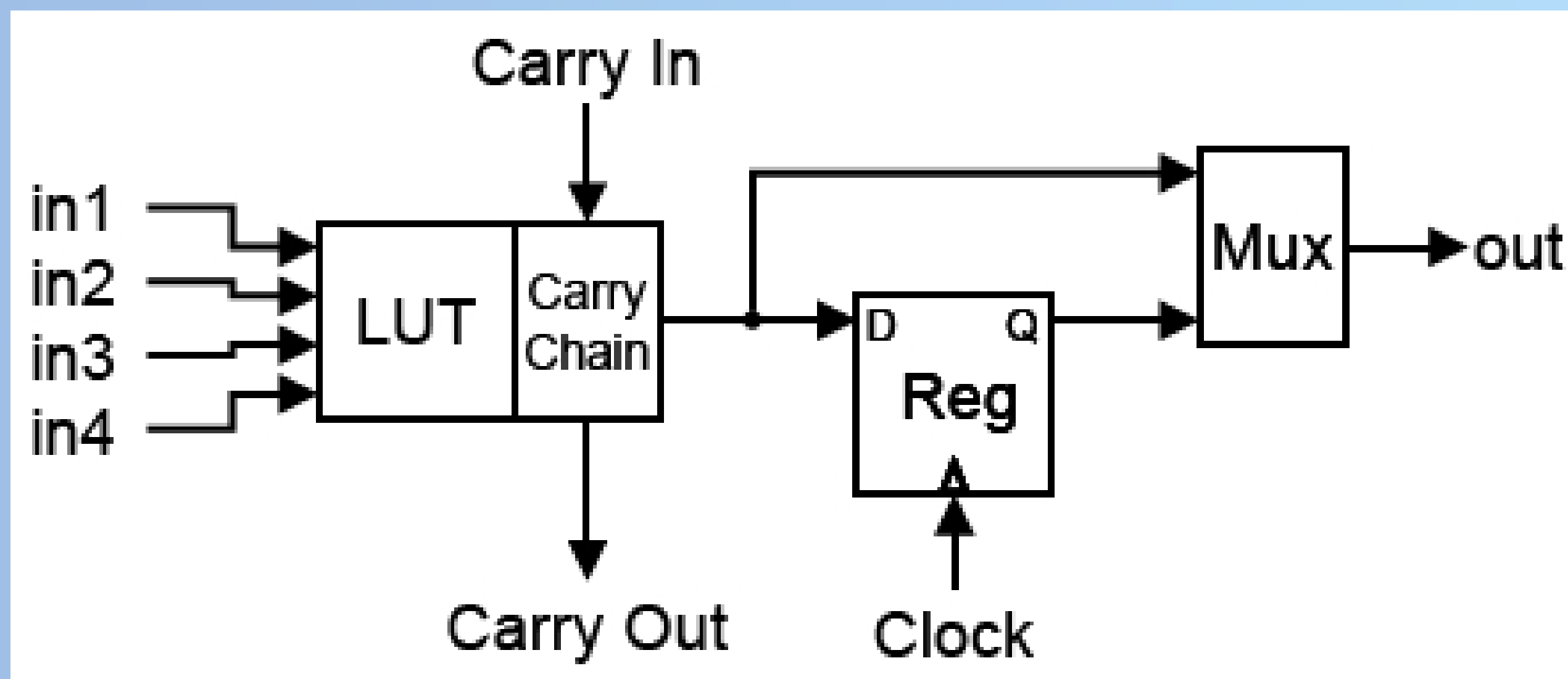
CPLD (Complex Programmable Logic Device)

- **LAB (Logic Array Block)**
besteht aus mehreren Makrozellen
- Schaltmatrix, Rückkopplungen, I/O-Blöcke
- meist Flash-basiert – keine Bootphase, „InstantOn“
- konstante, vorhersagbare Signallaufzeiten



Beispiel für einen CLB (Altera APEX 20K):

- **LUT (Look Up Table)**
 - kombinatorische Logik
 - Speicherzellen (distributed RAM)
 - synchrones Schieberegister
- D-FlipFlop/Register
- Ein-/Ausgänge innerhalb des CLB führen zur I/O-Matrix
- „dedicated routing“, z.B. Carry Chain



➤ Xilinx

- bekanntester Name für FPGAs
- Philosophie: alle möglichen Funktionen bereitstellen
➔ größten und flexibelsten Geräte

➤ Altera

- zweites Schwergewicht in der Branche
- Philosophie: bereitstellen was die meisten wollen, einfache Handhabung, weniger „Features“

➤ Lattice, Actel, Quicklogic

- „Spezialteile-Shops“
- Lattice: bekannt für CPLDs, "instant-on" FPGA Familie
- Actel und QuickLogic: OTP (One Time Programmable) Produkte

- Codename “Whitney” (highest mountain in continental United States)
- ASMBL (Advanced Silicon Modular Block)
- drei anwendungsgebietspezifische Plattformen
 - LX – optimiert für Logik
 - SX – high-end DSP Anwendungen
 - FX – embedded processing and high-speed serial applications
- Technologie: 90nm, triple Oxide, CMOS, 300mm Wafer, 10-layer copper
- On-Chip Block-RAM mit 500MHz und FIFO, ECC Support
- SelectIO
Standard Spannungen für I/O-Geräte (SSTL, LVDS, HSTL, LVCMOS)
- Rocket IO Transceiver
Unterstützung von z.B. PCI Express, SATA, Fibre Channel, Gigabit Ethernet...
- XtremeDSP Slice (bis zu 500MHz)
18 * 18 signed multiplier, adder/subtractor, I/O Registers, Op-mode multiplexers
- PowerPC (450MHz, 32bit RISC CPU) und MicroBlaze (200MHz, 32bit RISC CPU)

Anwendungen

Virtex-4 Familie

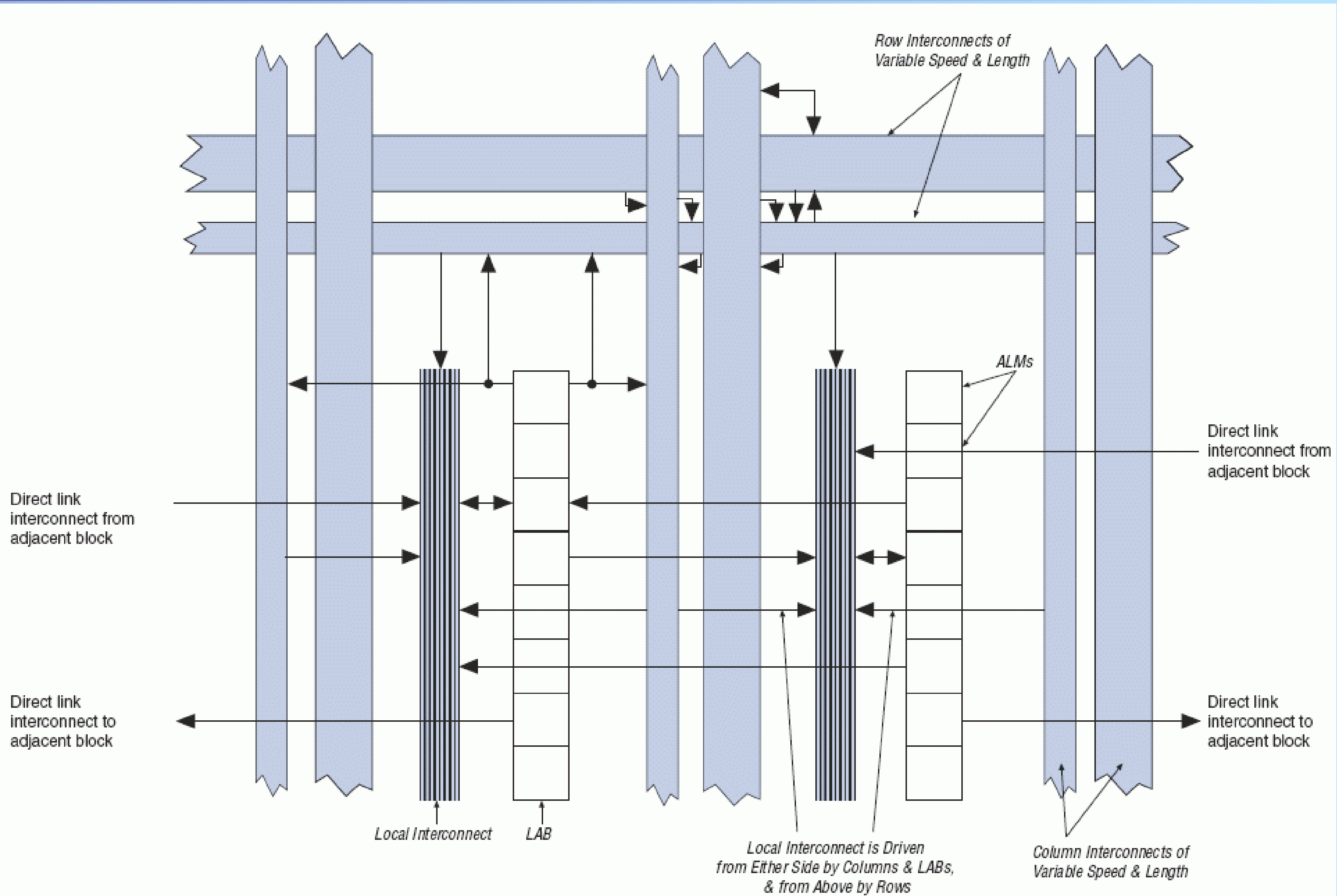
Device	Configurable Logic Blocks (CLBs) ⁽¹⁾				XtremeDSP Slices ⁽²⁾	Block RAM		DCMs	PMCDs	PowerPC Processor Blocks	Ethernet MACs	RocketIO Transceiver Blocks	Total I/O Banks	Max User I/O
	Array ⁽³⁾ Row x Col	Logic Cells	Slices	Max Distributed RAM (Kb)		18 Kb Blocks	Max Block RAM (Kb)							
XC4VLX15	64 x 24	13,824	6,144	96	32	48	864	4	0	N/A	N/A	N/A	9	320
XC4VLX25	96 x 28	24,192	10,752	168	48	72	1,296	8	4	N/A	N/A	N/A	11	448
XC4VLX40	128 x 36	41,472	18,432	288	64	96	1,728	8	4	N/A	N/A	N/A	13	640
XC4VLX60	128 x 52	59,904	26,624	416	64	160	2,880	8	4	N/A	N/A	N/A	13	640
XC4VLX80	160 x 56	80,640	35,840	560	80	200	3,600	12	8	N/A	N/A	N/A	15	768
XC4VLX100	192 x 64	110,592	49,152	768	96	240	4,320	12	8	N/A	N/A	N/A	17	960
XC4VLX160	192 x 88	152,064	67,584	1056	96	288	5,184	12	8	N/A	N/A	N/A	17	960
XC4VLX200	192 x 116	200,448	89,088	1392	96	336	6,048	12	8	N/A	N/A	N/A	17	960
XC4VSX25	64 x 40	23,040	10,240	160	128	128	2,304	4	0	N/A	N/A	N/A	9	320
XC4VSX35	96 x 40	34,560	15,360	240	192	192	3,456	8	4	N/A	N/A	N/A	11	448
XC4VSX55	128 x 48	55,296	24,576	384	512	320	5,760	8	4	N/A	N/A	N/A	13	640
XC4VFX12	64 x 24	12,312	5,472	86	32	36	648	4	0	1	2	N/A	9	320
XC4VFX20	64 x 36	19,224	8,544	134	32	68	1,224	4	0	1	2	8	9	320
XC4VFX40	96 x 52	41,904	18,642	291	48	144	2,592	8	4	2	4	12	11	448
XC4VFX60	128 x 52	56,880	25,280	395	128	232	4,176	12	8	2	4	16	13	576
XC4VFX100	160 x 68	94,896	42,176	659	160	376	6,768	12	8	2	4	20	15	768
XC4VFX140	192 x 84	142,128	63,168	987	192	552	9,936	20	8	2	4	24	17	896

Feature	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
ALMs	6,240	13,552	24,176	36,384	53,016	71,760
Adaptive look-up tables (ALUTs) (1)	12,480	27,104	48,352	72,768	106,032	143,520
Equivalent LEs (2)	15,600	33,880	60,440	90,960	132,540	179,400
M512 RAM blocks	104	202	329	488	699	930
M4K RAM blocks	78	144	255	408	609	768
M-RAM blocks	0	1	2	4	6	9
Total RAM bits	419,328	1,369,728	2,544,192	4,520,488	6,747,840	9,383,040
DSP blocks	12	16	36	48	63	96
18-bit × 18-bit multipliers (3)	48	64	144	192	252	384
Enhanced PLLs	2	2	4	4	4	4
Fast PLLs	4	4	8	8	8	8
Maximum user I/O pins	366	500	718	902	1,126	1,170

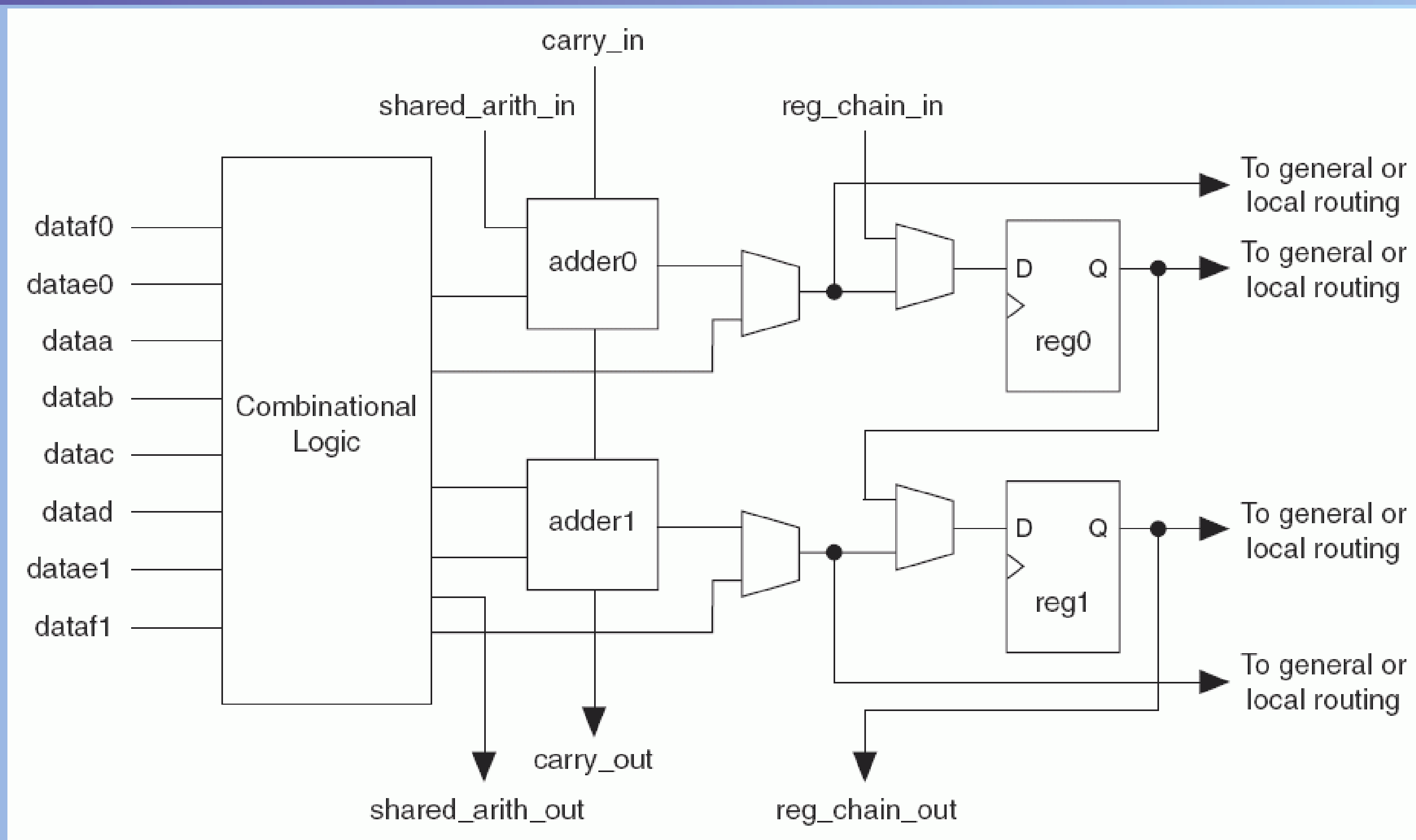
➤ Stratix II GX:

Transceiver 622 Mbps to 6,375 Gbps added, 4 to 20 Channels (EP2SGX30...EP2SGX130)

Stratix II Verbindungsstruktur



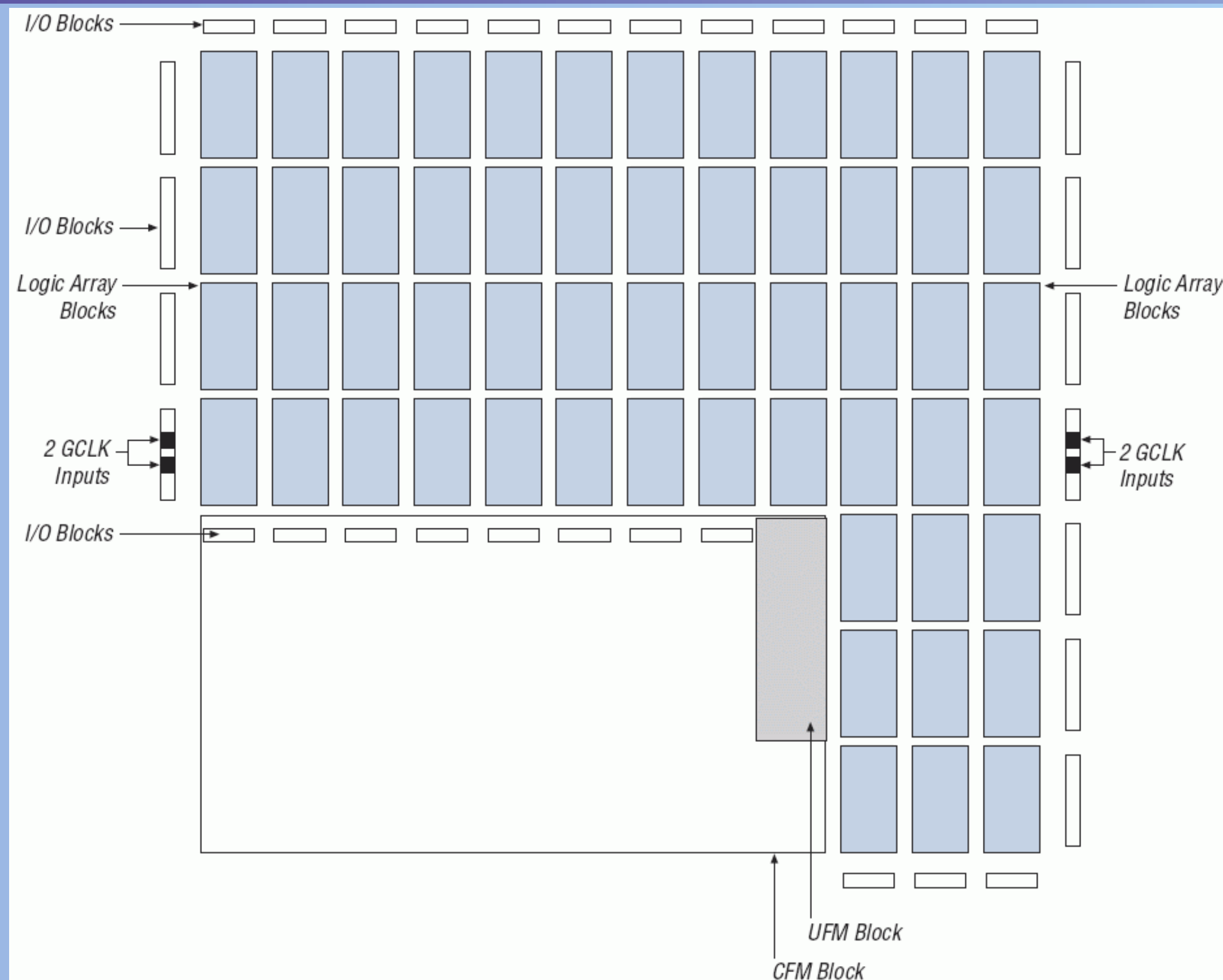
ALM (Adaptive Logic Module)



- bis 8 Eingänge pro 2 ALUTs
- 2 programmierbare Register
- 2 fest verschaltete Volladder
- carry chain
- shared arithmetic chain
- register chain

ALM Operating Modes:

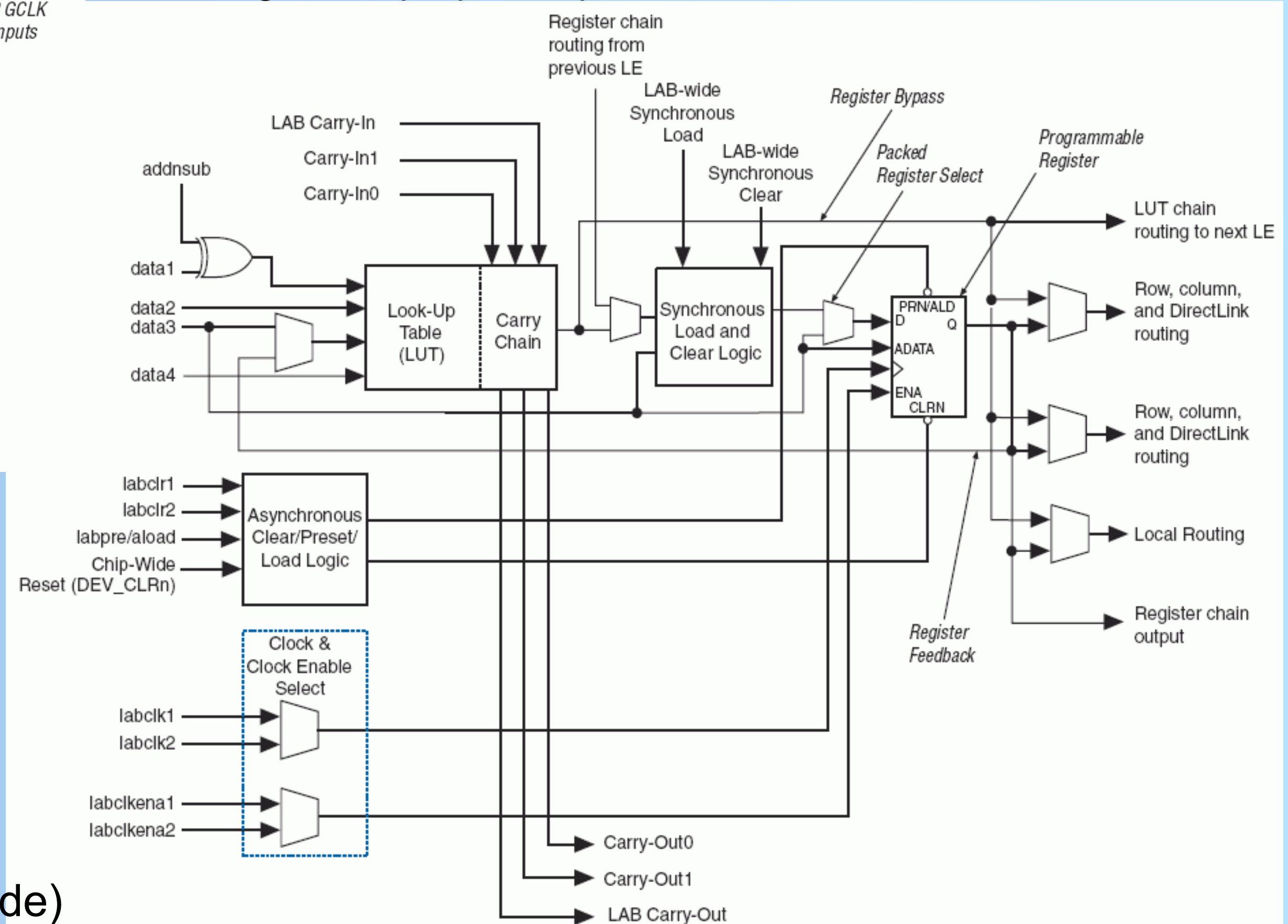
- Normal mode
 - ⇒ bis zu 8 Data-Inputs für kombinatorische Logik
- Extended LUT mode
 - ⇒ 7-Input-Funktionen oder zwei 5-Input-Funktionen
- Arithmetic mode
 - ⇒ Implementierung von Addierern, Zählern, Akkumulatoren und Vergleichen
- Shared arithmetic mode
 - ⇒ Implementierung von „Adder-Trees“



- Global clock network
- LABs (Local Array Blocks) mit je 10 LEs
- CFM (Configuration Flash Memory)
 - SRAM Konfigurationsinformationen
 - Instant on fähig
- UFM (User Flash Memory)
 - general-purpose Speicher

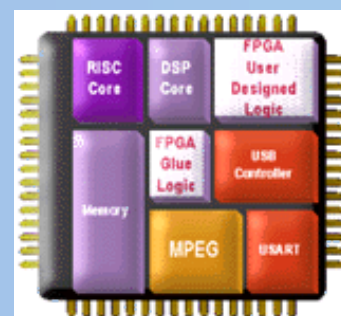
➤ Logic Element (LE)

- control signals
- 4-input LUT
- programmable register (D, T, JK, RS)
- carry chain
- general-purpose I/O pins
- two modes (normal mode, arithmetic mode)



- Prototypen
- Produkte mit kurzem Lebenszyklus
 - ⇒ hoher Einfluss des Markteintrittszeitpunktes
- Produkte mit geringen Stückzahlen
- Selbstkonfigurierende Systeme
 - Anpassung an geforderte Eigenschaften zur Laufzeit
 - SelfX-Eigenschaften:
X = Awareness + Optimization + Healing + Protection
- Echtzeitverarbeitung
 - z.B. Signalverarbeitung (FIR, FFT...)
 - hohe Verarbeitungsgeschwindigkeit und Parallelität

- System on Chip



- **SRAM Technologie**
 - größter Flächen- und Strombedarf
 - Konfiguration bei jedem Start notwendig (z.B. über JTAG-Port aus externem Speicher)
 - schnell

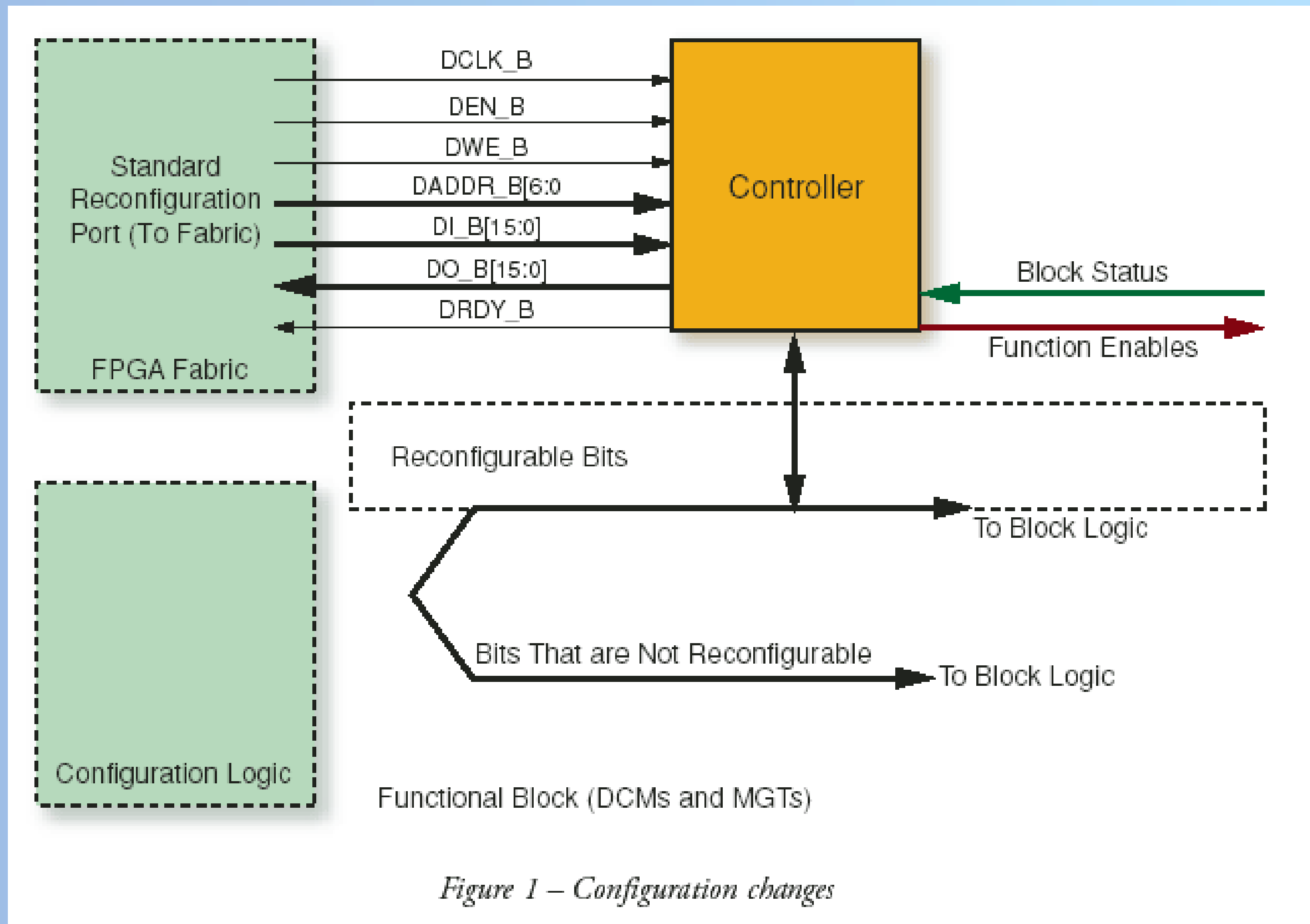
- **Antifuse Technologie**
 - niedrigster Flächenbedarf
 - nur einmal programmierbar (One Time Programmable, OTP)
 - sehr schnell

- **FLASH Technologie**
 - nicht flüchtig
 - re-programmierbar
 - langsam

- **Ziele: geringe Verlustleistung, geringer Flächenbedarf und hohe Geschwindigkeit**

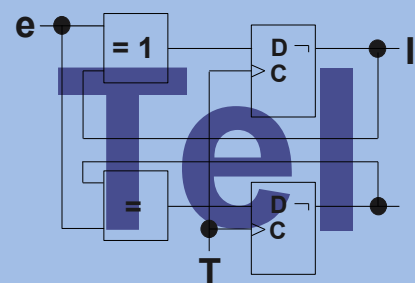
Dynamische Partielle Rekonfiguration

Beispiel: Virtex-4 DRP



- Hardware Multitasking
 - Space-multiplexing anstelle von time-multiplexing
 - Flächen- und Ressourcenmanagement
- Virtual Hardware
 - große Aufgaben auf kleiner Hardware
 - Problem: nötige Zeit für „context switch“
- JHDL
 - 2 Klassen: logic und wire
- Speicher
 - hohe Dichte, nicht flüchtig und schnell

Ziel: Flexibilität von Software mit Performance von Hardware verbinden



Bücher/Zeitschriften

- [1] Markus Wannemacher, Das FPGA-Kochbuch
- [2] Xcelljournal, Virtex-4 Special Edition
- [3] Becker, Platzner, Vernalde,
Field-Programmable Logic and Applications

Webseiten

www.xilinx.com

www.altera.com

www.latticesemi.com

