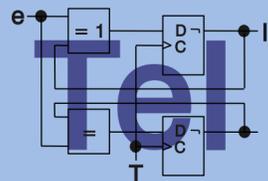


Test und Verifikation digitaler Systeme mit Scan-Verfahren

Stefan Alex

s2174321@inf.tu-dresden.de

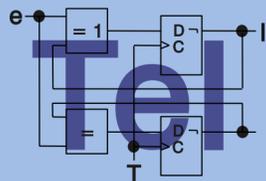


➤ Einführung

- Fehlerarten
- Ursachen von Schaltungsfehler
- Prüfstrategien

➤ Scan-Verfahren

- Prüfbus
- Level Sensitive Scan Design
- Boundary-Scan
- weitere Scan-Verfahren



➤ Entwurfsfehler

➤ Schaltungsfehler

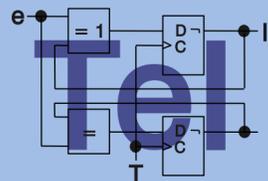
- **transiente Fehler**

(Wackelkontakte, Spannungsabfälle, äußere Einflüsse)

- **persistente Fehler**

dynamisch (Hazards, Races, Induktion, etc.)

statisch (Haftfehler, Kurzschlussfehler, Vertauschungsfehler)



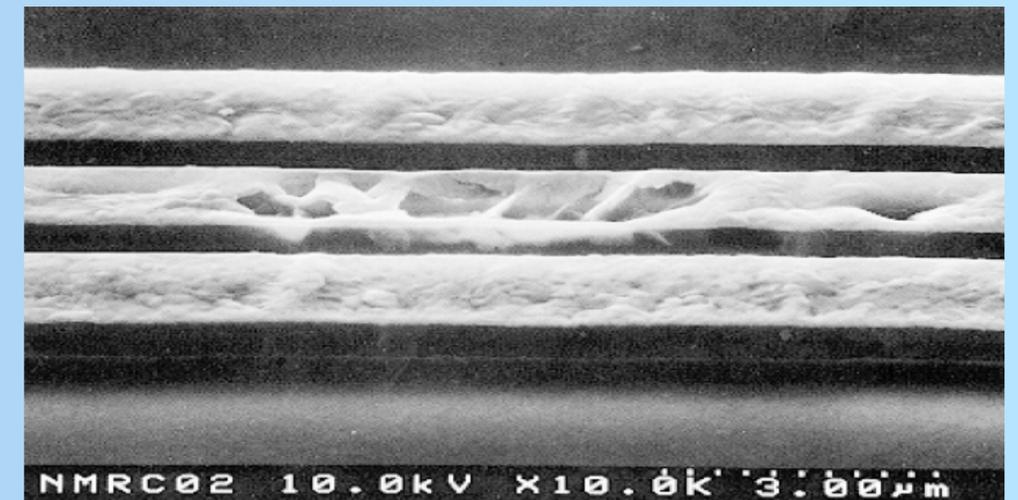
➤ Materialfehler

➤ Herstellungsfehler

- fehlerhafte Masken, falsch justierte Masken
- Dotierungsfehler, Ätzungsfehler

➤ Herstellungsausfälle

- statische Aufladung
- thermische o. elektrische Überlastung
- Atommigration



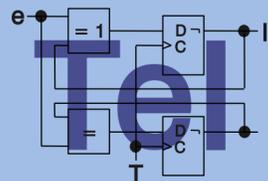
➤ Fehler bedingt durch Betriebsumgebung

➤ Funktionsprüfung

- durch Testmuster wird korrekte Funktion der Schaltung nachgewiesen

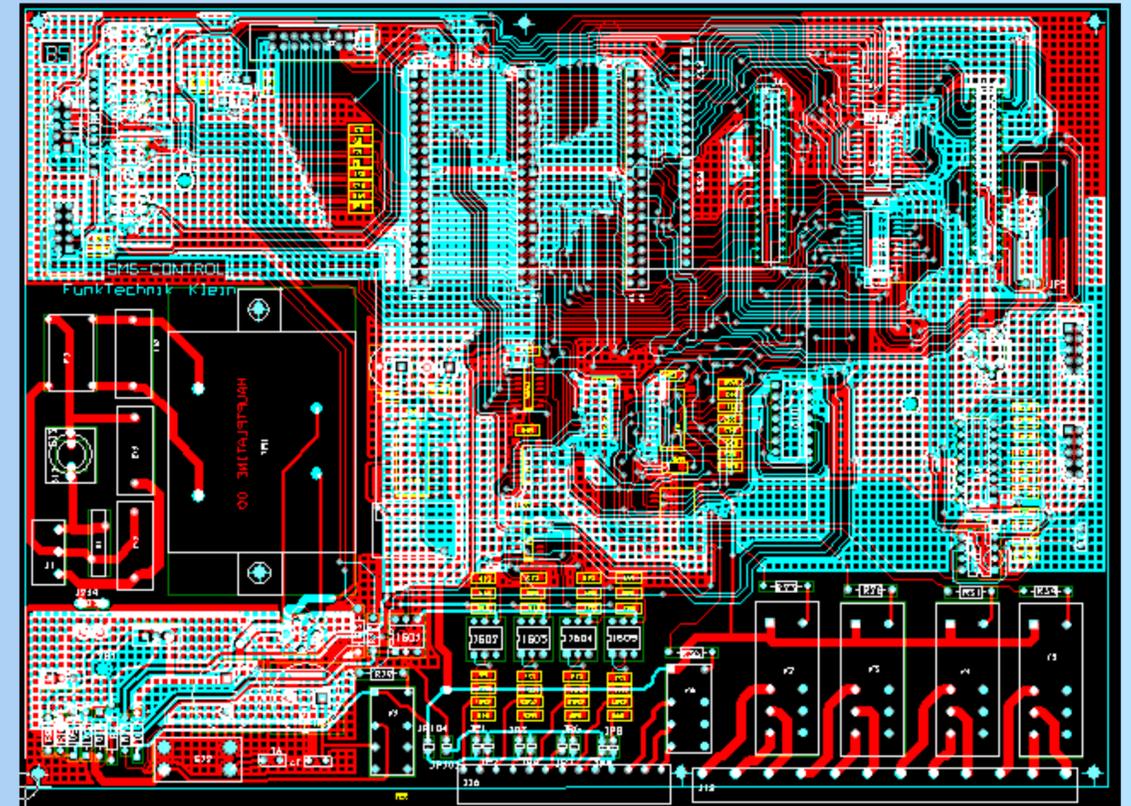
➤ Objektprüfung

- Vorhandensein eines Fehlers wird nachgewiesen



➤ Probleme:

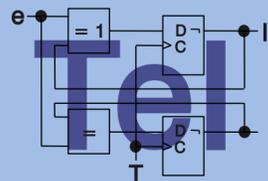
- Schaltungsumfang zu groß, Zugang zu internen Ein-Schaltungsabschnitten
- bei sequentiellen Schaltungen: hohe Anzahl von Testmustern



➤ Lösung

- Hinzufügen sekundärer Eingänge
- direkten Zugriff auf Speicherelemente

- **Prüfbus (scan-path)**
- 1973 von Williams und Angell vorgestellt
- Flipflops einer sequentiellen Schaltung werden zu einem Schieberegister zusammengesaltet
- über diese können Daten seriell ein- und ausgelesen werden



➤ 2 Betriebsarten

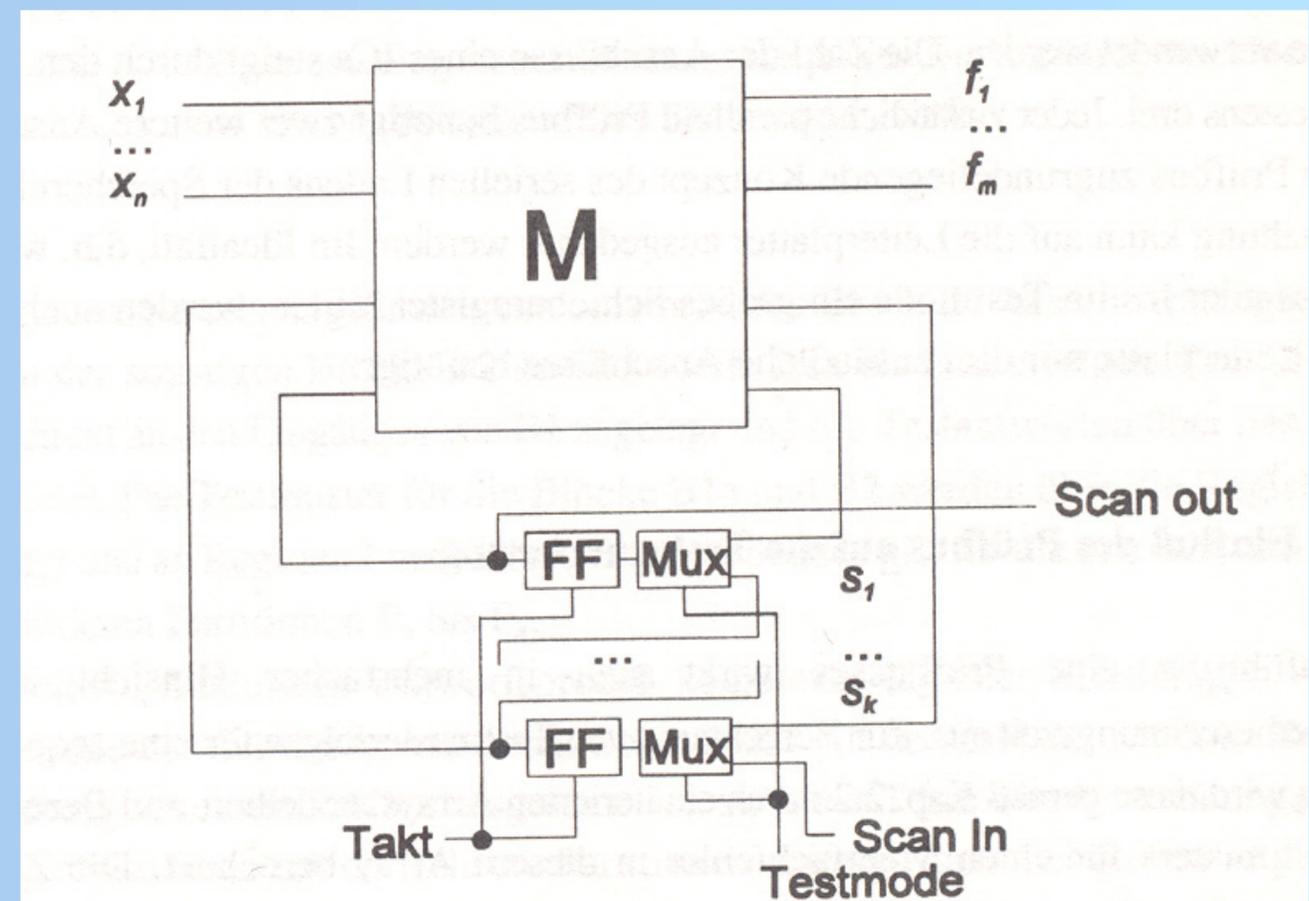
- Normalbetrieb (Prüfbus inaktiv)
- Testbetrieb (Prüfbus aktiv)

Daten können seriell ein-/ausgelesen werden

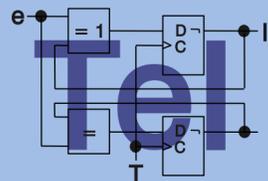
➤ vor jedem Dateneingang eines Flipflops:

2-Bit-Multiplexer

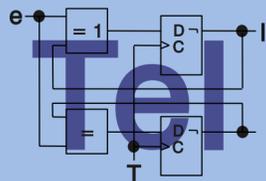
➤ Steuerleitung



- Aufteilung der Schaltung in kombinatorische und sequentielle Teilschaltung
 - im Test nur reines Schaltnetz betrachtet
- 5 – 20 % höherer Hardwareaufwand
- Signallaufzeiten der Schaltung sind zu beachten

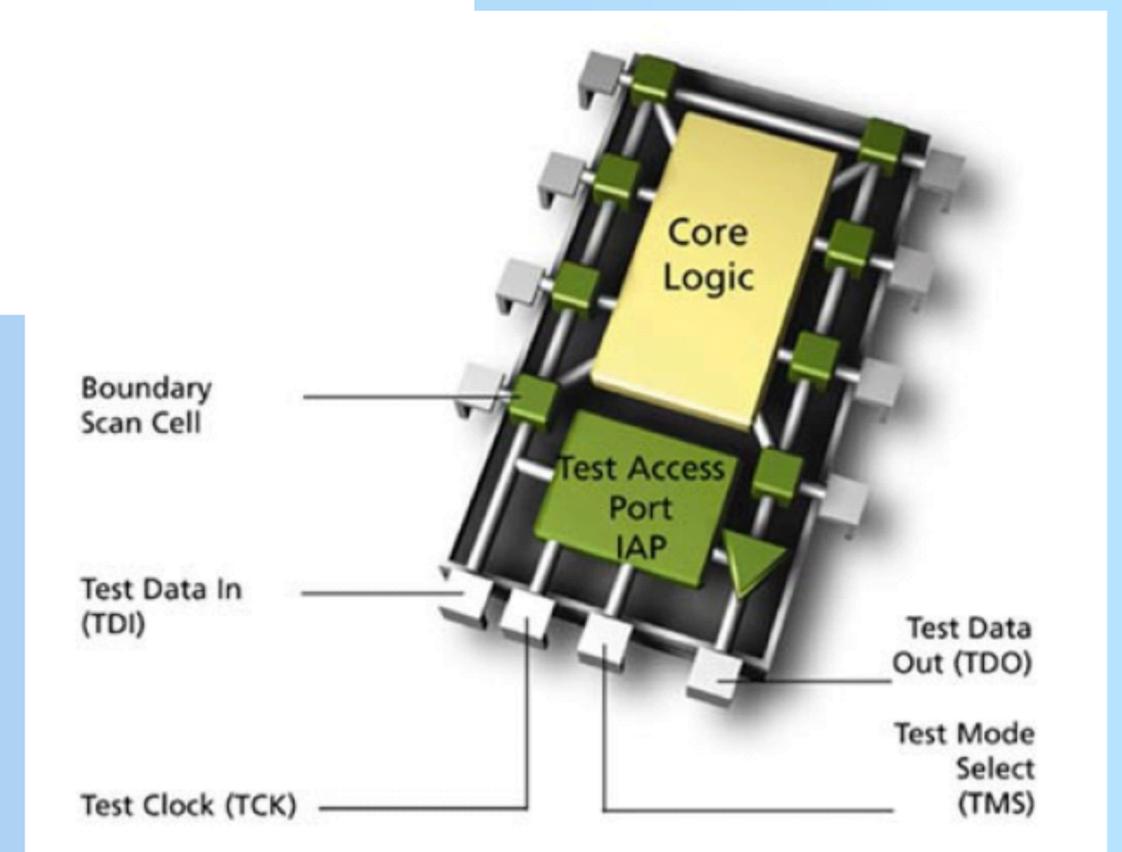
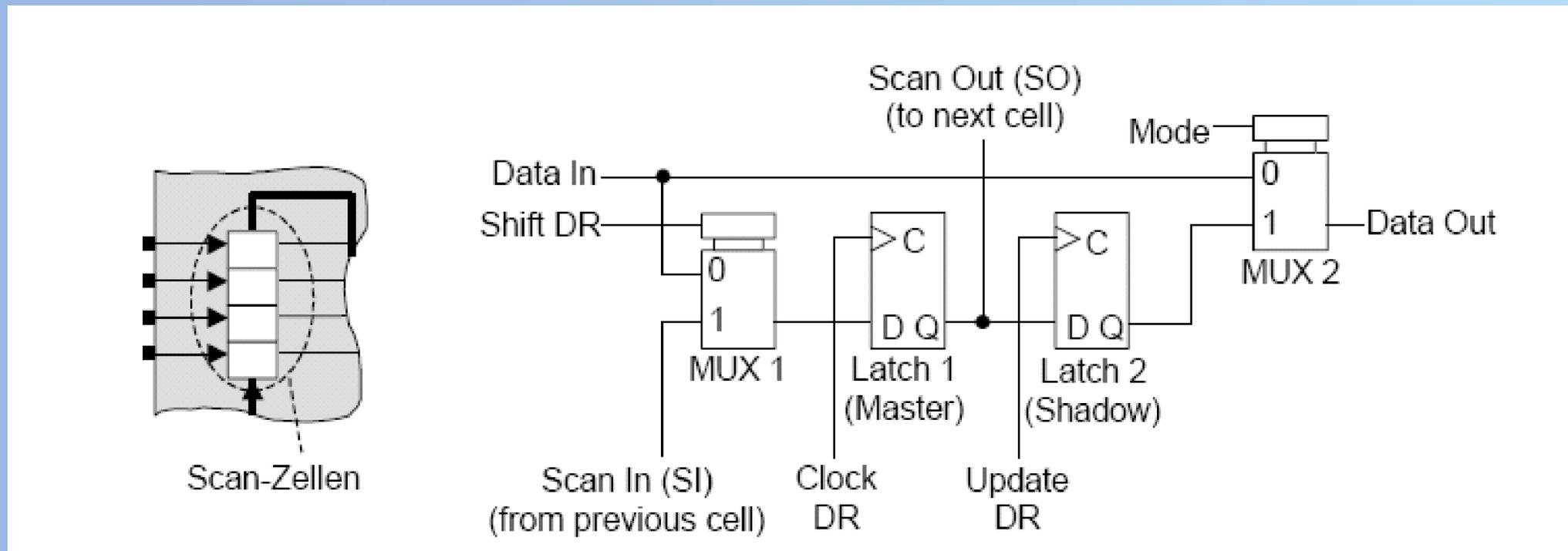


- kleine Baugruppen, Anwendung von Multi-Layer-Design
- Folge: „In Circuit“-Teststrategie nicht mehr anwendbar
- Lösung: **Boundary-Scan**
 - Festlegung einer einheitlichen Testschnittstelle vor jeder Teilschaltung
 - 1990 durch IEEE 1149.1 genormt



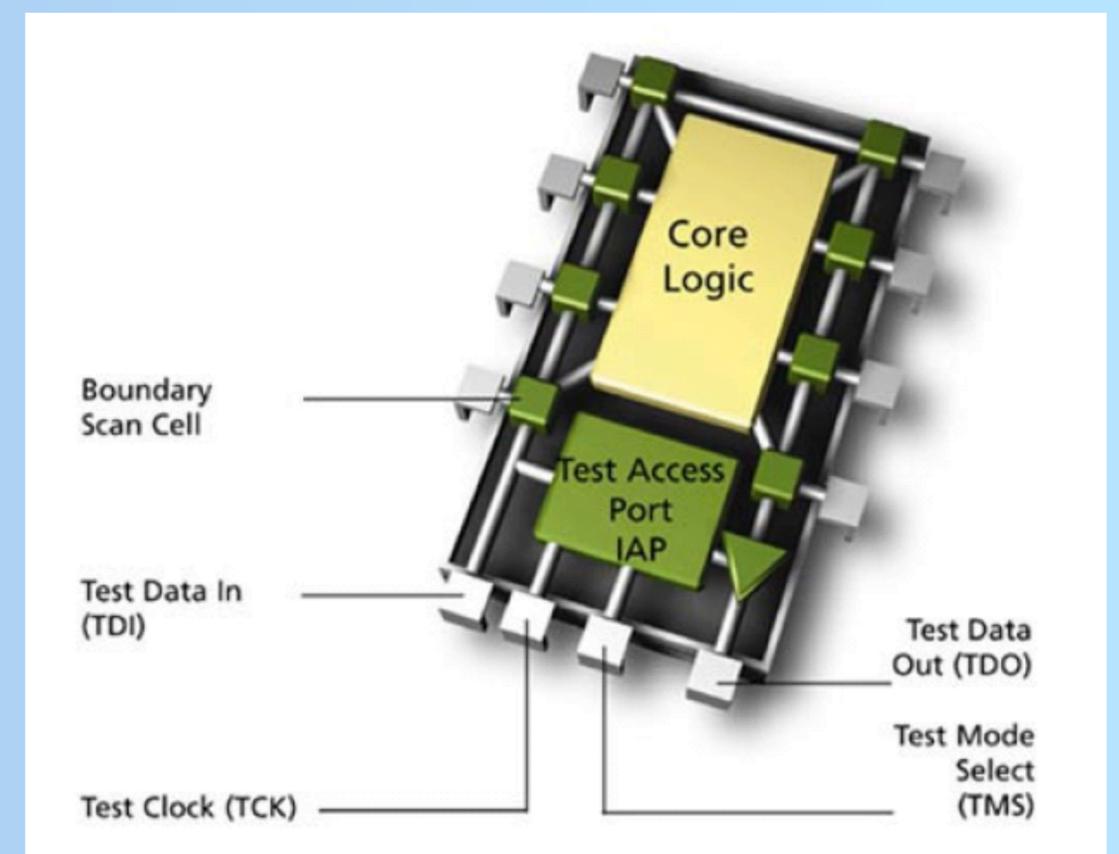
Boundary-Scan - BS-Zelle

- an jedem Eingangs-/Ausgangspin der Kernlogik:
Boundary-Scan-Zelle

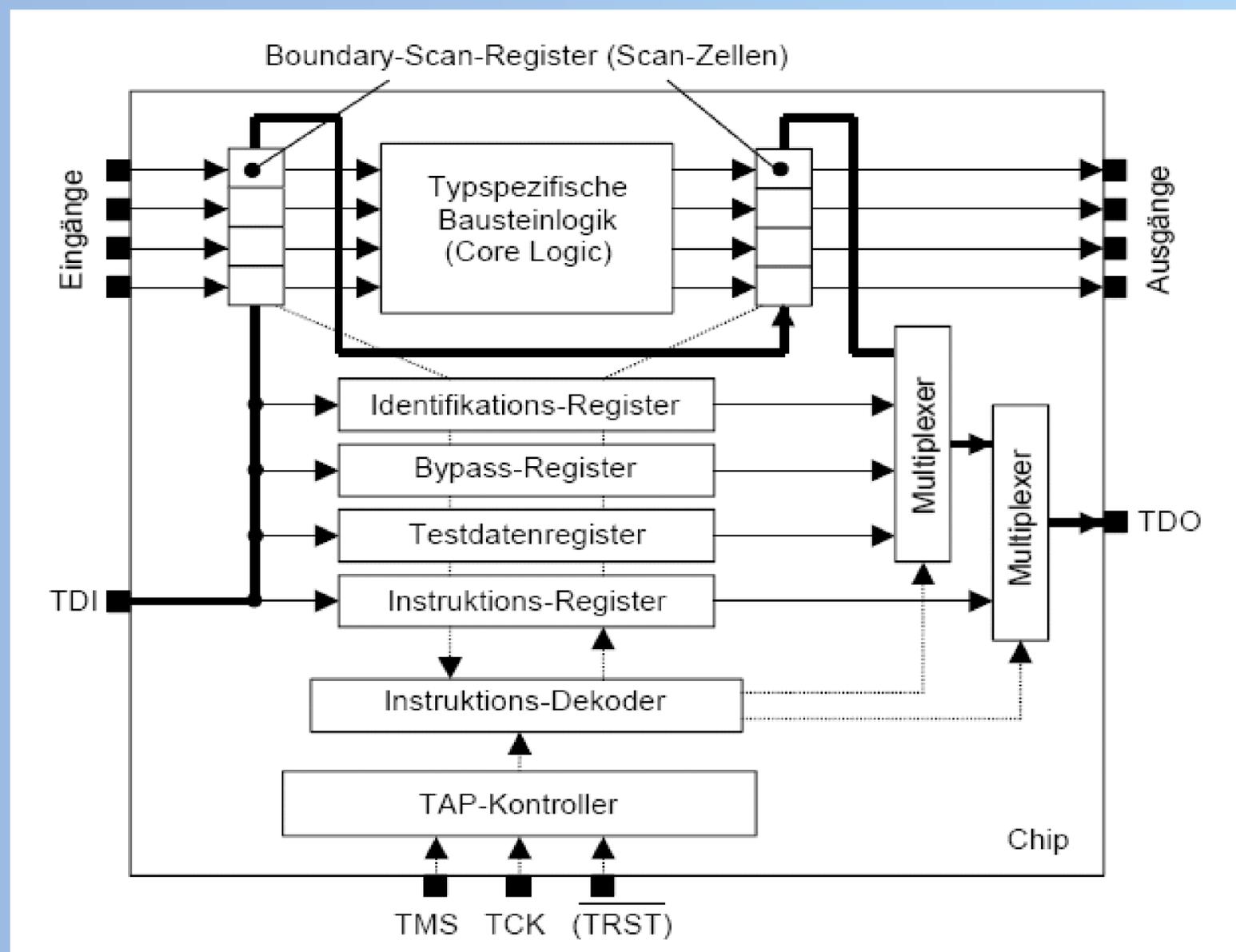


Boundary-Scan - Schnittstelle

- Joint Test Action Group
- 4 bzw. 5 Eingangssignale (JTAG-Schnittstelle)
 - TDI (Test Data Input)
serielles Einlesen der Daten
 - TDO (Test Data Output)
serielles Auslesen der Daten
 - TMS (Test Mode Select)
 - TCK (Test Clock)
 - TRST (Test Reset) *optional*



Boundary-Scan - Testschaltung



➤ TAP (Test Access Port)

- Steuerlogik der Testschaltung
- Zustandsautomat

Boundary-Scan – genormte Befehle

➤ SAMPLE/PRELOAD

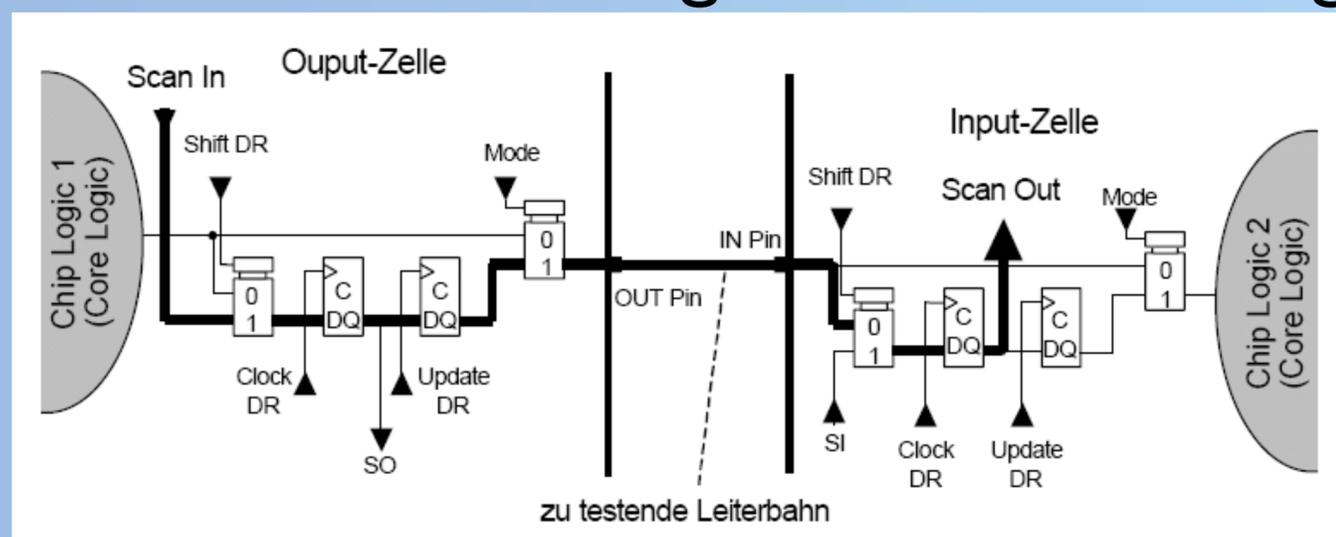
- Boundary-Scan-Register
- Daten können ausgelesen werden (SAMPLE)
- Testdaten können eingegeben werden (PRELOAD)

➤ BYPASS

- Daten direkt von TDI nach TDO

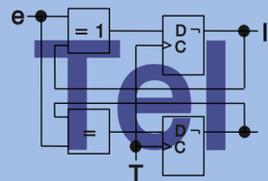
➤ EXTEST

- externe Verbindungen der Schaltung getestet

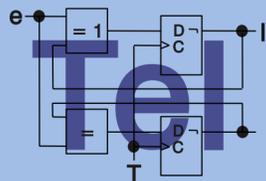


➤ weitere herstellerspezifische Befehle

- **INTEST**
Test der internen Schaltung
- **RUNBIST** (Run Build In Self Test)
Selbsttest
- **IDCODE**
Auslesen des Identifikation-Registers
- **CLAMP**
feste Werte an Ausgängen von BS-Zellen
- **HIGHZ**
hochohmige Ausgänge



- Abschnitt einer Schaltung kann isoliert betrachtet werden
- Prinzip universell einsetzbar
 - digitale Schaltungen (IEEE 1149.1)
 - analoge Schaltungen (IEEE 1149.4)
 - In-System-Programmierung



- MAST (Multiplexed Access Scan Testable Design)
 - Verringerung der Lese- bzw. Schreibdauer durch parallele Schieberegister
- Random Access-Scan
 - adressierbare Flipflops
- Scan-Set
 - Schieberegister außerhalb der sequentiellen Schaltung
 - nur geringe Veränderung der ursprünglichen Schaltung

- Hans Woitkowiak - Test und Testbarkeit digitaler Schaltungen – B. G. Teubner-Verlag
- Wilfried Daehn – Testverfahren in der Mikroelektronik Springer-Verlag
- Dietmar Dietrich, Thilo Sauter – Grundlagen und Einteilungsmöglichkeiten für fehlertolerante Systeme
http://members.a1.net/bernhard.weis/pdf/DA_FeTo2002.pdf