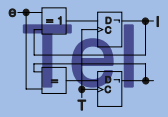
Entwicklung eines generischen Simulators für Bussysteme

Stephan Radke

stephan.radke@inf.tu-dresden.de



Institut für Technische Informatik
http://www.inf.tu-dresden.de/Tel/

05.04.2006

Gliederung

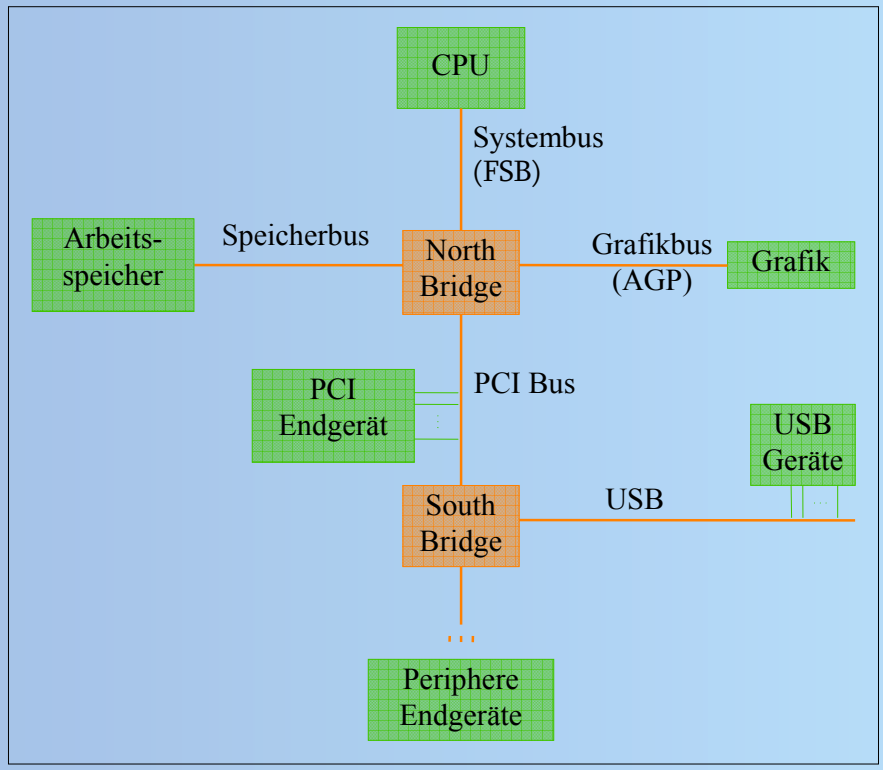
- Motivation
- Bussysteme in der Praxis
- Parametrierung des Bussimulator
- Implementierung und Simulation
- Ausblick

Motivation

- Bussysteme verbinden Komponenten in Rechnersystemen
- Schwierigkeit, die Anforderungen eines Bussystems zu prognostizieren
- Im Vordergrund stehen Kosten, Geschwindigkeit und Auslastung

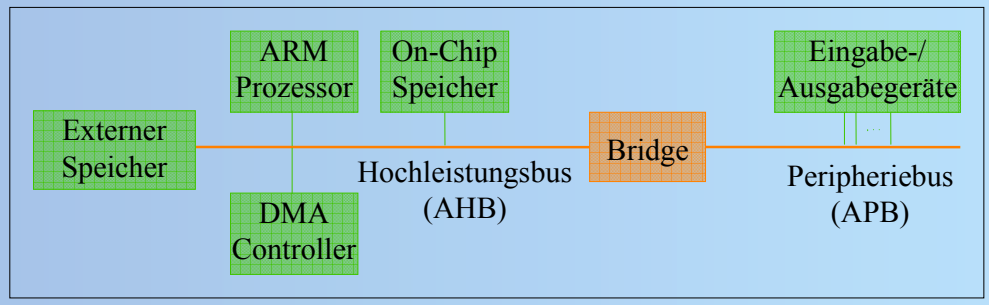
- Parametrierbares Bussystem zur Simulation ausgewählter Szenarien

North-/Southbridge - Architektur eines PCs



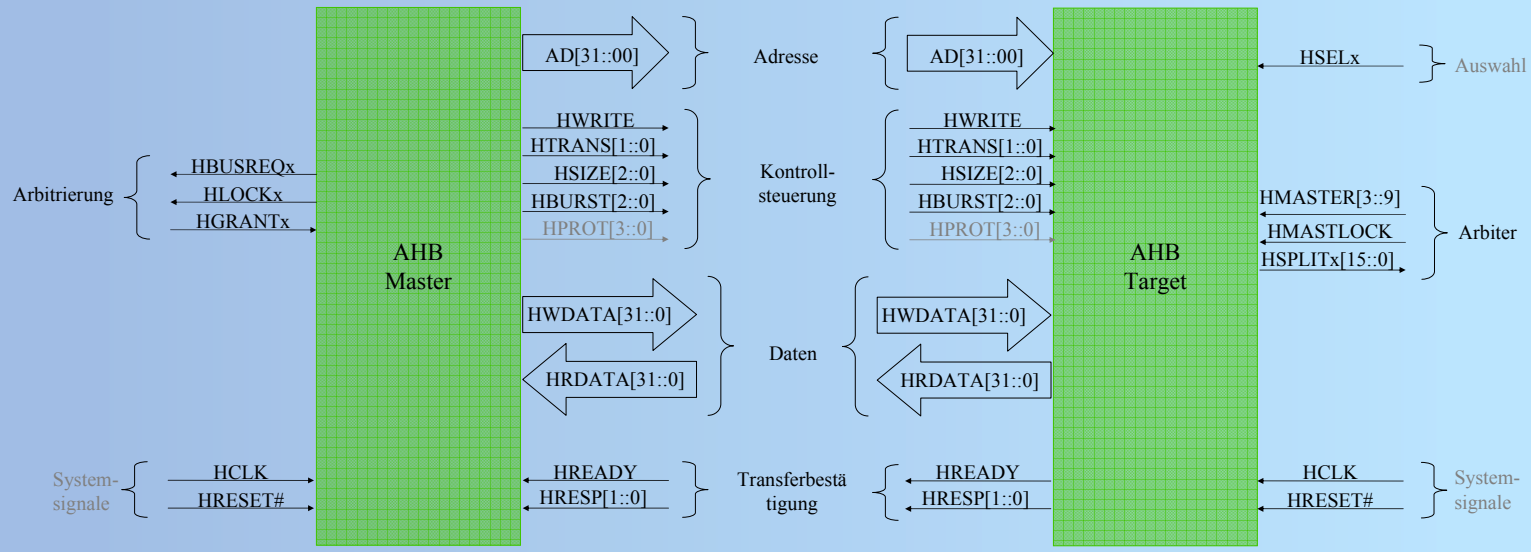
CPU Central Processing Unit
AGP Accelerated Graphics Port
PCI Peripheral Component Interconnect
USB Universal Serial Bus
FSB Front Site Bus

AMBA *(Advanced Microcontroller Bus Architecture)* eines Mikrocontrollers

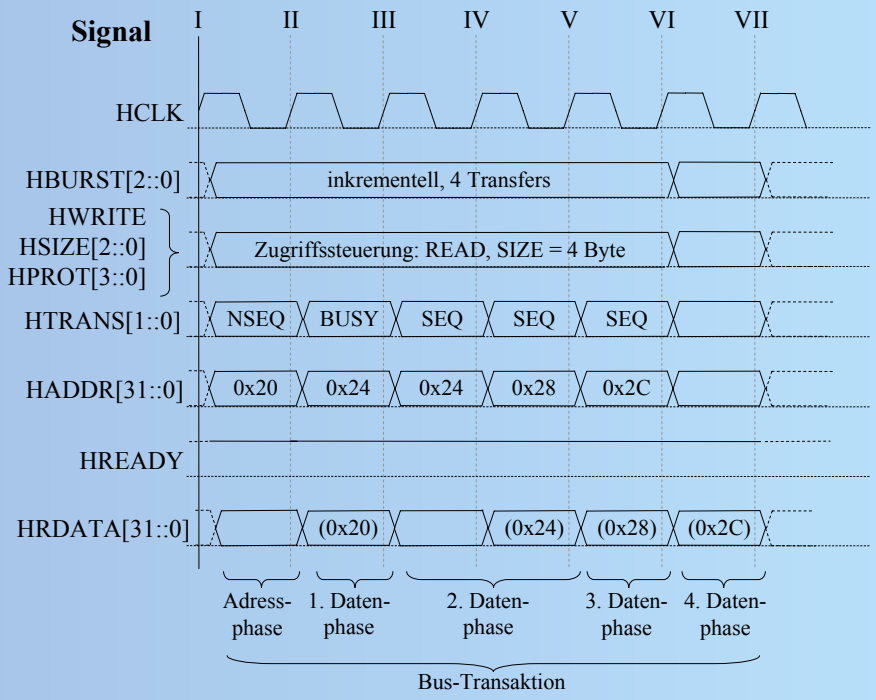


ARM Advanced RISC Machines
AHB Advanced High Performance Bus
APB Advanced Peripheral Bus
DMA Direct Memory Access

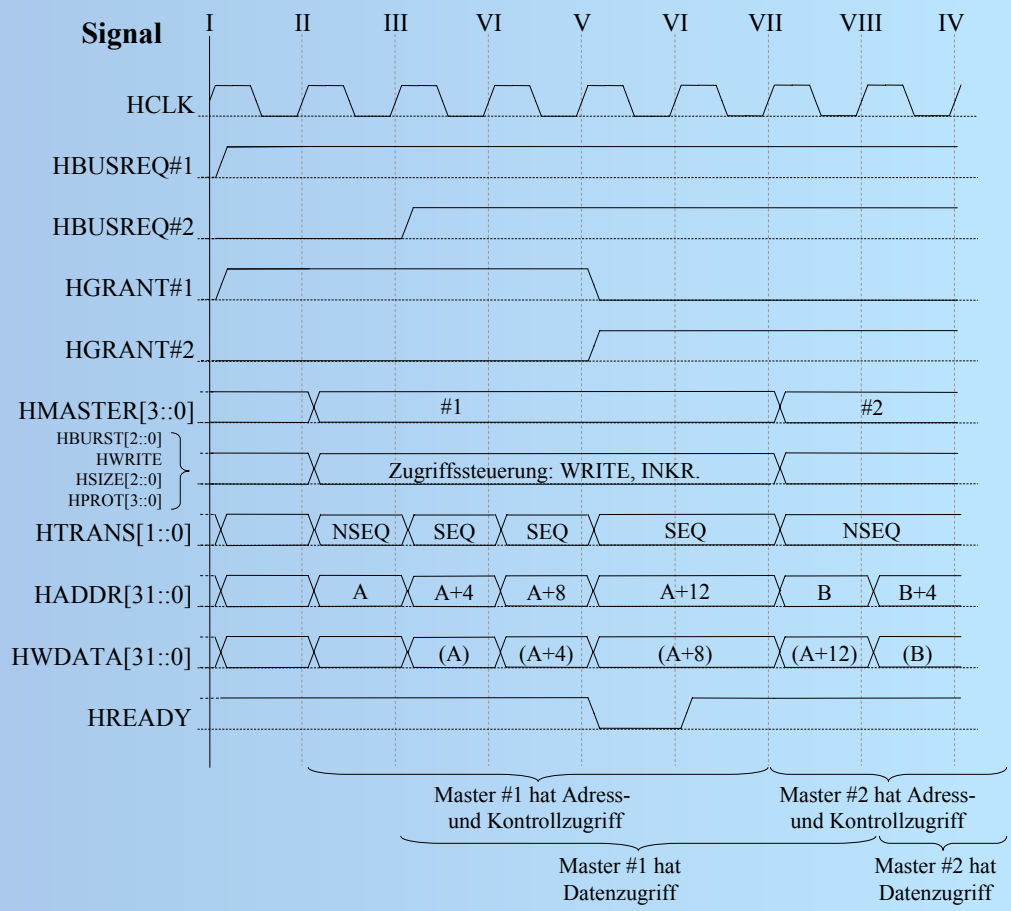
Anschlussbelegung des Systembusses AHB



Mehrfacher Lesetransfer



Arbitrierung



Funktionsumfang des Busmodells:

- Datengröße
- Adressgröße
- Taktrate
- Einzel- bzw. BURST-Transfers
- Wartezyklen
- Multiplexvarianten

Arbitrierungsalgorithmus:

- FIXED: feste Prioritätenvergabe
- FIFO: first-in-first-out
- ROUND: zirkulierende Busvergabe

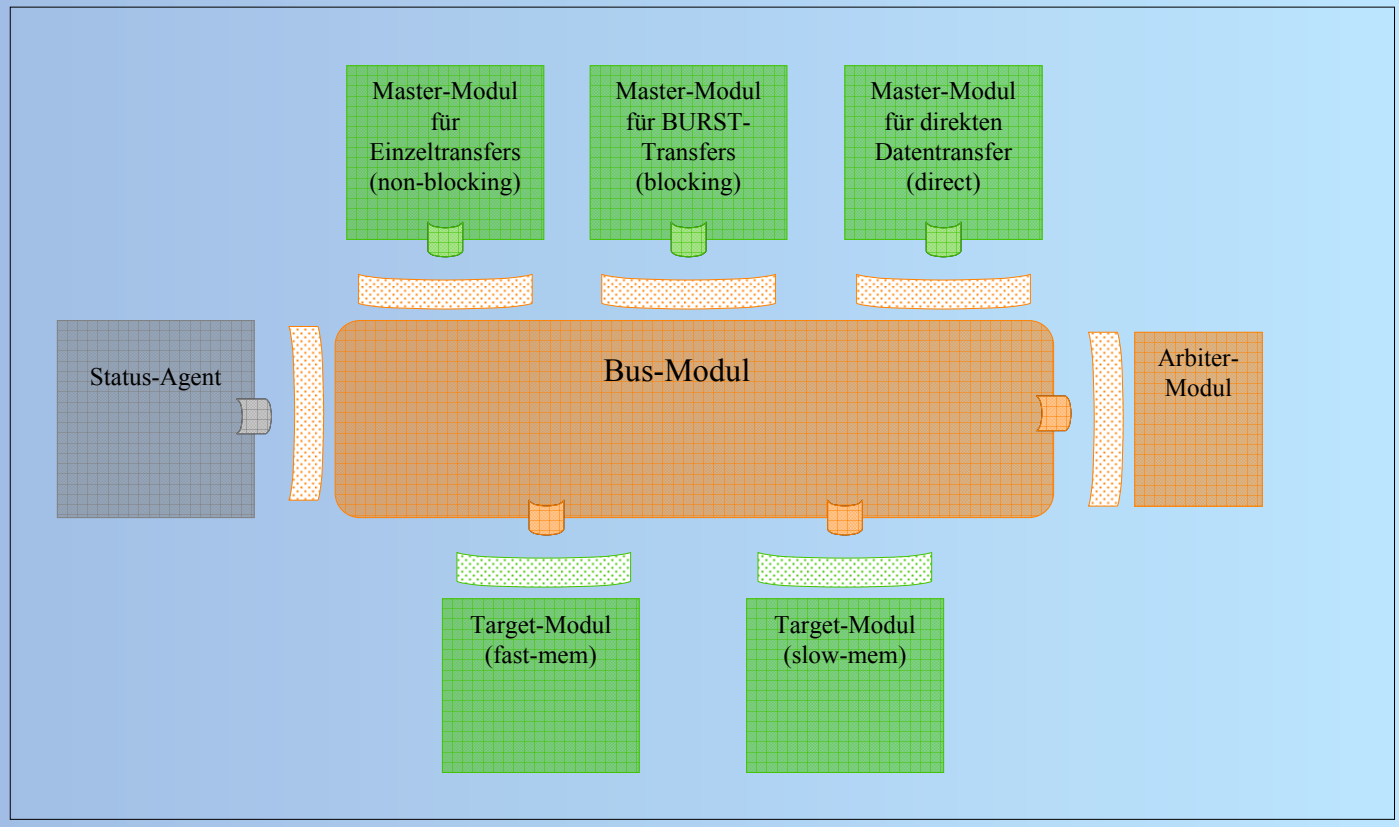
Beschreibungssprache des Simulators

- SystemC ist eine Klassenbibliothek von C++
- Enthält spezielle Datentypen zur Hardware-beschreibung
- Funktionalitäten für simultane Anwendungen
- Komponenten werden in Module untergliedert

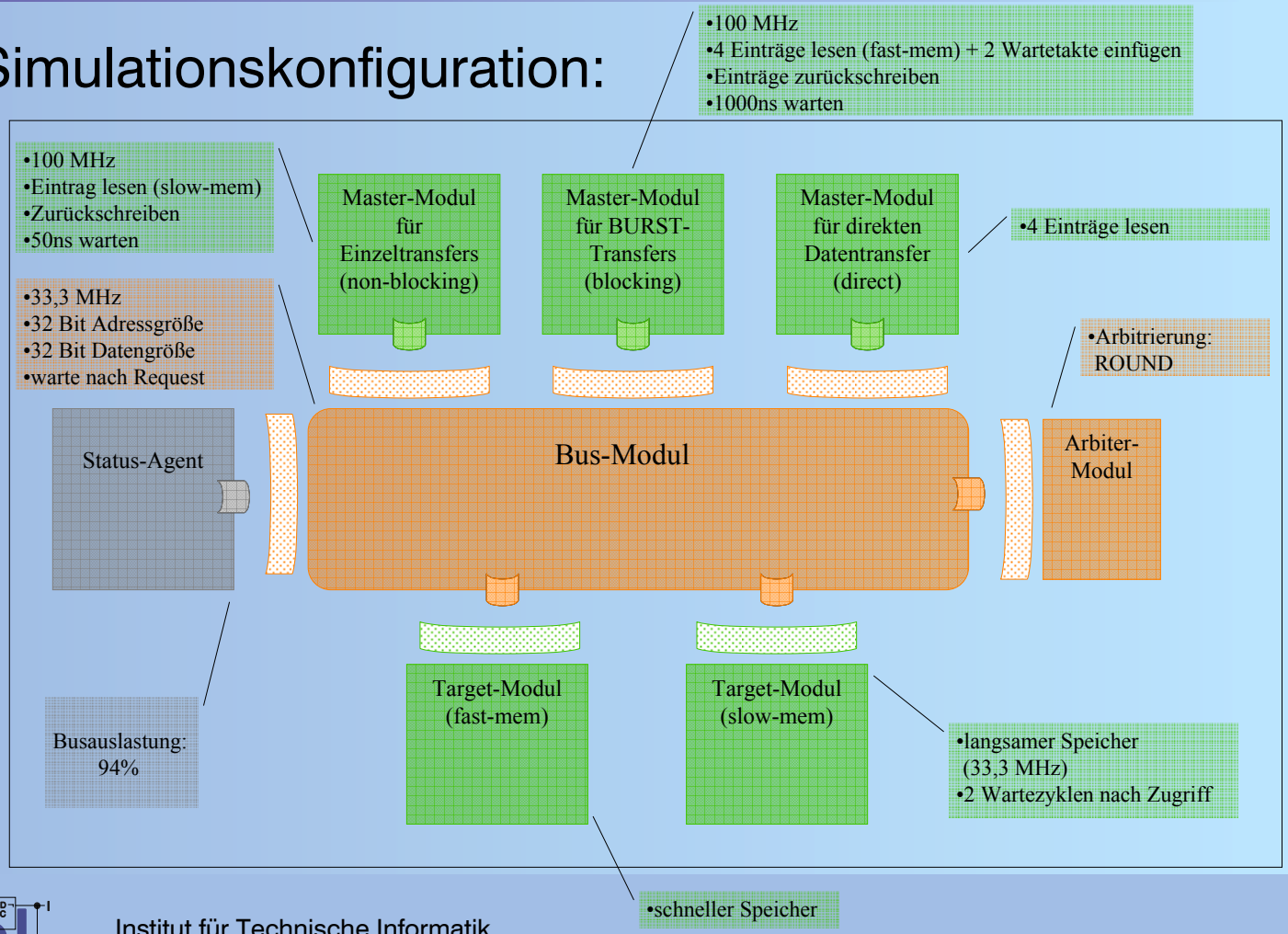
Übergabe der Busparameter

```
bussystem = new bus("bussystem"
          , 32          // Adressgröße
          , 32          // Datengröße
          , true        // warten nach Request
          , false       // warten nach Kommando
          , false       // warten nach Adressphase
          , false);     // aktiviere Konsolenausgabe
```

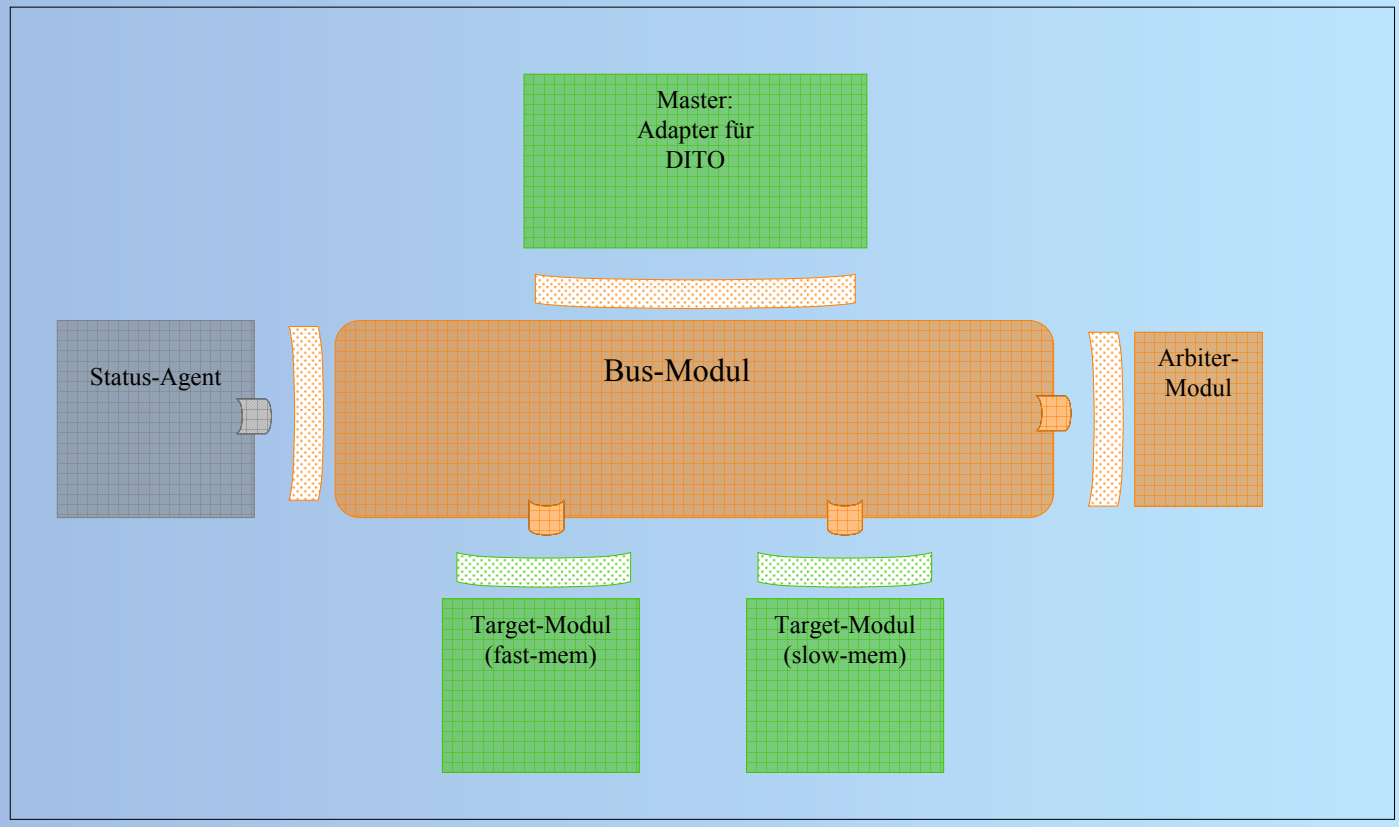
Simulator


Master-Modul für Einzeltransfers (non-blocking)
Master-Modul für BURST-Transfers (blocking)
Master-Modul für direkten Datentransfer (direct)
Status-Agent
Bus-Modul
Arbiter-Modul
Target-Modul (fast-mem)
Target-Modul (slow-mem)

Simulationskonfiguration:



Integration in den Prozessorsimulator DITO



Ausblick

Bussystem:
- Parametrierung über externe Datei

Simulationsauswertung:
- Durchsatzrate
- Durchschnittliche Wartezeit eines Masters

DITO-Integration:
- Getrennte Speicher- und Datenbusse
- Caches
- DMA-Controller

Vielen Dank!