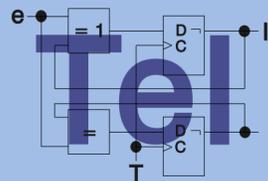


Die IBM Cell Prozessorarchitektur

Vortrag im Rahmen des Hauptseminars

Jonas Eymann

`jonas.eymann@inf.tu-dresden.de`

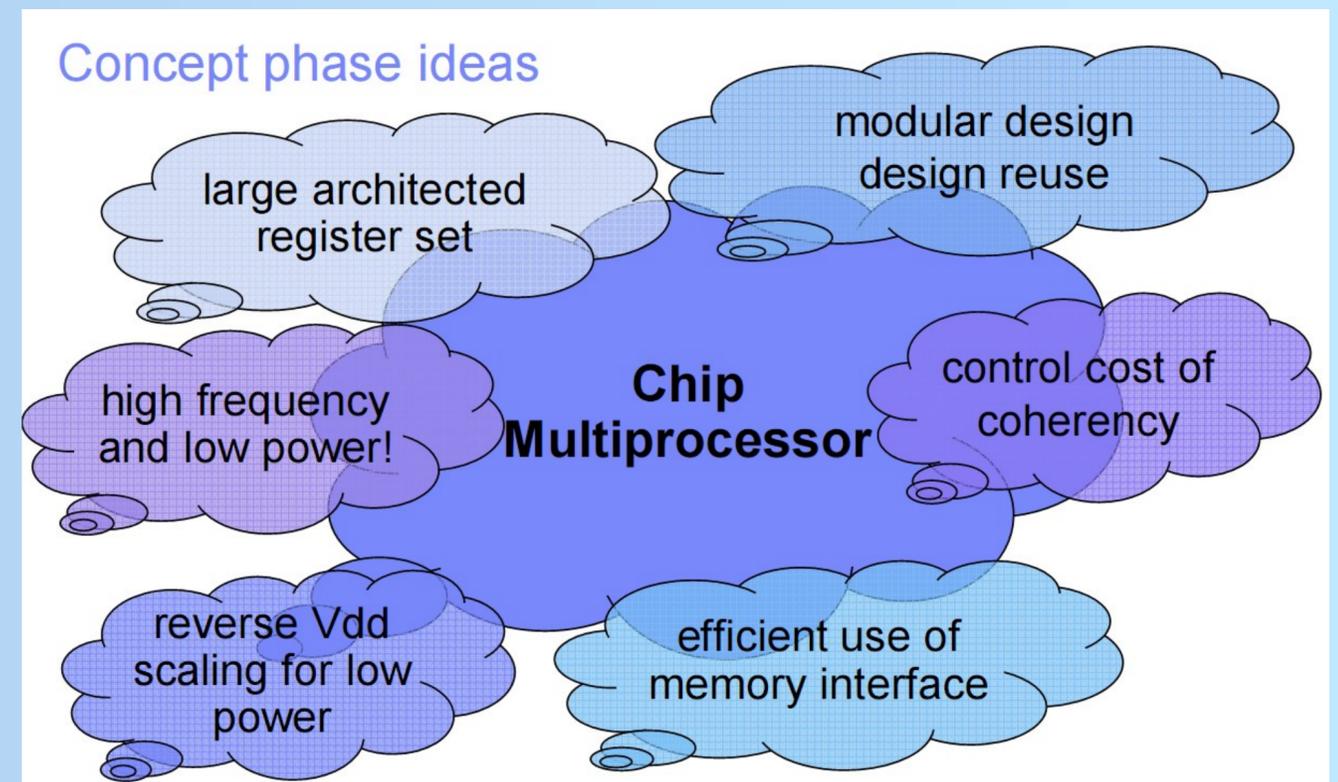


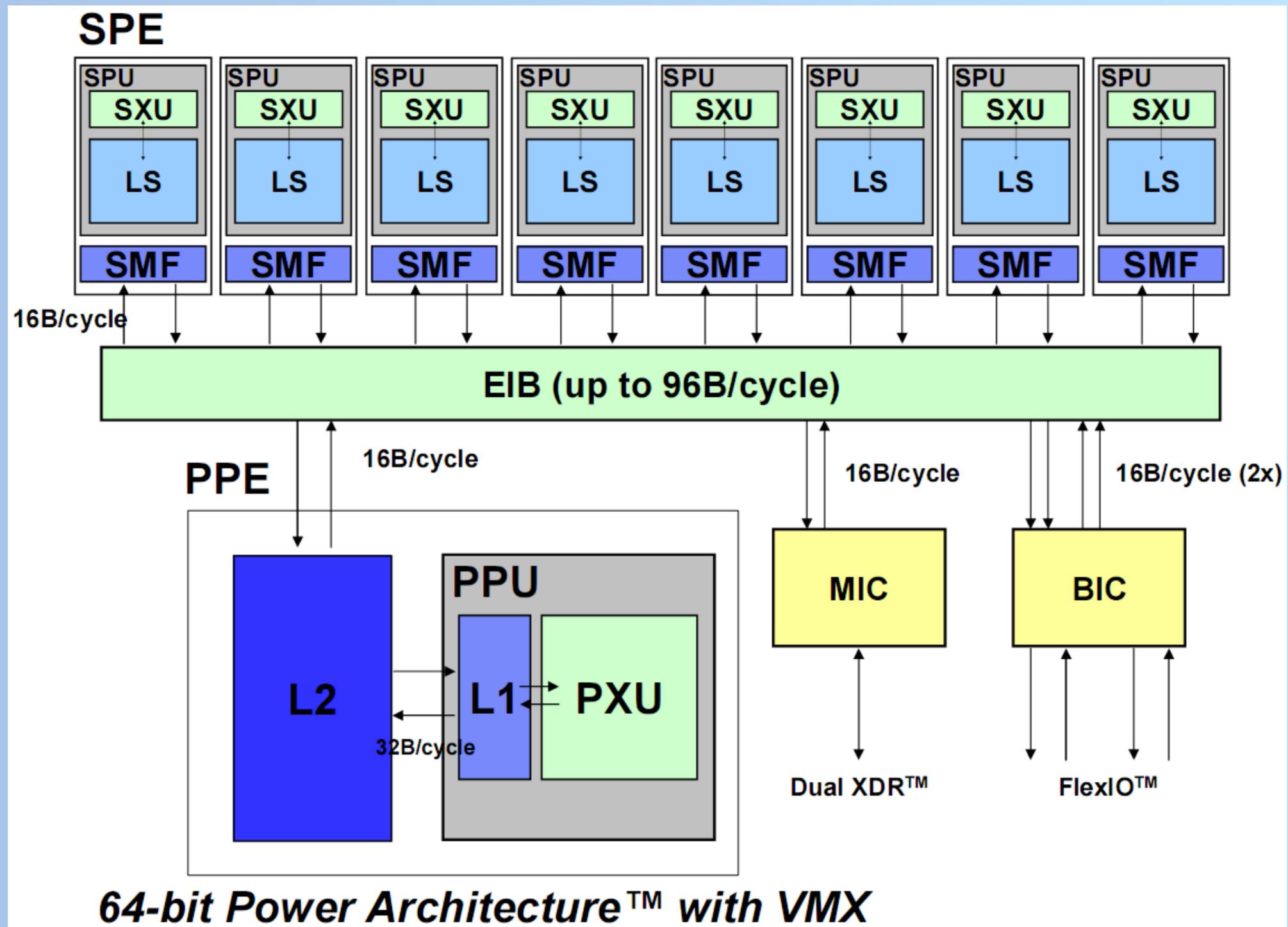
- Entwicklung
- Cell Prozessor
 - Architektur
 - Power Processing Element
 - Synergistic Processing Elements
 - Pipeline der SPEs
 - Implementierungsdetails
 - Systemkonfigurationen
- Anwendungsgebiete
- Ausblick
- Zusammenfassung

- 2000 erste Gespräche zwischen Sony, IBM und Toshiba
- Idee: neue zukunftsweisende Prozessorarchitektur mit der 100 fachen Leistung einer Playstation 2
- Berücksichtigung von Aspekten aus
 - Breitband Interconnects
 - Unterhaltungssystemen
 - Supercomputern
- März 2001 Gründung des STI (SCEI-Toshiba-IBM) Design Centers in Austin, Texas

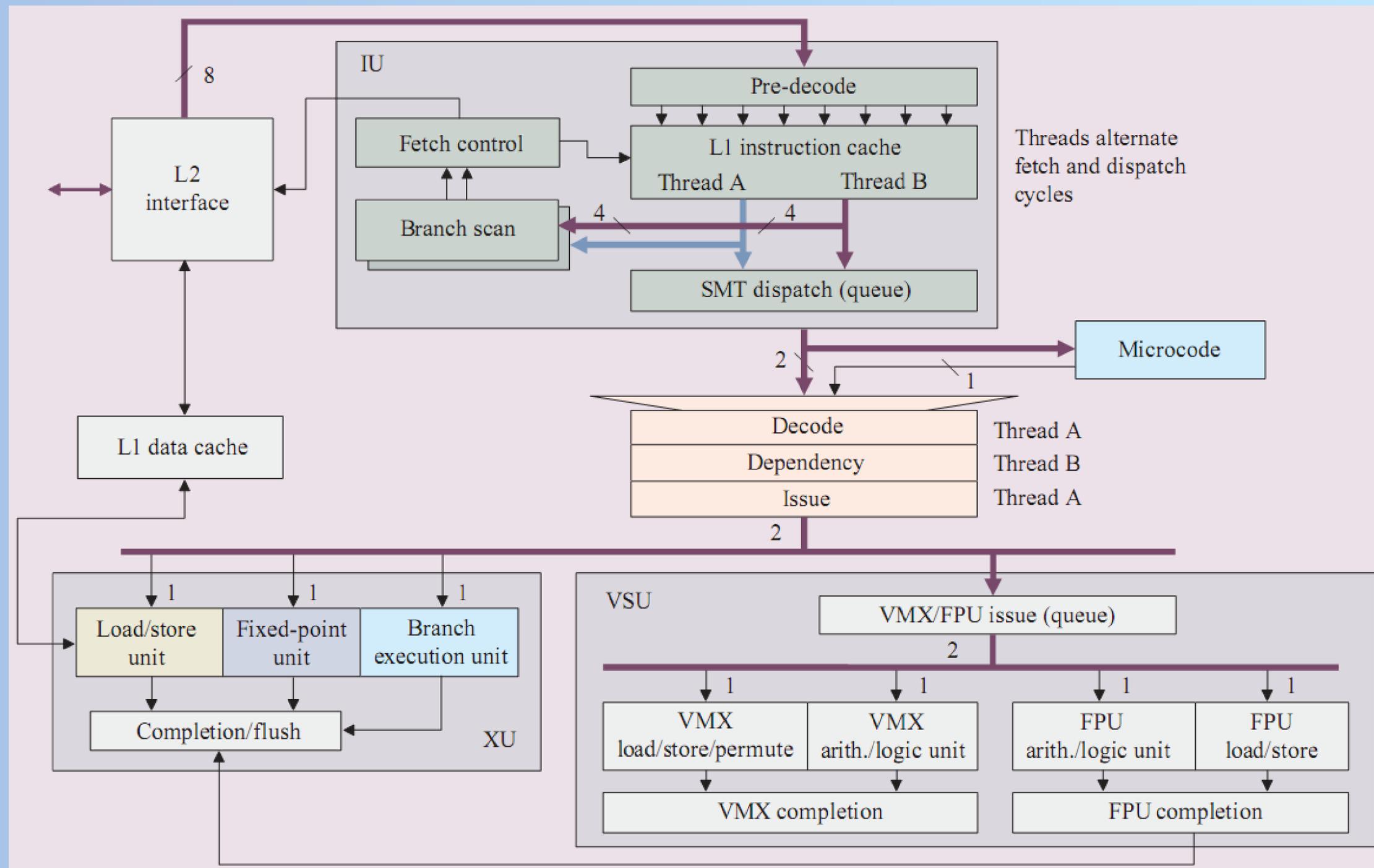
- Hohe Leistung, besonders im Spiele /
Multimediabereich
 - „Memory Wall“ (hohe Speicherlatenz) überwinden
 - Ende der Frequenzskalierung absehbar
 - Schlechte Leistungseffizienz verbessern
- Echtzeitverhalten in Bezug auf Anwender und
Netzwerk
 - „Den Anwender beschäftigen, nicht den Prozessor“
- Unterstützung verschiedener Plattformen
 - Linux-basierte Systeme
- Produkteinführung 2005
 - komplett neue Architektur kann leicht 10 Jahre benötigen

- Design für hohe Frequenzen
- Kompatibilität zur Power Architektur
- SIMD Architektur
- Multiprozessorkonzept mit lokalem Speicher
- Hochleistungsbus auf dem Chip
- Hohe I/O Leistung

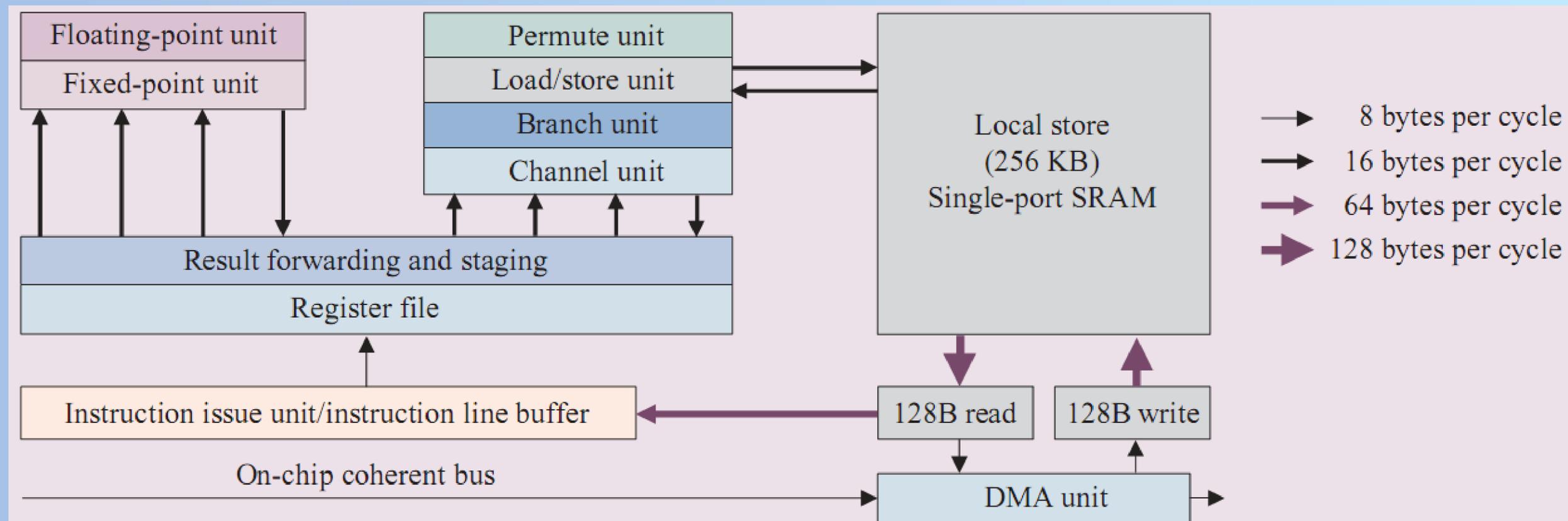




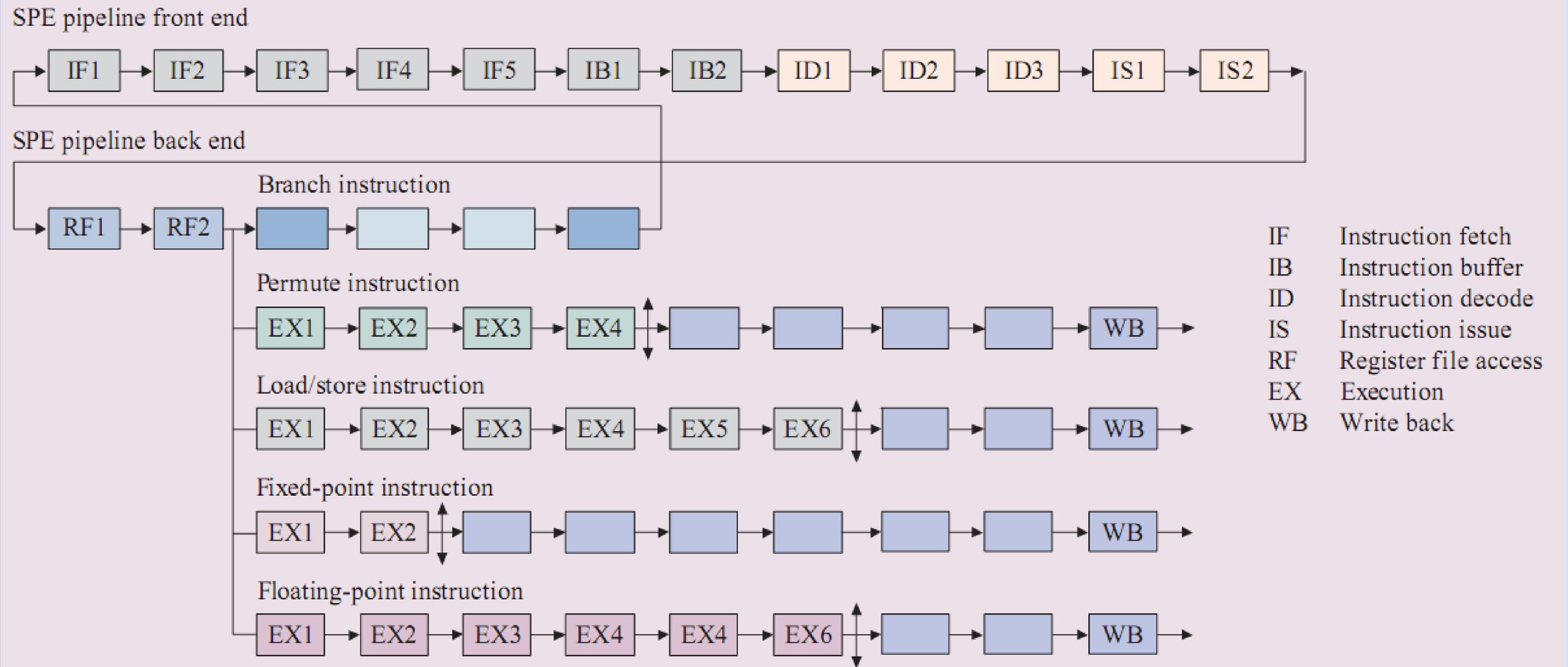
Power Processing Element (PPE)



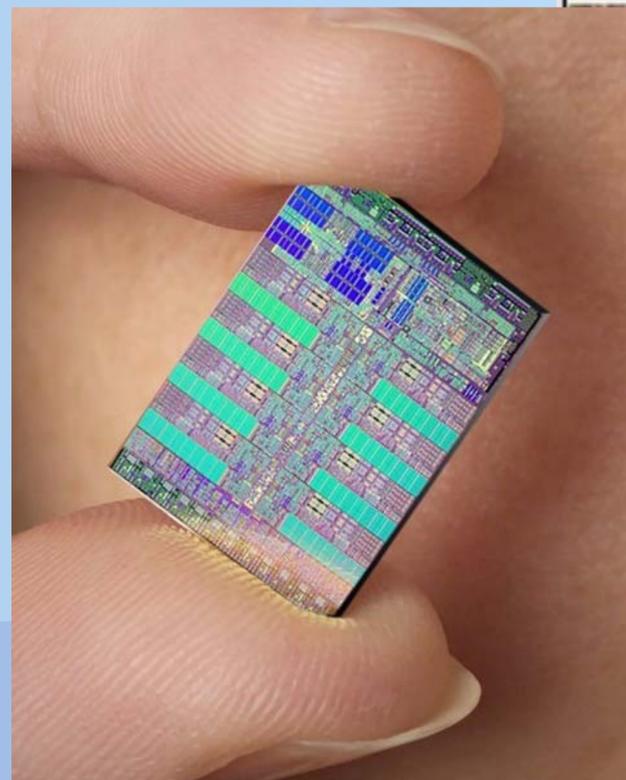
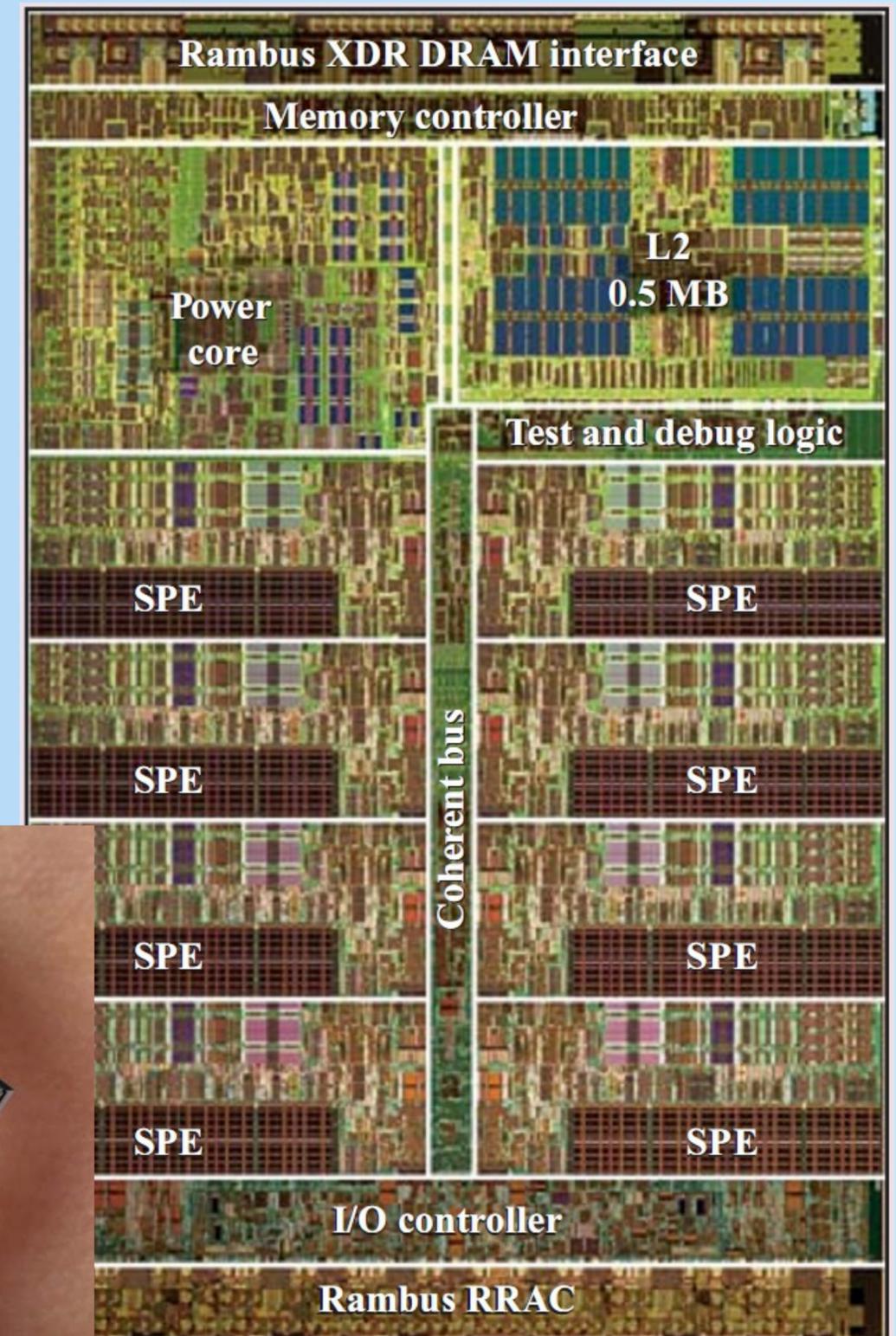
Synergistic Processing Element (SPE)



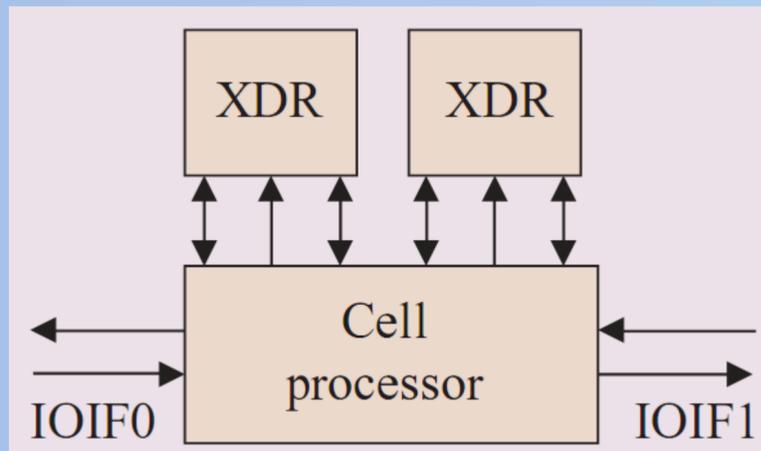
Pipeline der SPEs



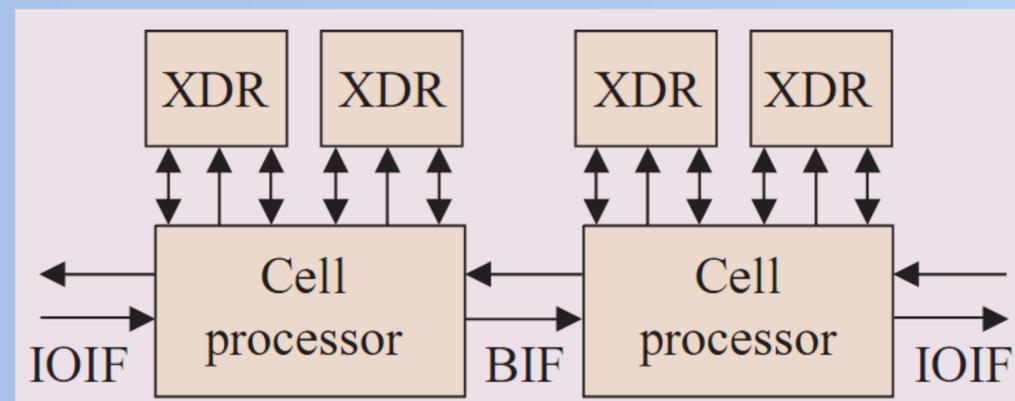
- 241M Transistoren
- 235 mm²
- 90 nm SOI Technologie
- > 200 GFlops bei SP @ 3,2 GHz
- > 20 GFlops bei DP @ 3,2 GHz
- bis 25,6 GB/s Speicherbandbreite
- bis 75 GB/s I/O Bandbreite
- mehr als 100 gleichzeitige Bustransaktionen



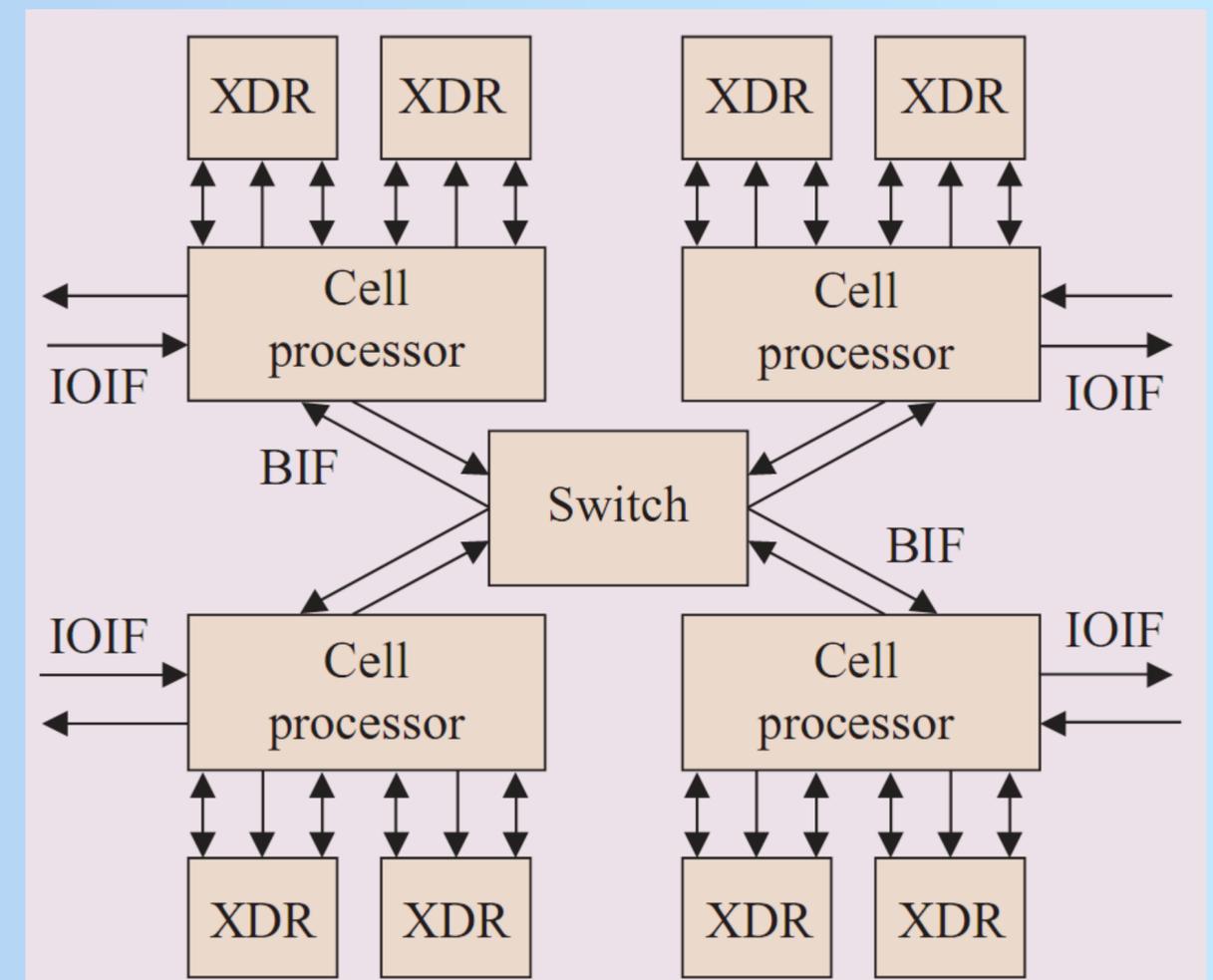
Basiskonfiguration



„Glueless“ Zwei-Wege SMP



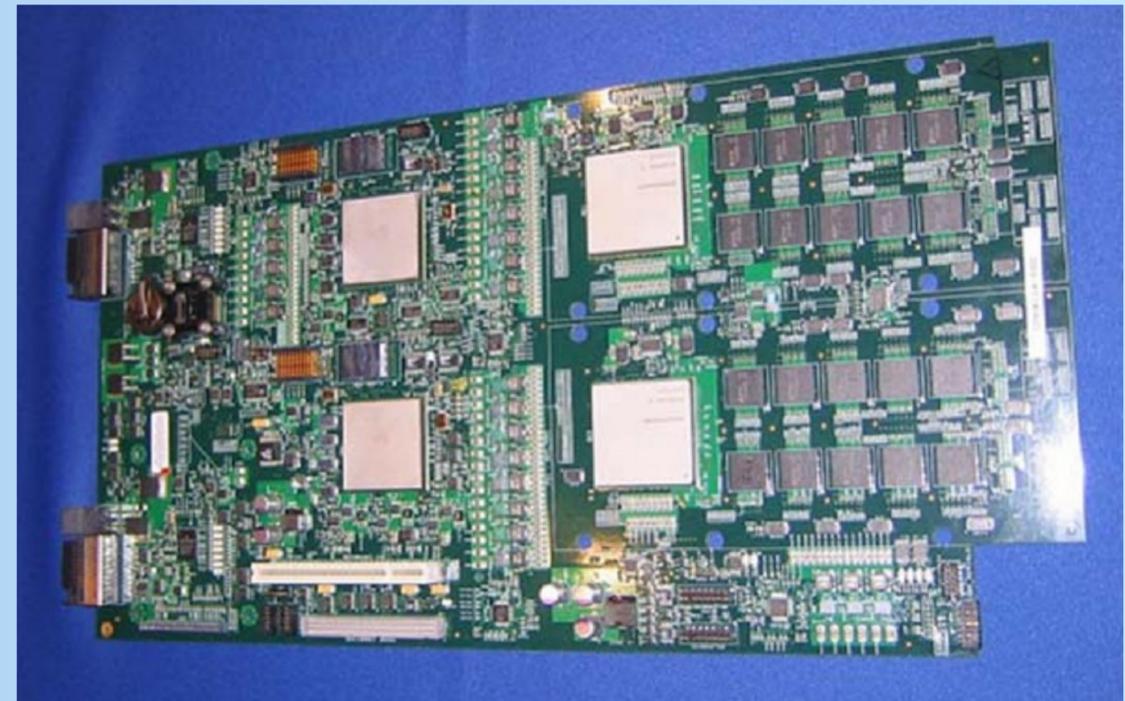
Vier-Wege SMP



- Sony Playstation 3



- IBM Blade Server



- HDTV
- Medienserver
- Supercomputer

- 65 nm Produktion Ende März 2007 angelaufen

- 2008:
 - leistungsfähigere FPU für doppelte Genauigkeit
 - DDR2/3

- 2010:
 - 45 nm
 - 2 Power Processing Elements
 - 32 x Synergistic Processing Elements

- Sehr leistungsfähiger Prozessor
- Interessantes Architekturkonzept
- Einfache Portierbarkeit bestehender Applikationen
- Aufgabe der Software, die Möglichkeiten auch auszuschöpfen (angepasste Compiler etc.)

- **Vielen Dank für Ihre Aufmerksamkeit!**

Quellen:

Stiller, A.: Zelluläre Strukturen. In: c't magazin für computertechnik, 12/2007, S. 196 – 201

Kahle, J. A. et. al: Introduction to the Cell multiprocessor.

<http://www.research.ibm.com/journal/rd/494/kahle.html> [Stand 11.07.2007]

