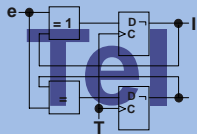


# Selbstrekonfiguration des Funkprototypingsystems HaLo

Marcel Köhler

`marcel.koehler@inf.tu-dresden.de`

Technische Universität Dresden  
Institut für Technische Informatik

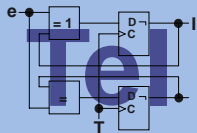


Marcel Köhler  
Technische Universität Dresden  
Institut für Technische Informatik  
`marcel.koehler@inf.tu-dresden.de`

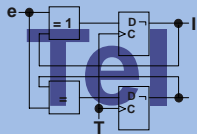


27.06.2007

- Motivation
- Aufgabenstellung
- Vorstellung der HaLo Plattform
- Rekonfigurationsflow des Gesamtsystems
- Lösungsansatz
  - Datenformat für Rekonfigurationsstrom
  - Modifikation der Rekonfigurationsbefehle
  - Möglichkeiten zur Umsetzung in HW
- Implementierung
  - Finite State Machine
  - Prozessorkern
- Validation
  - Prototypenumgebung
  - Vorstellung Testszenarien
- Effizienzbetrachtung
- Zusammenfassung und Ausblick

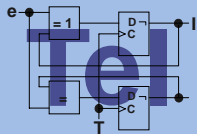


- Erwerb neuer Hardware-/ Softwareprodukte
- Kunde erwartet möglichst guten Support
  - hier speziell Updatefähigkeit
  - Beseitigung von Programmiermängeln (Bugs)
  - Steigerung der Funktionalität
  - schnell auf Kundenwünsche reagieren
- Kundenzufriedenheit als wichtiges Kriterium für Unternehmen

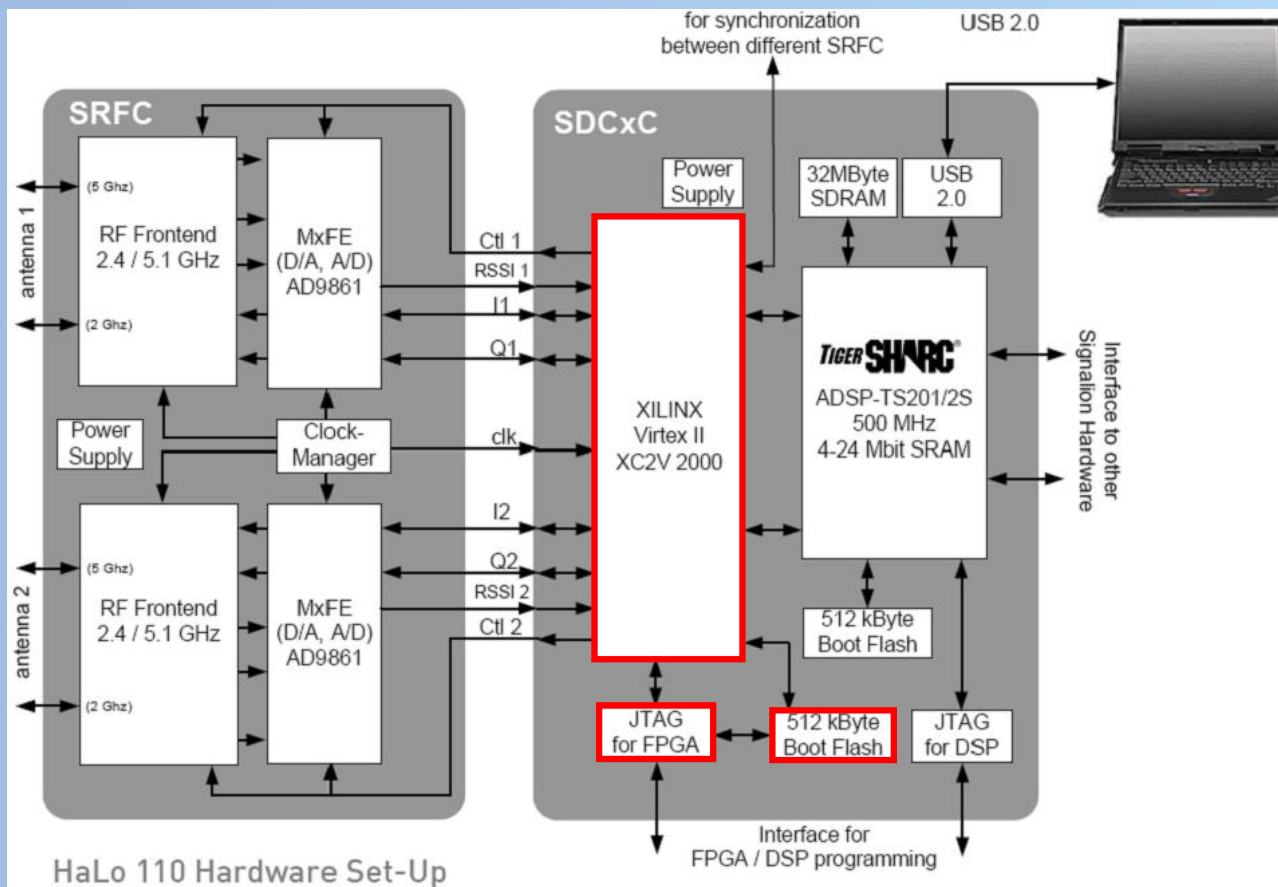


# Schwerpunkte der Aufgabenstellung

- Einarbeitung/ Literaturstudium zu: Funkprototypingssystem HaLo  
JTAG-basierte Rekonfiguration von HW-Bausteinen
- Untersuchung und Evaluierung von Möglichkeiten für: Steuerung zur Rekonfiguration des auf der HaLo Plattform befindlichen FPGAs
- Implementation von Lösungsansätzen für das HaLo-System
- Beispiele zur Validation der entwickelten Ansätze
- Effizienzbetrachtungen der Implementationsvarianten



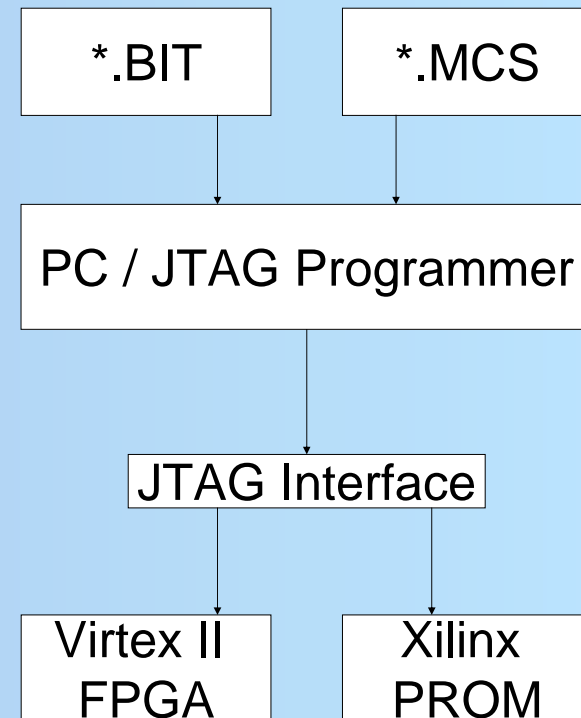
- HaLo: „Hardware in the Loop“



- Test neuer Drahtlosgeräte
- Kanalmodell durch realen Funkkanal ersetzt
- Anbindung an Matlab über USB-Interface

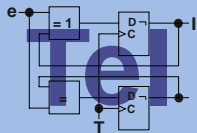
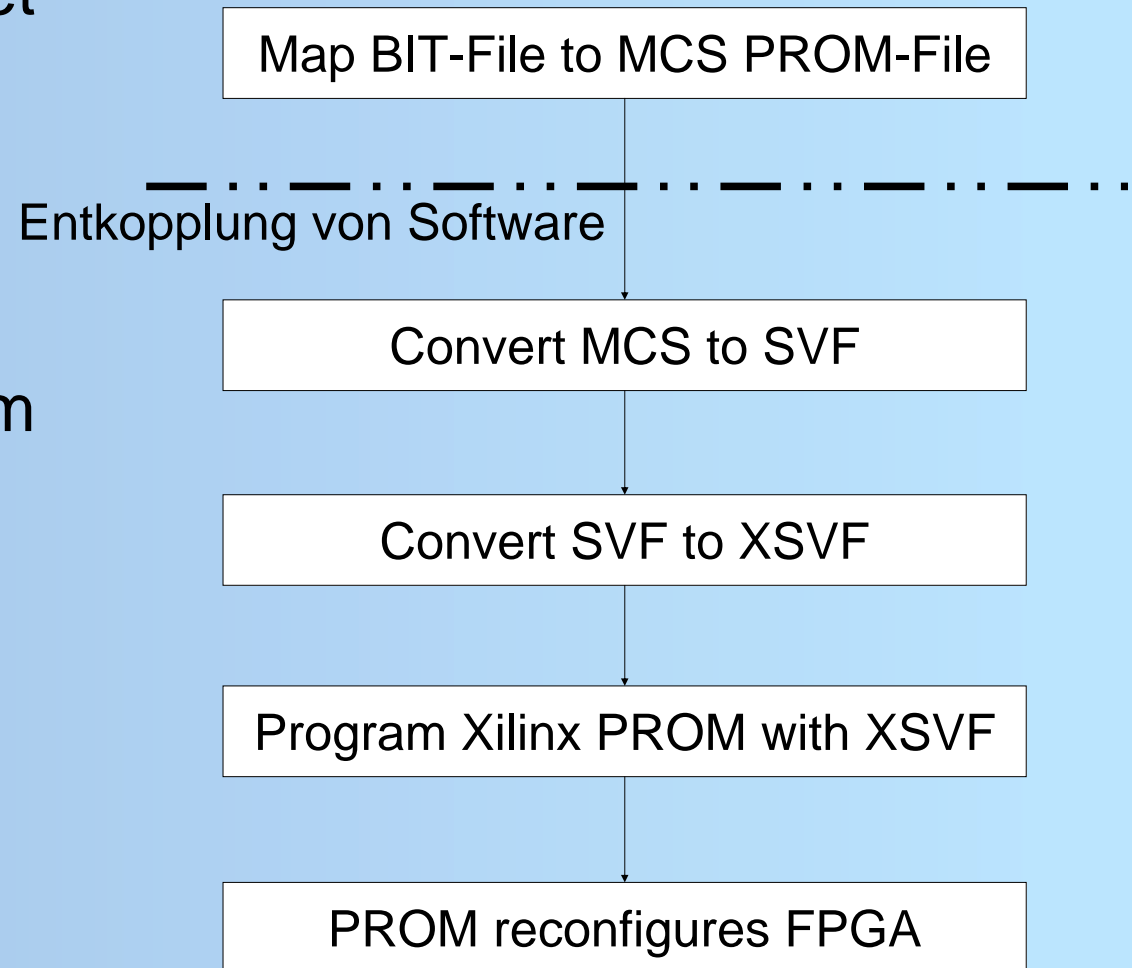
- Ziel: möglichst kein zusätzlicher HW-Aufwand, da bereits beim Kunden eingesetzt!

- DSP über USB2.0 rekonfiguriert
- für FPGA derzeit noch keine Updatefähigkeit via USB2.0
- Designflow (jetzt)
  - für Testzwecke BIT-File
  - für dauerhafte Speicherung MCS-File für PROM
  - Download erfolgt mit Xilinx iMPACT oder JTAG Programmer
- wünschenswert ohne spezielle Software Rekonfiguration durchzuführen
- Wegfall Vor-Ort-Service beim Kunden

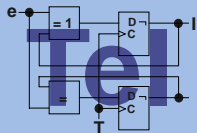


# Rekonfigurationflow (SOLL)

- SVF Format beinhaltet Daten und Boundary Scan Befehle
- XSVF Format kompakte binäre Form des SVF Inhalts
- Einsatz des FPGAs zur PROM Programmierung



- Geeignetes Format das Entkopplung von HW-/SW-Tools ermöglicht
- SVF als Industrie-Standard von TI nur bedingt einsetzbar, da hohe Speichergröße
- Xilinx spezifisches Format verspricht Einsatz auf eingebetteten Systemen
- XSVF Format als Grundlage zur Rekonfiguration
  - enthält Rekonfigurationsdaten + JTAG-Befehle
- Xilinx PROMs nur über JTAG seriell programmierbar
- XSVF erfordert Datenspeicher, der komplette Datei enthält
- → da kein externer Speicher, Modifikation notwendig

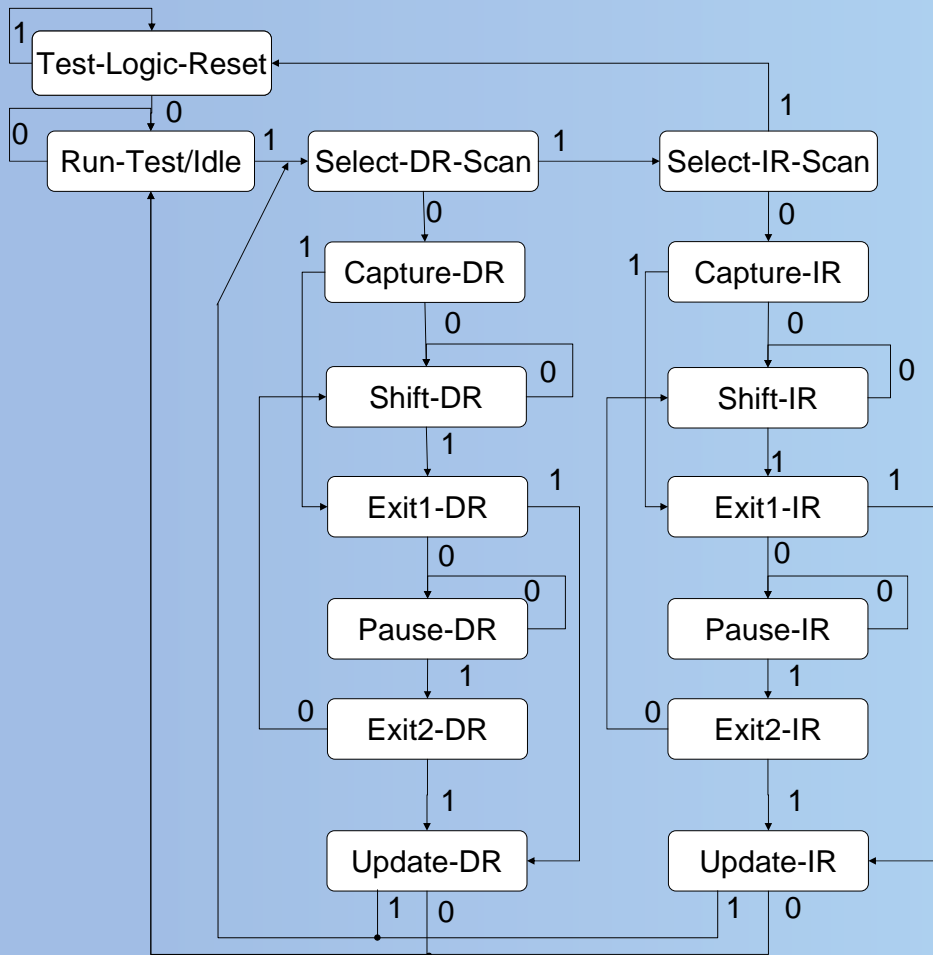




# Zusammenhang TAP controller - XSVF

## TAP Controller

## XSVF Befehle

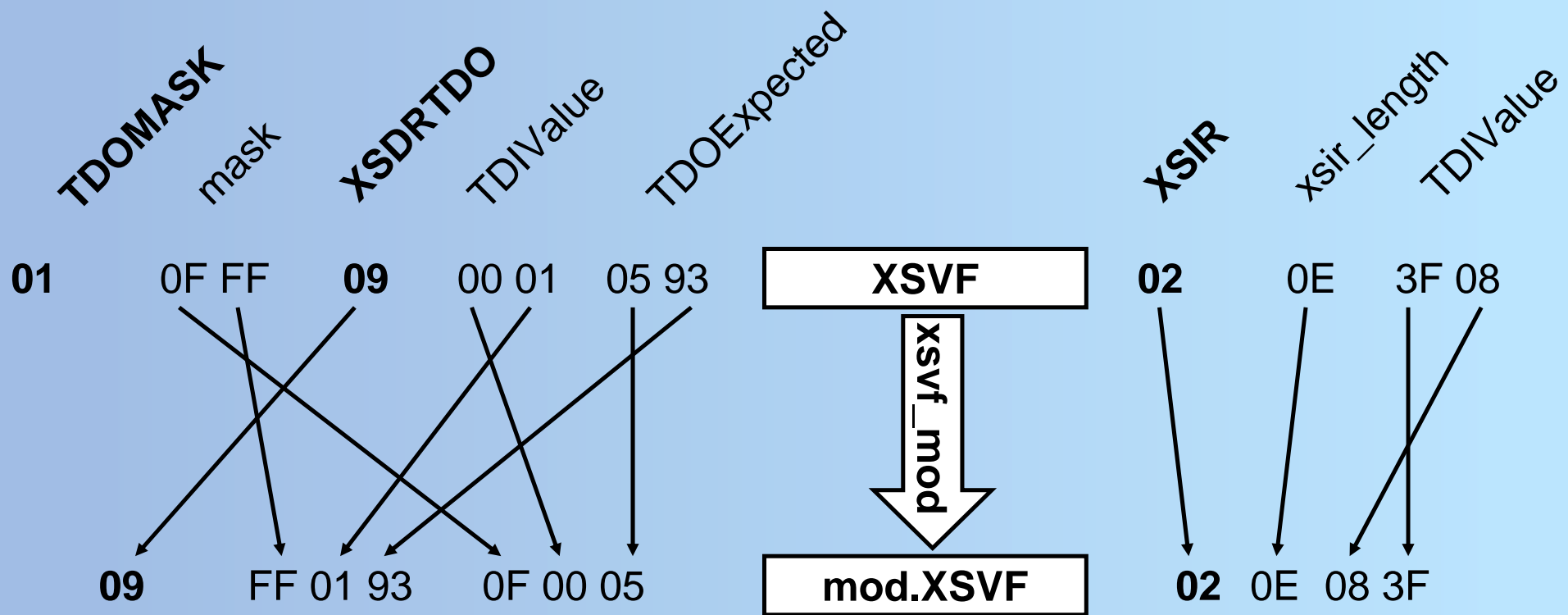


```

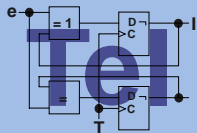
XREPEAT 0x20
XSTATE 0x00
XSTATE 0x01
XRUNTEST 0x00000000
XSIR 0x0E 0x3FFE
XSDRSIZE 0x00000021
XTDOMASK 0x000FFFFFFFF
XSDRTDO 0x0000000000
                                0x00F5045093
    
```

→ aus Zusammenhang konnte ein algorithmischer Ablauf spezifiziert werden

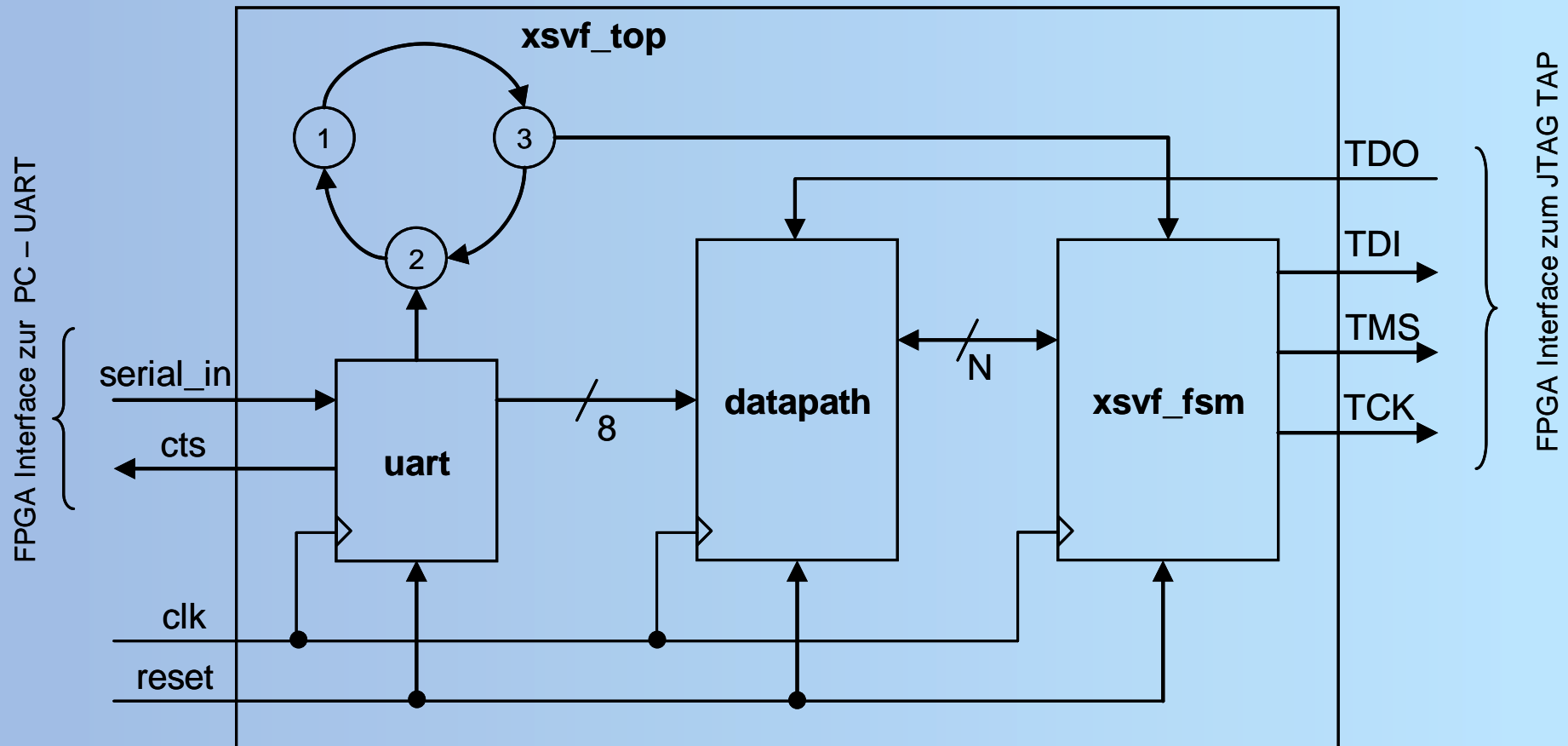
- Aufwandsgünstige Umsetzung im FPGA
- Wegfall eines externen Datenspeichers für XSVF-Datei
- Byteweises Einlesen und sofortige Abarbeitung in Rekonfigurationseinheit



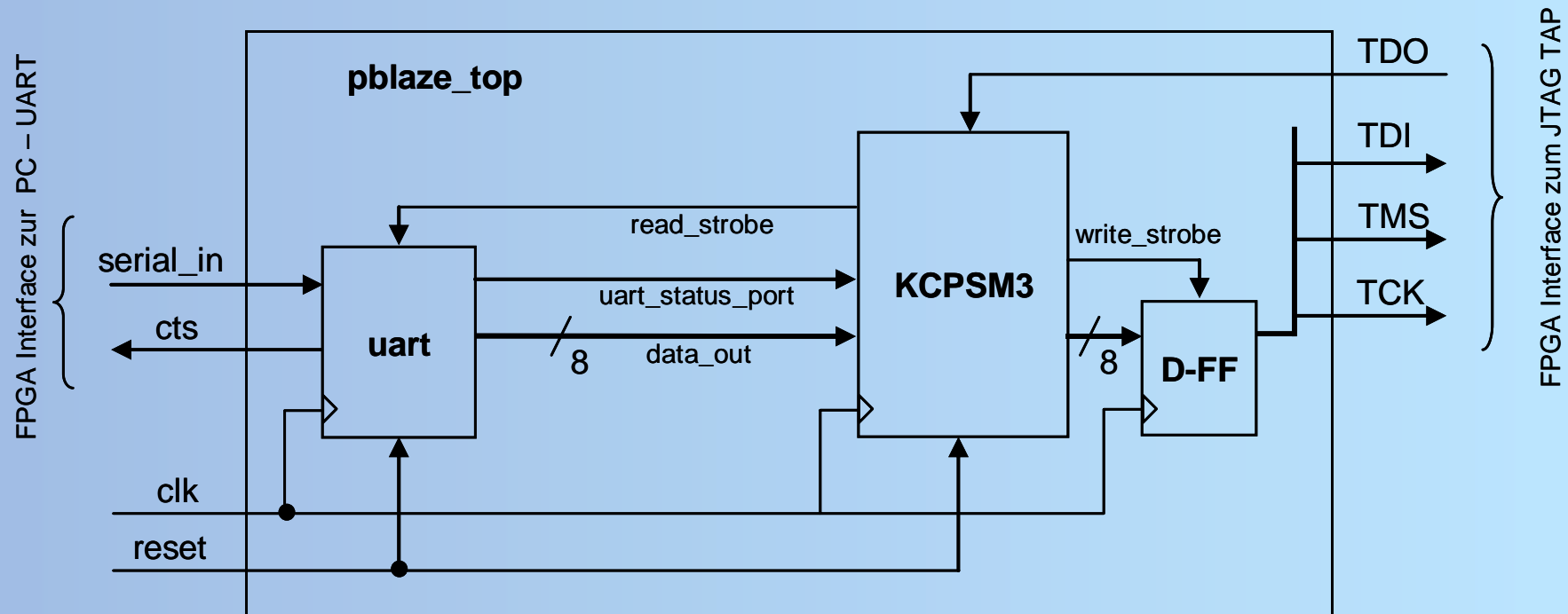
- Abbildung eines spezifizierten Algorithmus in HW
- Variante 1: FSM
- Variante 2: Mikrocontroller
- + Verwendung von IP-Cores
- + VHDL Implementierung nicht aufwändig
- + Schnellere Anpassungen im Algorithmus möglich
- + Ressourcenauslastung gut abschätzbar, da fest integrierte Komponenten
- Einarbeitung in Mikrocontroller-spezifischen Assembler
- evtl. geringere Taktrate als FSM-Variante, da meist mehr meist mehrere Taktzyklen für Ausführung eines Befehls



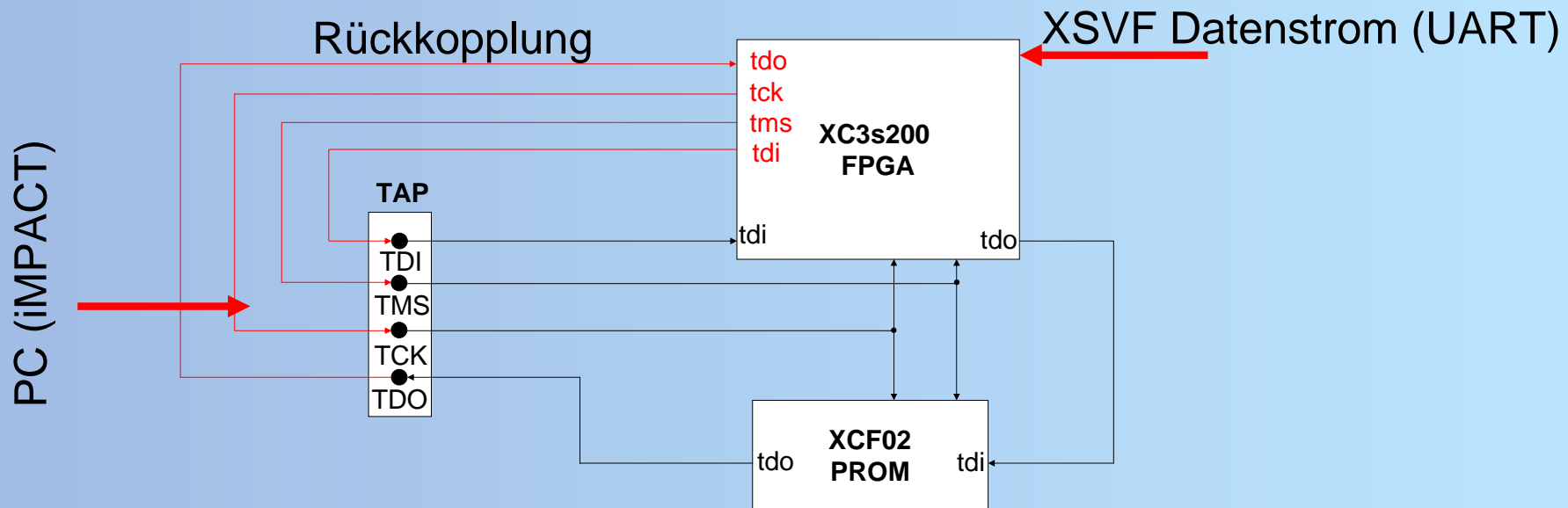
- Realisierung einer Finite State Machine



- Microprozessor-Core als Rekonfigurationseinheit
- Einsatz des Xilinx Picoblaze Mikrocontrollers



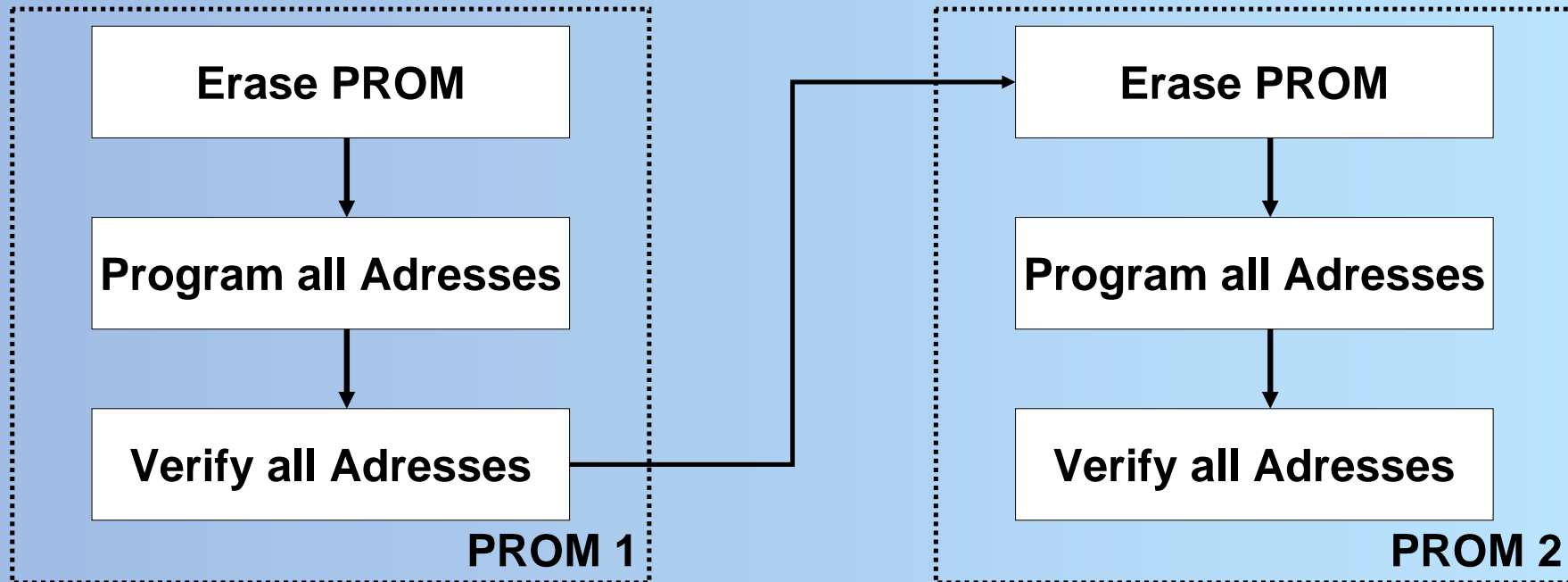
- Spartan3 Board



- JTAG standardisiertes Interface
- Anstreben einer „Stand-Alone“-Lösung
  - universelle Integration in andere Systeme
  - adaptierbar auf HaLo-Systemkomponenten

# Ablauf einer Rekonfiguration für Xilinx PROMs

- Rekonfiguration in 3 Phasen:



- Alle notwendigen Operationen in der XSVF-Datei
- wahlweise können auch nur einzelne Operationen in der XSVF-Datei enthalten sein

# Beispiel1: Löschen des Konfigurations-PRoMs

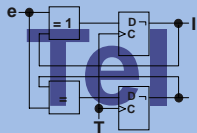
- Versuch mit Spartan3 Board
- 2 einfache Testentwürfe erstellt

I. Schritt: Programmierung PROM mit Konfiguration 2  
(iMPACT)

II. Schritt:  $\mu$ C/FSM-Steuerung auf FPGA laden (iMPACT)

III. Schritt: XSVF-Datenstrom über UART

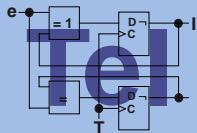
IV. Schritt: Test, ob PROM gelöscht wurde  
→ Reset/Neustart oder Option  
„Blank Check“ in iMPACT





# Beispiel2: Rekonfiguration des Konfigurations-PROMs

- I. Schritt: Programmierung PROM mit Konfiguration 1 (iMPACT)
- II. Schritt:  $\mu$ C/FSM-Steuerung auf FPGA laden (iMPACT)
- III. Schritt: XSVF-Datenstrom, der Daten mit Konfiguration 2 enthält, über UART senden
- IV. Schritt: Test, ob Konfiguration 2 korrekt in PROM geschrieben wurde
  - Reset/Neustart lädt neue Konfiguration in FPGA
  - oder Option „Readback“ in iMPACT und Vergleich mit ursprünglichen MCS-Datei

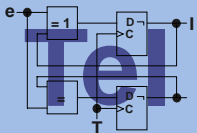


- Ressourcenverbrauch auf Spartan3 FPGA

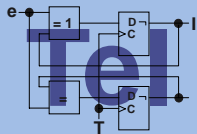
	FSM	$\mu$ C
Slices	314 (16%)	135 (7%)
Slice FFs	270	132
4 Input LUTs	492	251
Max. Taktfrequenz	75,6 MHz	139,6 MHz

- geringer Flächenbedarf für  $\mu$ C-Steuerung
- bei  $\mu$ C höhere berechnete Taktfrequenz, aber:
  - Picoblaze benötigt immer 2 Taktzyklen für Befehle
  - Aufwand an auszuführenden Operationen mit 8-Bit Architektur insgesamt höher
- Fazit: Abwägung zw. Geschwindigkeit und Fläche

- erledigte Aufgaben:
  - Betrachtungen zu den Datenaustauschformaten
  - Spezifikation eines Algorithmus zur XSVF-Verarbeitung
  - Aufbau eines Prototypingsystems
  - Implementation der Lösungsansätze
  - Beispiele zur Validation
  - Effizienzbetrachtungen
  - Dokumentation
- Integration des TAP-Ansteuerungsmoduls auf HaLo erfolgt durch Signalion GmbH
- Bereitstellung des Features für Sommer geplant



# Vielen Dank für Ihre Aufmerksamkeit!



Marcel Köhler  
Technische Universität Dresden  
Institut für Technische Informatik  
[marcel.koehler@inf.tu-dresden.de](mailto:marcel.koehler@inf.tu-dresden.de)

