

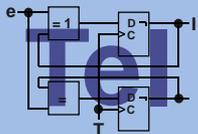
# Erarbeitung von Praktikumsversuchen für das PLD-Praktikum

## Belegverteidigung

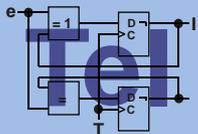
Felix Förster

s5124396@mail.inf.tu-dresden.de

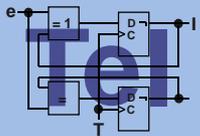
Technische Universität Dresden  
Institut für Technische Informatik



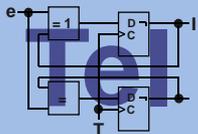
1	Einleitung	3
2	Digilent XC2XL und Digilent Digital I/O 4	5
3	Xilinx ISE 9.2i	13
4	Versuchsaufgaben	18
5	Zusammenfassung und Ausblick	24



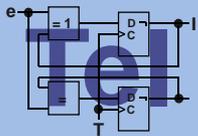
# 1 Einleitung

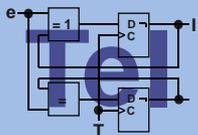
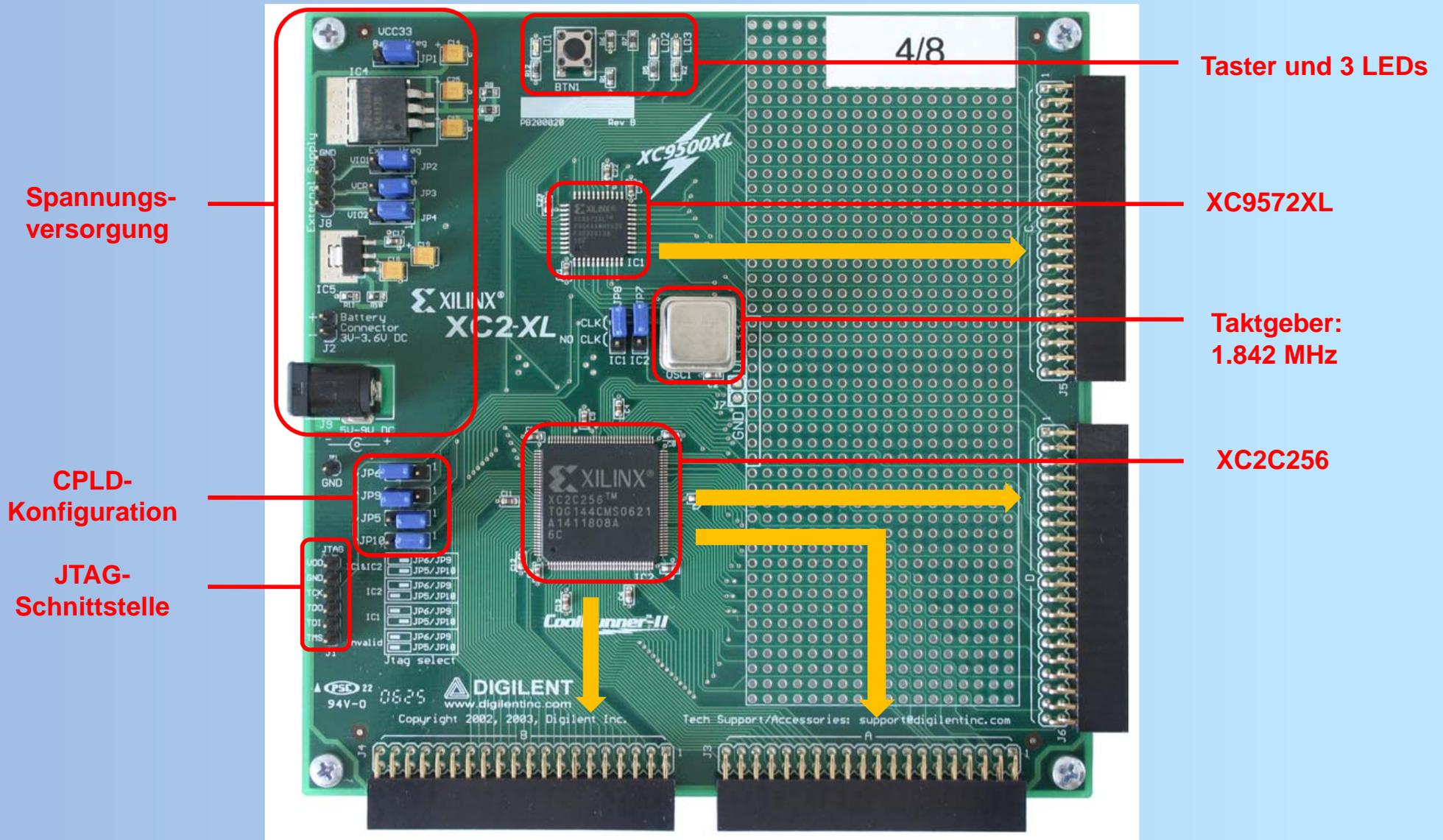


- Untersuchung zur Nutzbarkeit des Evaluationsboardes XC2-XL als Praktikumsgrundlage
- Untersuchung vergleichbarer Praktikumsanwendungen
- Beschreibung der Hard- und Softwarekomponenten
- Auswahl geeigneter Praktikumsversuche für das Grund- und Hauptstudium



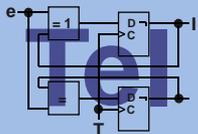
## 2 Digilent XC2XL und Digilent Digital I/O 4



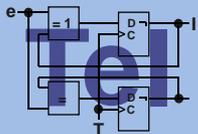
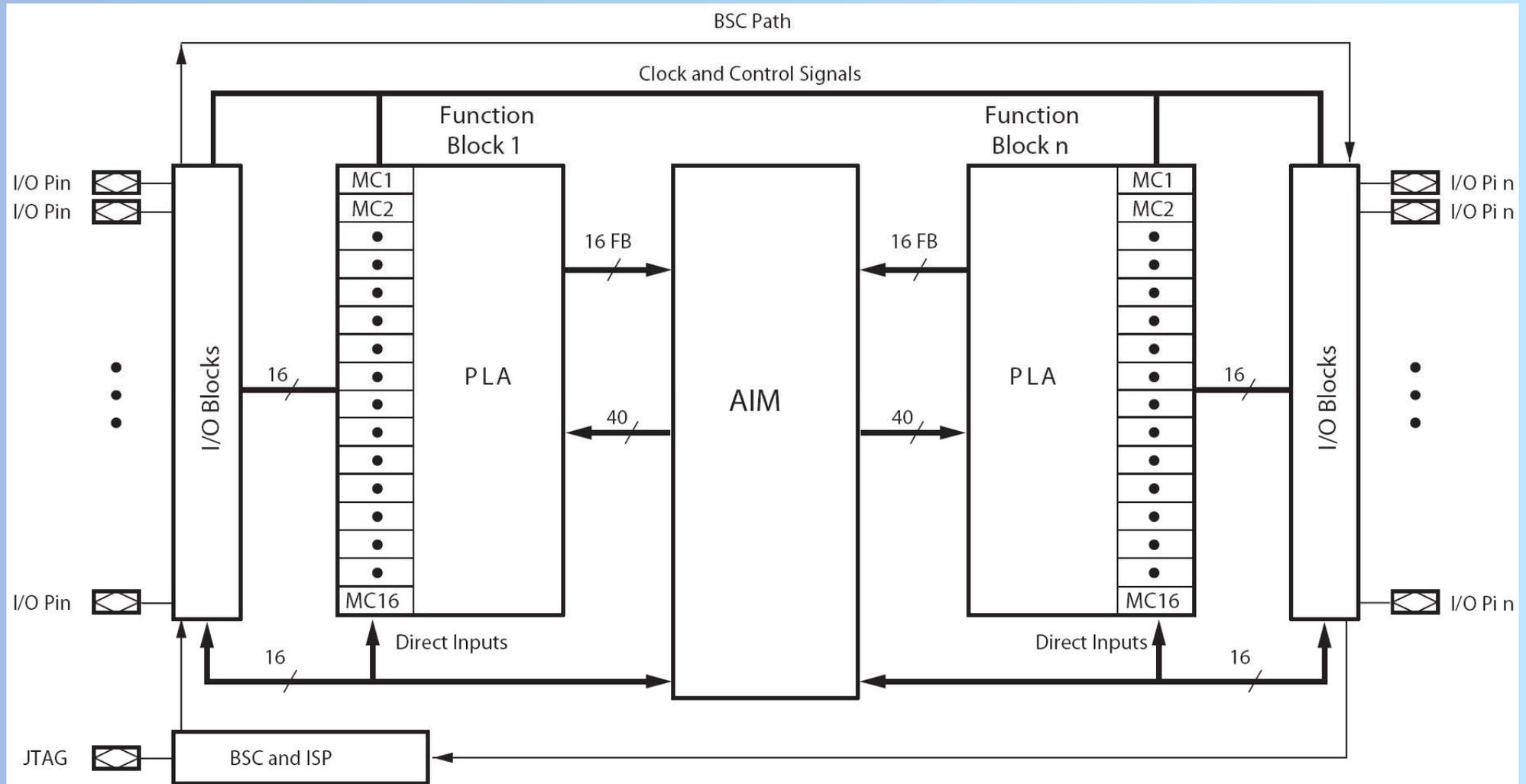


# Xilinx XC2C256-7TQ144 CoolRunner-II CPLD

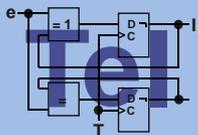
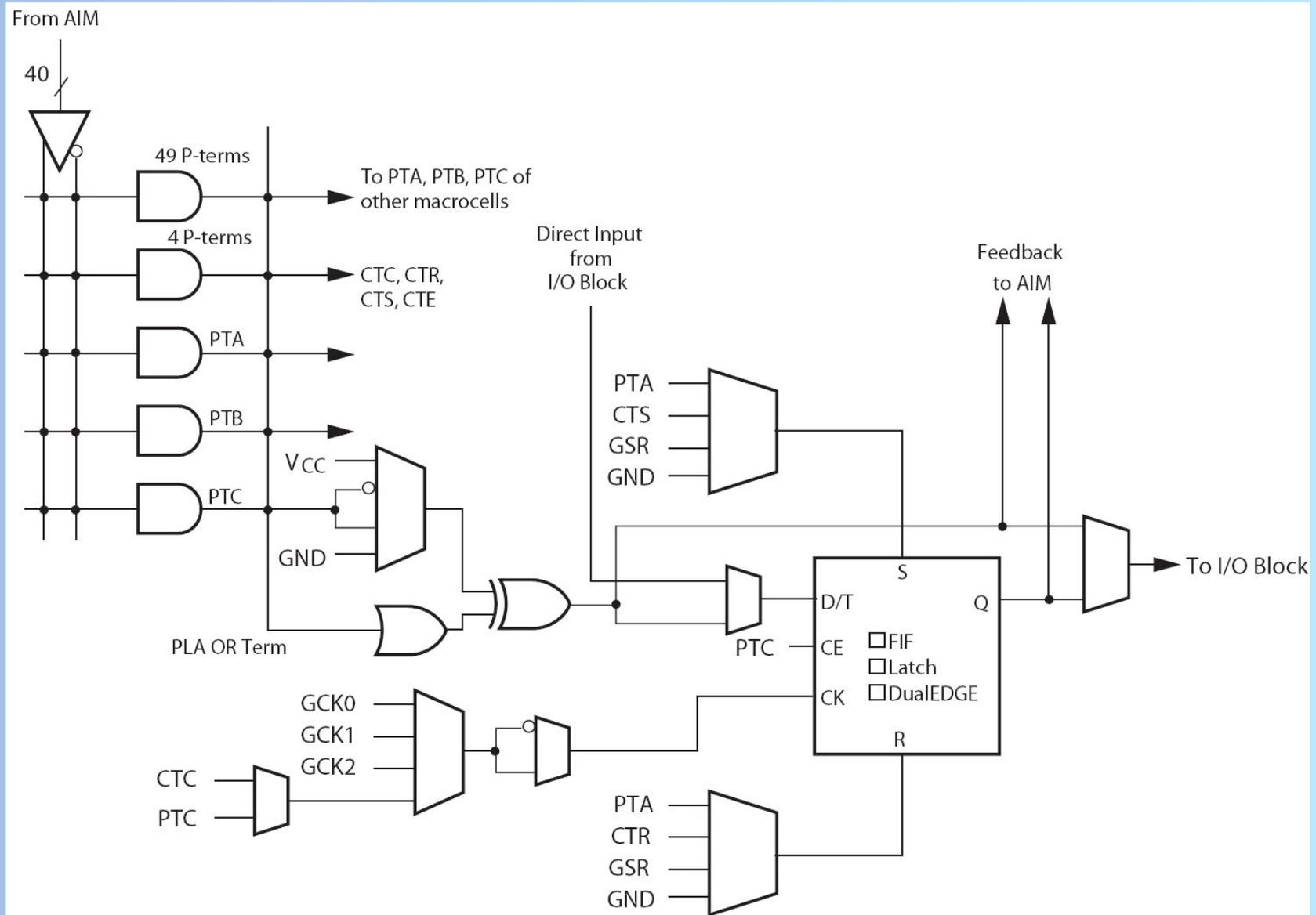
- Optimiert für 1.8V Systeme
- 5.7 ns Pin-to-Pin-Delay
- 144 Pins mit 118 Benutzer-I/O
- Zwei separate I/O-Reihen
- 256 Makrozellen
- IEEE1149.1 JTAG Boundary Scan Test
- Optionale Schmitt-Trigger Eingänge
- Verschiedene Takt-Modi:
  - Optional DualEDGE gesteuerte Register
  - Taktteiler (2,4,6,8,10,12,14,16)
  - CoolCLOCK
- Im Betrieb an- und absteckbar
- PLA Architektur



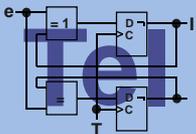
# CoolRunner-II CPLD Architektur



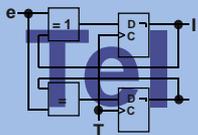
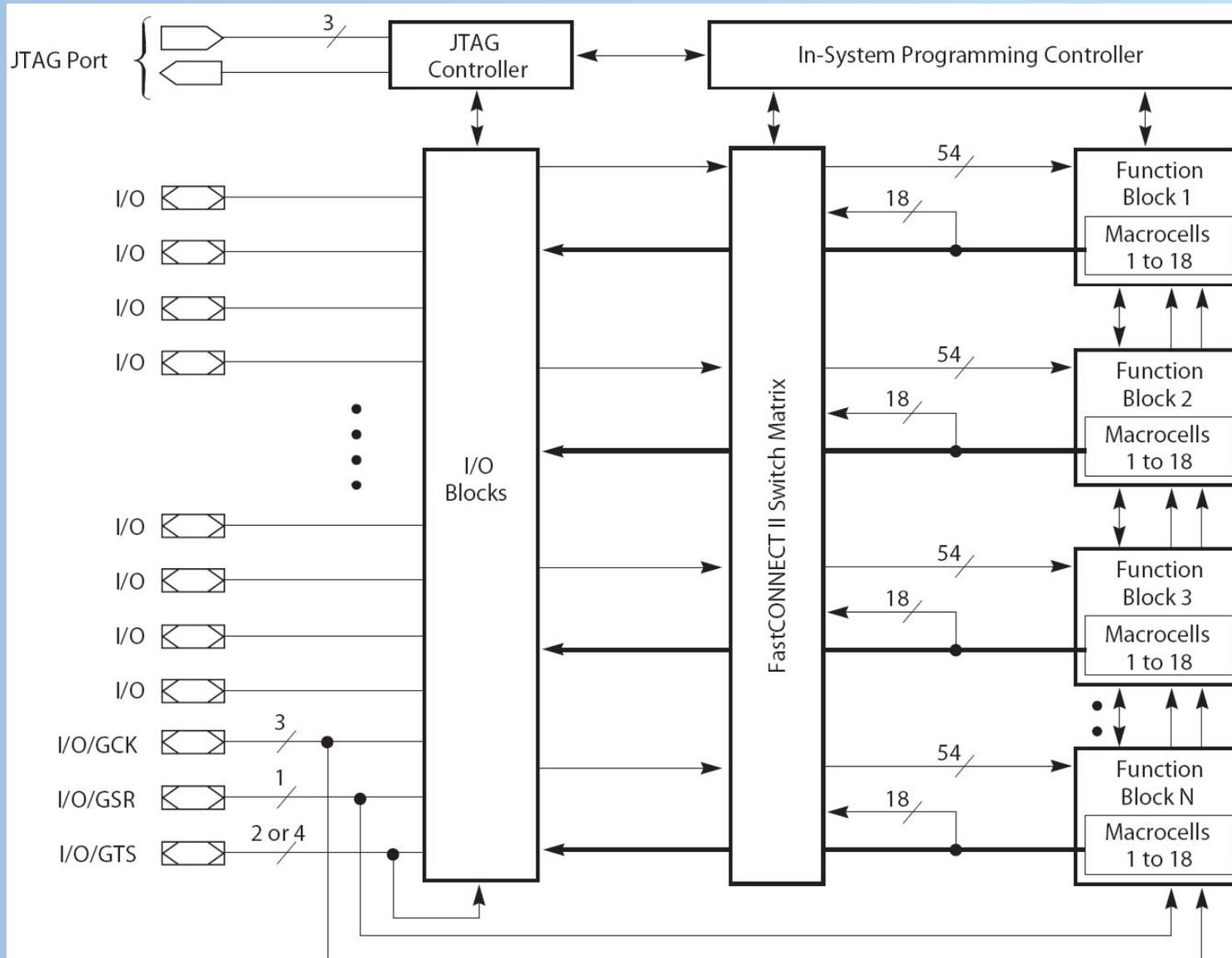
# CoolRunner-II Makrozelle



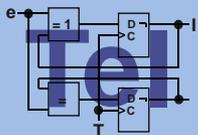
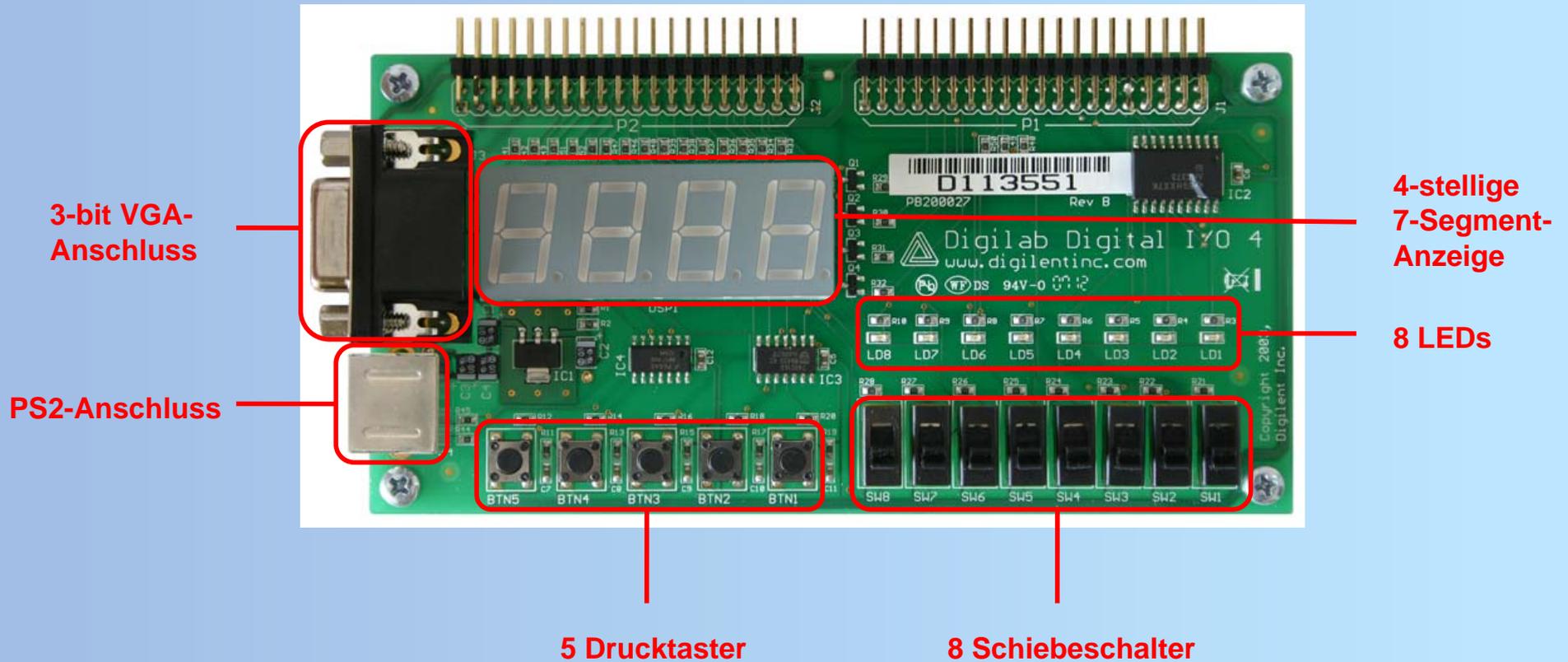
- Optimiert für 3.3V High-Performance Systeme
- 5 ns Pin-to-Pin-Delay
- 5V tolerante I/O Pins, die 5V, 3.3V, und 2.5V Signale unterstützen
- 44 Pins mit 34 Benutzer-I/O
- 72 Makrozellen mit 1600 verfügbaren Gattern
- IEEE1149.1 JTAG Boundary Scan Test



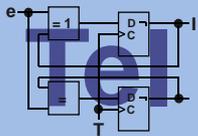
# XC9572XL Architektur



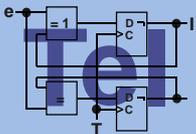
# Digilent Digital I/O 4 (DIO4)



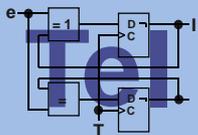
## 3 Xilinx ISE 9.2i

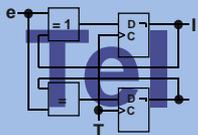
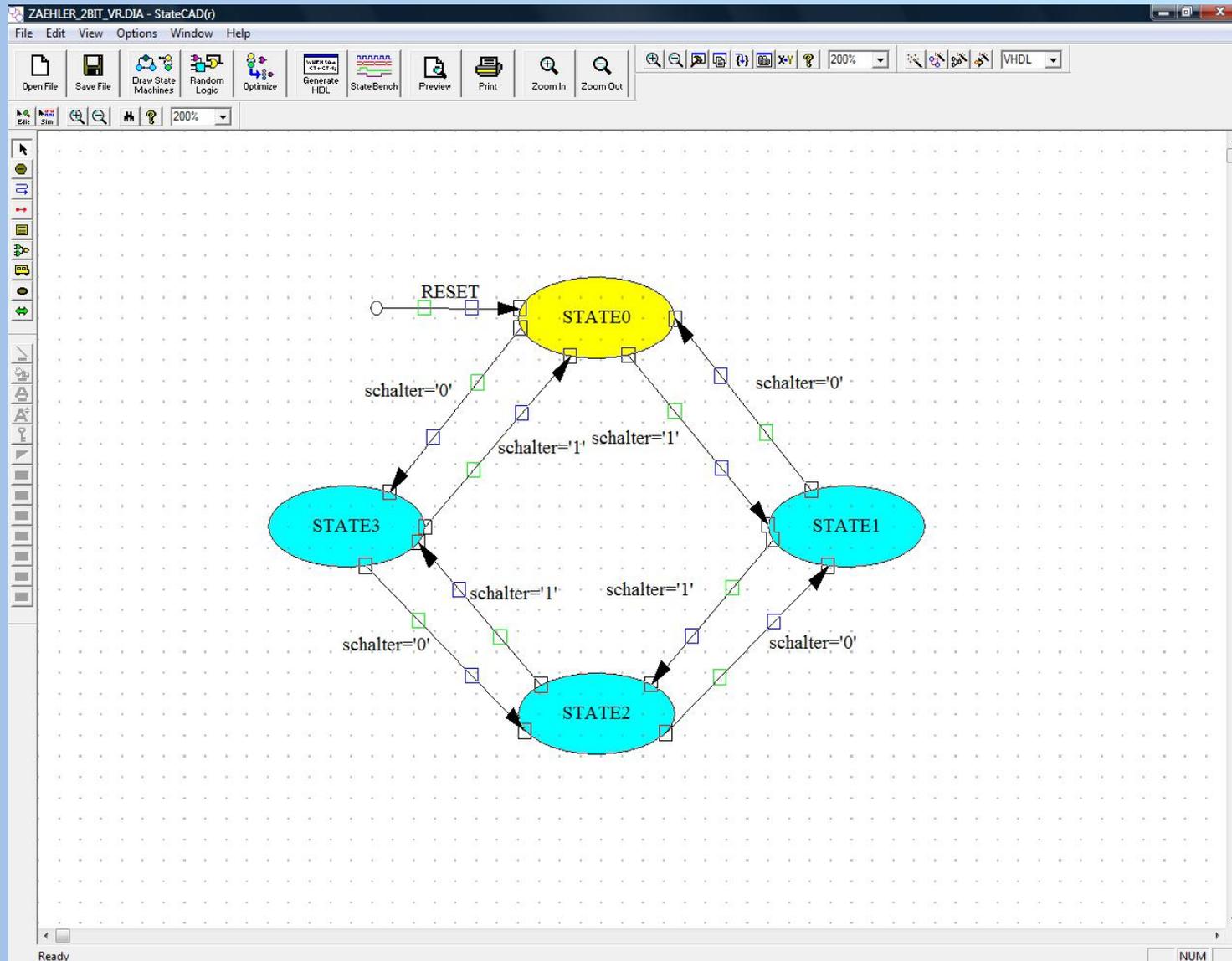


- Vollständige Entwicklungsumgebung für den Entwurf digitaler Systeme unter Verwendung von CPLD- bzw. FPGA-Bausteinen der Firma Xilinx.
  
- Logikentwurf erfolgt mittels:
  - Schaltplanerstellung (Schematic)
  
  - Zustandsdiagramme (StateCad)
  
  - Hardwarebeschreibungssprachen (ABEL, VHDL, Verilog)



The screenshot displays the Xilinx ISE 9.2i Schematic Editor interface. The main workspace shows a schematic diagram on a grid. On the left, there is a 'Sources' panel with a 'Categories' list (Decoder, Flip\_Flop, General, IO, Latch, Logic) and a 'Symbols' list (fd4re, fd8, fd8ce, fd8re, fdc, fdcce). Below this is a 'Processes' panel with 'Add Wire Options' and 'Options' tabs. The 'Add Wire Options' panel has two sections: 'When you add a wire' with radio buttons for 'Use the Autorouter' (selected) and 'Use the Manual method', and 'When a wire connects a symbol pin and a bus' with a checkbox for 'Automatically add a bus tap'. The schematic diagram features an OR2 gate on the left, connected to the D input of an FDC flip-flop. The FDC flip-flop has a CLR input and a Q output. The console at the bottom shows the message: 'Started : "Launching Schematic Editor to edit zaehler\_2bit\_vr.sch".'

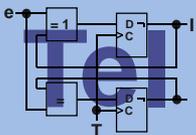




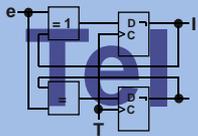
```

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.all;
3
4  ENTITY SHELL ZAEHLER_2BIT_VR IS
5      PORT (CLK,RESET,schalter: IN std_logic;
6           ausgabe0,ausgabe1,s : OUT std_logic);
7  END;
8
9  ARCHITECTURE BEHAVIOR OF SHELL ZAEHLER_2BIT_VR IS
10     SIGNAL sreg : std_logic_vector (1 DOWNTO 0);
11     SIGNAL next_sreg : std_logic_vector (1 DOWNTO 0);
12     CONSTANT STATE0 : std_logic_vector (1 DOWNTO 0) := "00";
13     CONSTANT STATE1 : std_logic_vector (1 DOWNTO 0) := "01";
14     CONSTANT STATE2 : std_logic_vector (1 DOWNTO 0) := "10";
15     CONSTANT STATE3 : std_logic_vector (1 DOWNTO 0) := "11";
16
17     SIGNAL next_ausgabe0,next_ausgabe1,next_s : std_logic;
18     SIGNAL ausgabe : std_logic_vector (1 DOWNTO 0);
19 BEGIN
20     PROCESS (CLK, RESET, next_sreg, next_s, next_ausgabe1, next_ausgabe0)
21     BEGIN
22         IF ( RESET='1' ) THEN
23             sreg <= STATE0;
24             s <= '0';
25             ausgabe1 <= '0';
26             ausgabe0 <= '0';
27         ELSIF CLK='1' AND CLK'event THEN
28             sreg <= next_sreg;
29             s <= next_s;
30             ausgabe1 <= next_ausgabe1;
31             ausgabe0 <= next_ausgabe0;
32         END IF;
33     END PROCESS;
34
35     PROCESS (sreg,schalter,ausgabe)
36     BEGIN
37         next_ausgabe0 <= '0'; next_ausgabe1 <= '0'; next_s <= '0';
38         ausgabe<std_logic_vector("00");
39
40         next_sreg<=STATE0;
41
42         CASE sreg IS
43             WHEN STATE0 =>

```

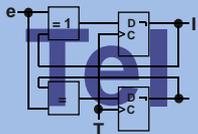


# 4 Versuchsaufgaben

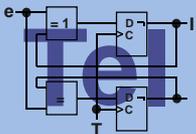


➤ Praktikumsanwendungen anderer Hochschulen:

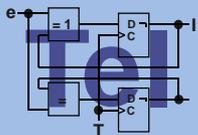
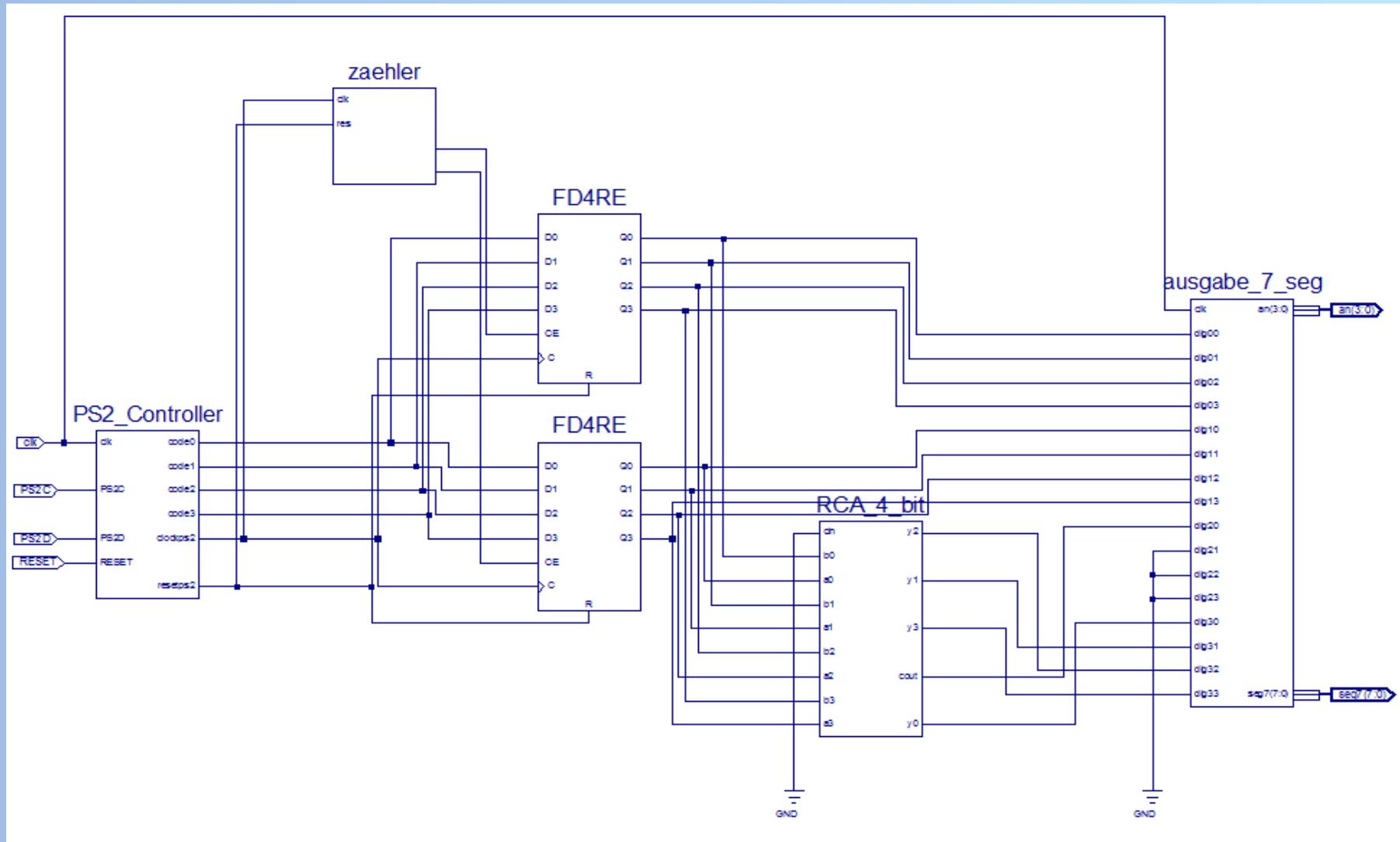
	<b>Universität Frankfurt</b>	<b>Universität Tübingen</b>	<b>HTWK Leipzig</b>
Board	XC2-XL und DIO4	Experimentier- board PLOG1	CPLD- Trainingsboard
CPLD	XC2C256	XC9572XL	XC9572XL
Logikentwurf	Schematic	Schematic	Schematic, StateCAD, VHDL
Aufgaben	8-Bit-Zähler, Stoppuhr, Taschenrechner	4-Bit-Zähler	4-Bit-Zähler, Ampelsteuerung



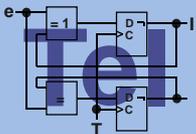
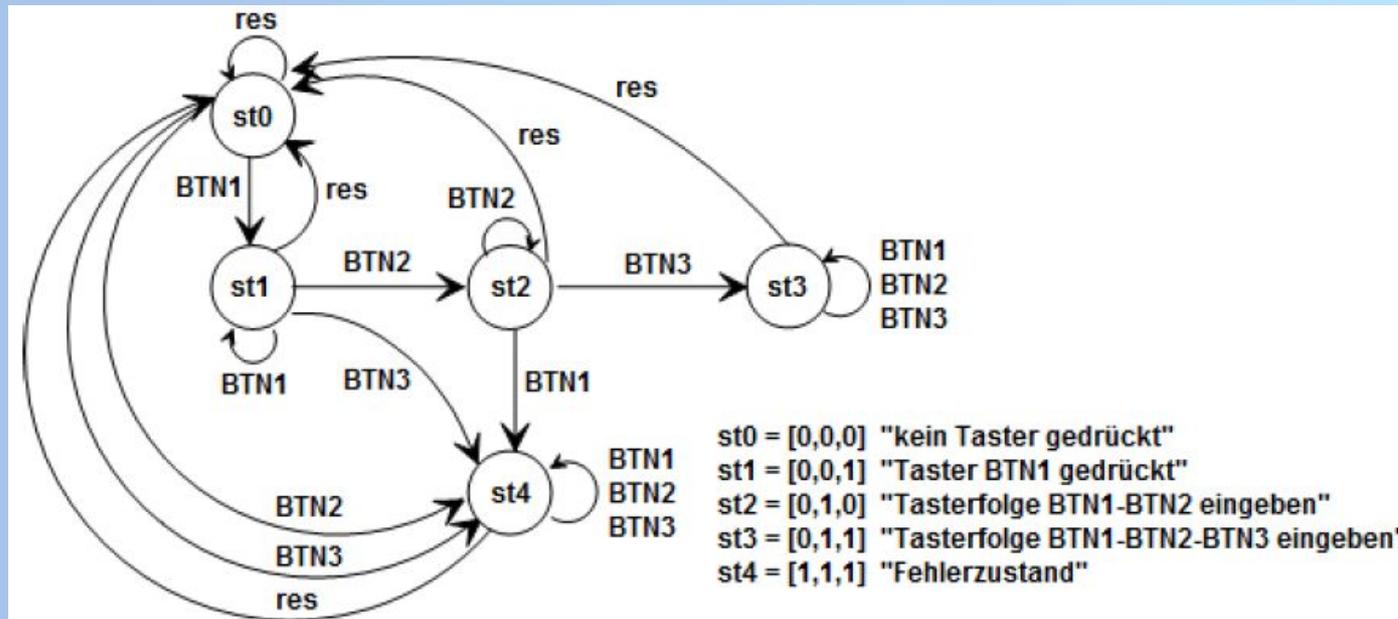
- Versuch im Rahmen des Hardwarepraktikums
- Aufbauend auf dem aktuellen Wissensstand der Studenten
- Nicht allzu komplex
- Logikentwurf: Schematic
- Bottom-Up-Strategie



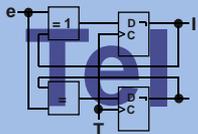
# Versuchsaufgaben Grundstudium



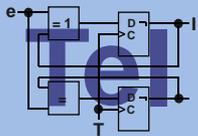
- Praktikum im Rahmen der Lehrveranstaltung “Programmierbare Schaltkreise“
- Logikentwurf: HDL, StateCAD
- Praktikum gliedert sich in 5 Aufgaben:
- Aufgabe 1 und 2: Realisierung eines Zustandsdiagramms



- Aufgabe 3: Entwurf eines kombinatorischen Codeschlusses
- Aufgabe 4: Entwurf eines 3-stelligen Dualzählers
- Aufgabe 5: Entwicklung eines Codeschlusses
- Realisierung vorrangig in ABEL, alternativ in StateCAD oder in VHDL

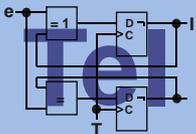


# 5 Zusammenfassung und Ausblick



# Zusammenfassung und Ausblick

- Digilent XC2-XL und Digilent Digital I/O bieten gute Einführung in den digitalen Schaltungsentwurf
- Vielseitiger Schaltungsentwurf (HDL, Schematic, StateCAD)
- Hardwaretechnisch erweiterbar:
  - Anschluss weiterer Erweiterungsboards
  - Nutzung der Kontaktfläche auf dem XC2-XL
  - Verbinden der beiden CPLDs
- Erstellen weiterer Aufgaben, beispielsweise unter Einbeziehung der VGA-Schnittstelle



# Vielen Dank für Ihre Aufmerksamkeit!

