



**TECHNISCHE
UNIVERSITÄT
DRESDEN**

Fakultät Informatik, Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur

Die Intel Atom Architektur

Hauptseminar Technische Informatik

Dennis Walter

dennis.walter@mailbox.tu-dresden.de

Dresden, 18.06.2008

Überblick

1. Einführung
2. Design und Architektur
3. Low Power Design am Beispiel des SRAMs
4. Performance/Ausblick
5. Zusammenfassung

Einführung

x86 everywhere?

Brauchen wir einen weiteren x86-Prozessor?

- ✓ Server/HPC
- ✓ Desktop
- ✓ Notebook

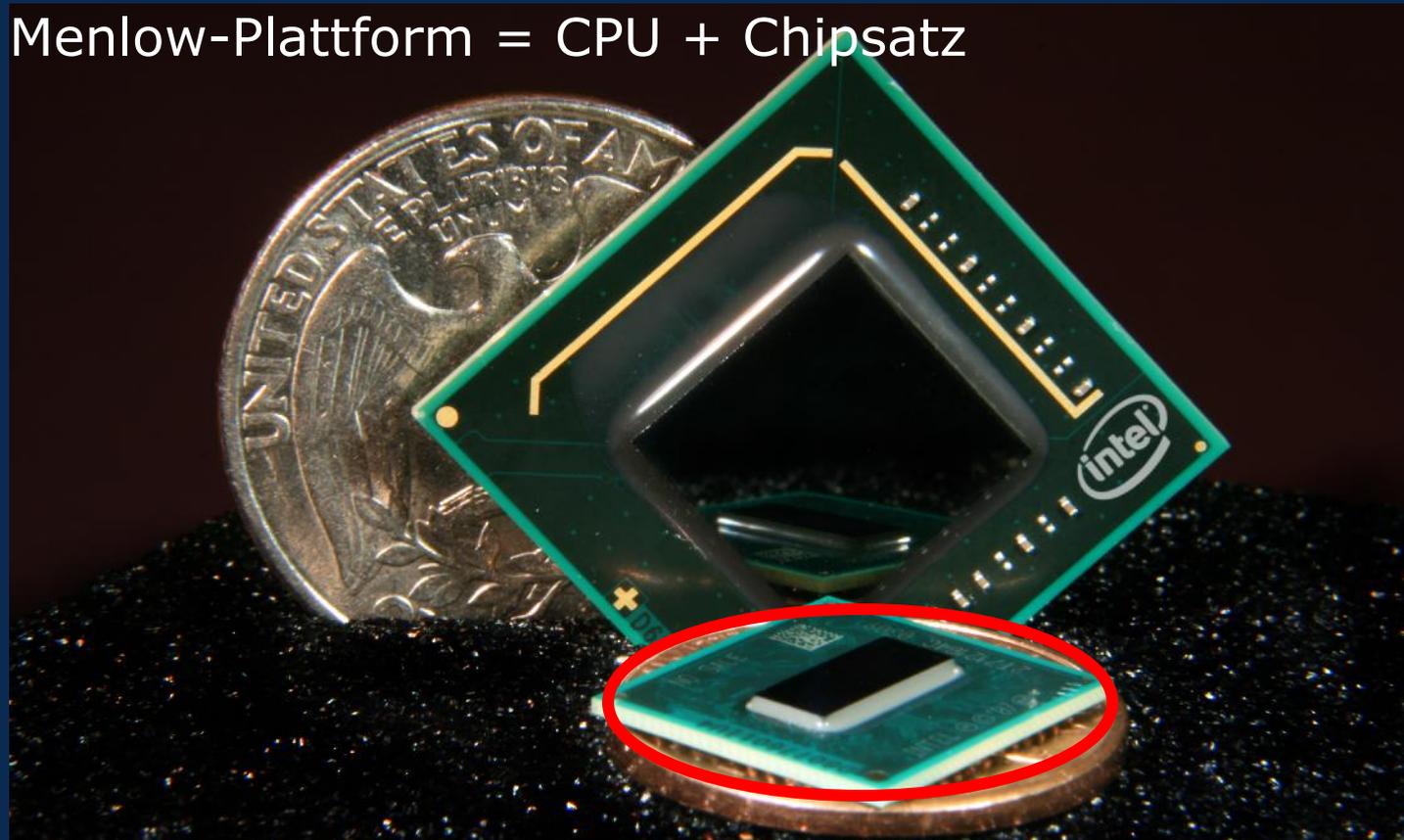
- Low-Cost Plattformen?
- Mobile Internet Devices (MIDs) / Nettops?
- Smartphones?
- Handys?

Produkte



Intel Atom

Menlow-Plattform = CPU + Chipsatz



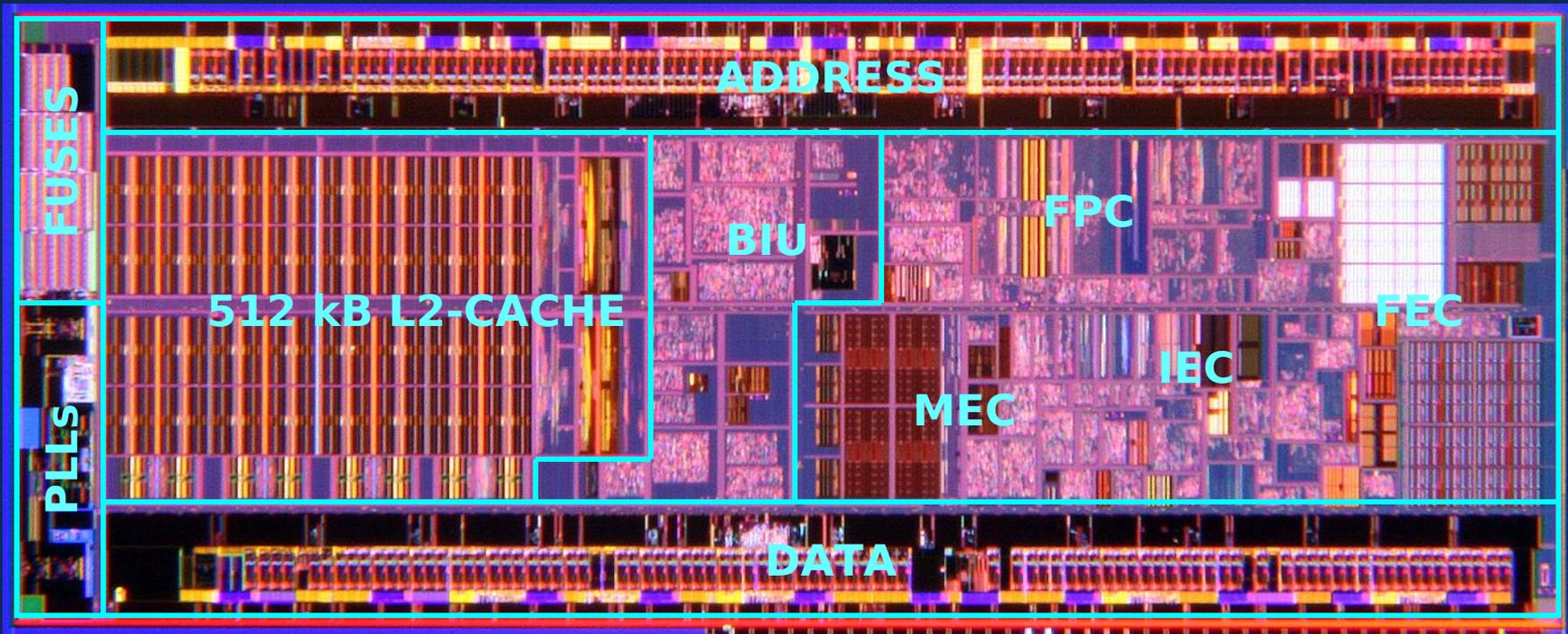
Prozessor (Silverthorne/Diamondville)
+ 945G & ICH7 oder US15W (Poulsbo)

Silverthorne



- IA-32 & Intel 64
- 45nm Technologie (high-k, 9 metal layer)
- 24mm² Die Größe, 3.1mm*7.8mm
- Single Core, 47 Millionen Transistoren
- Hyperthreading (2 Threads/Core)
- 0.8GHz - 1.86GHz
- 0.6W – 2.64W TDP, Average Power < 200mW
- L1-Cache: 32kB Instruction / 24kB Data
- L2-Cache: 512kB, 8-fach assoziativ, 256 Bit Anbindung
- Virtualisierung (Intel VT)
- Execution Disable Bit
- SSE2, SSE3
- 100MHz/133MHz FSB (GTL & CMOS)
- Sleep States: C0/C1/C2/C4/C6
- Dynamic Cache Sizing

Silverthorne – Design



- 205 Functional-Unit-Blocks (FUB)
- 46% synthetisierte „random logic blocks“
- 45% cell-based mit „structured data path design“
- 9% full-custom

Silverthorne - Design

- Anzahl Transistoren:

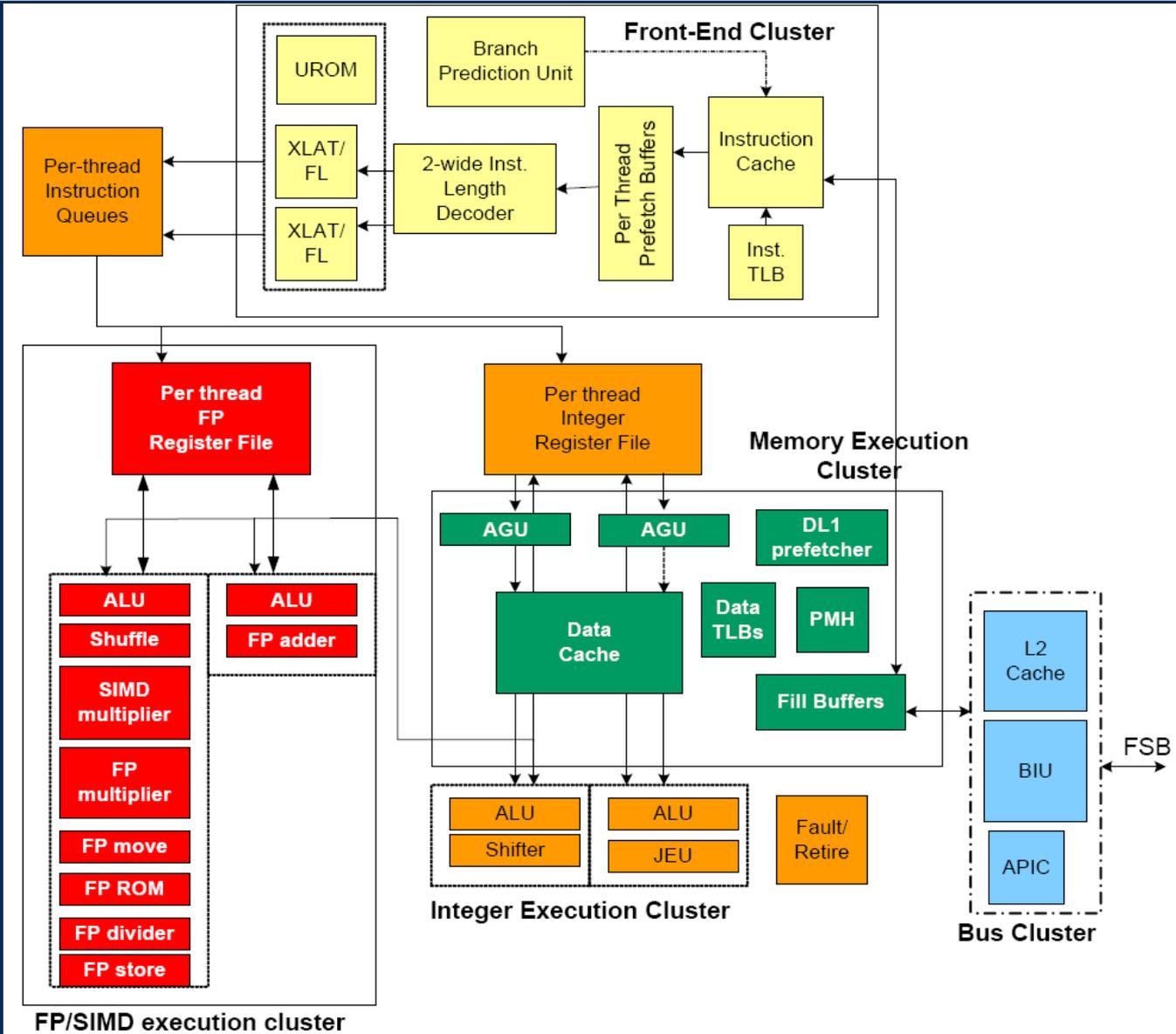
Core	13.828.574
Uncore	2.738.951
L2 & L2-Tag	30.644.682
	47.212.207
- „Sea-of-FUBs“
 - starke Modularisierung, keine Hierarchie
 - FUBs können unabhängig voneinander entworfen werden
 - jeder FUB bekommt Area & Power Budget
- Erhöhung der Wiederverwendbarkeit durch FUB-Design und häufiger Verwendung von Standardzellen
- Taktverteilung über eine Baumstruktur, nur 10% der Gesamtverlustleistung für Verteilung des Taktes

Architektur - Entwicklung

- 1999: Idee die P6-Architektur (Pentium Pro, PII, PIII) für ein Low-Power Design abzuwandeln
- 2002: neue Mikroarchitektur „Snocone“, Simulationen ergeben Leistungsaufnahme im Bereich ein Watt möglich
- 2004: Design für x86-Low-Power-Core startet
mögliche Einsatzgebiete: Many-Core CPUs oder „Standalone“

Grundlegende Designregel:

- jedes Feature darf pro Prozentpunkt Performancezuwachs maximal ein Prozent mehr Verlustleistung verursachen

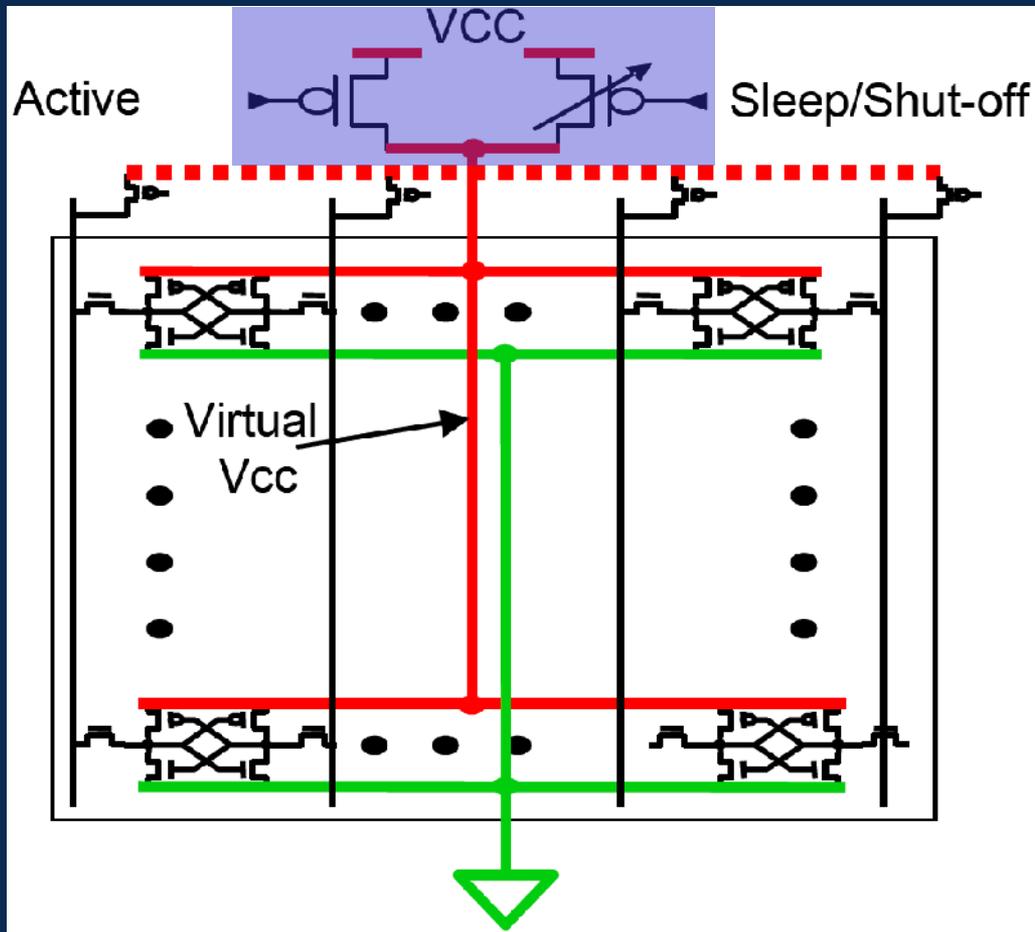


Silverthorne - Pipeline

1	IF1	Instruction Fetch
2	IF2	
3	IF3	
4	ID1	Instruction Decode
5	ID2	
6	ID3	
7	SC	Instruction Dispatch
8	IS	
9	IRF	Src. Op. Read
10	AG	Data Cache Access
11	DC1	
12	DC2	
13	EX1	Execute
14	FT1	Exception/ MT Handling
15	FT2	
16	IWB	Commit

- 16 Pipeline Stufen
- In-Order Issue, 2 μ Ops pro Takt
- 2-faches Simultaneous Multithreading (Hyperthreading)
- Instruction Scheduling Queues (jeweils 16 Einträge pro Thread)
- bei Abarbeitung eines Programmes werden durchschnittlich 96% aller Instruktionen in einem Takt ausgeführt
- keine Spekulation bei der Ausführung
- Ausnahmen:
 - kurze Integer-Operationen können FloatingPoint-Instruktionen überholen (Safe Instruction Recognition -> out-of-order commits)
 - Data Prefetching
 - Instruction Decoder (Fast Path, pre-decode extension)

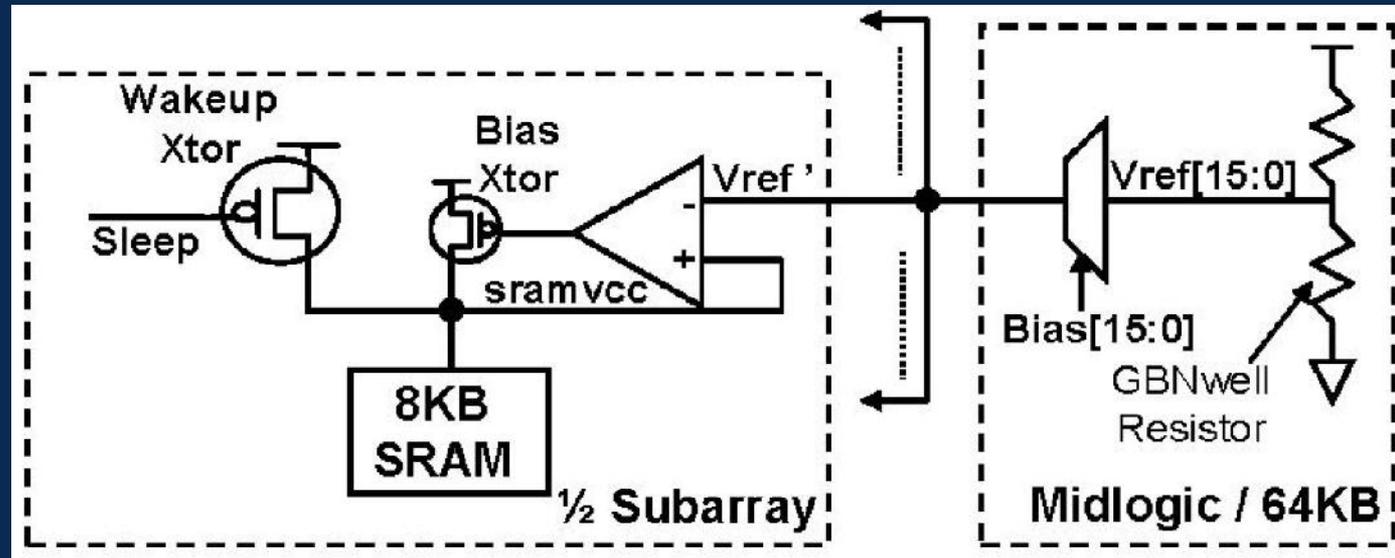
Design der Speicherzellen



Maßnahmen zur Reduzierung der Leckströme:

- 8T-SRAM-Zellen (L1-Cache, Register Files, C6-Speicher)
- Sleep Transistoren
Reduzierung VCC auf 750mV
-2.5x Leakage
- Power Gating
Einzelne Blöcke abschaltbar
-10x Leakage

Mögliche Ansteuerung der Sleep-Transistoren



- Umschalten von Active- auf Sleep-Mode durch Sperren des großen PMOS-Pull-Up
- genaue Kontrolle der SRAM-Versorgungsspannung im Sleep-Mode notwendig
 - so niedrig wie möglich (Minimierung Leakage)
 - so hoch wie nötig (Beibehaltung der gespeicherten Zustände)

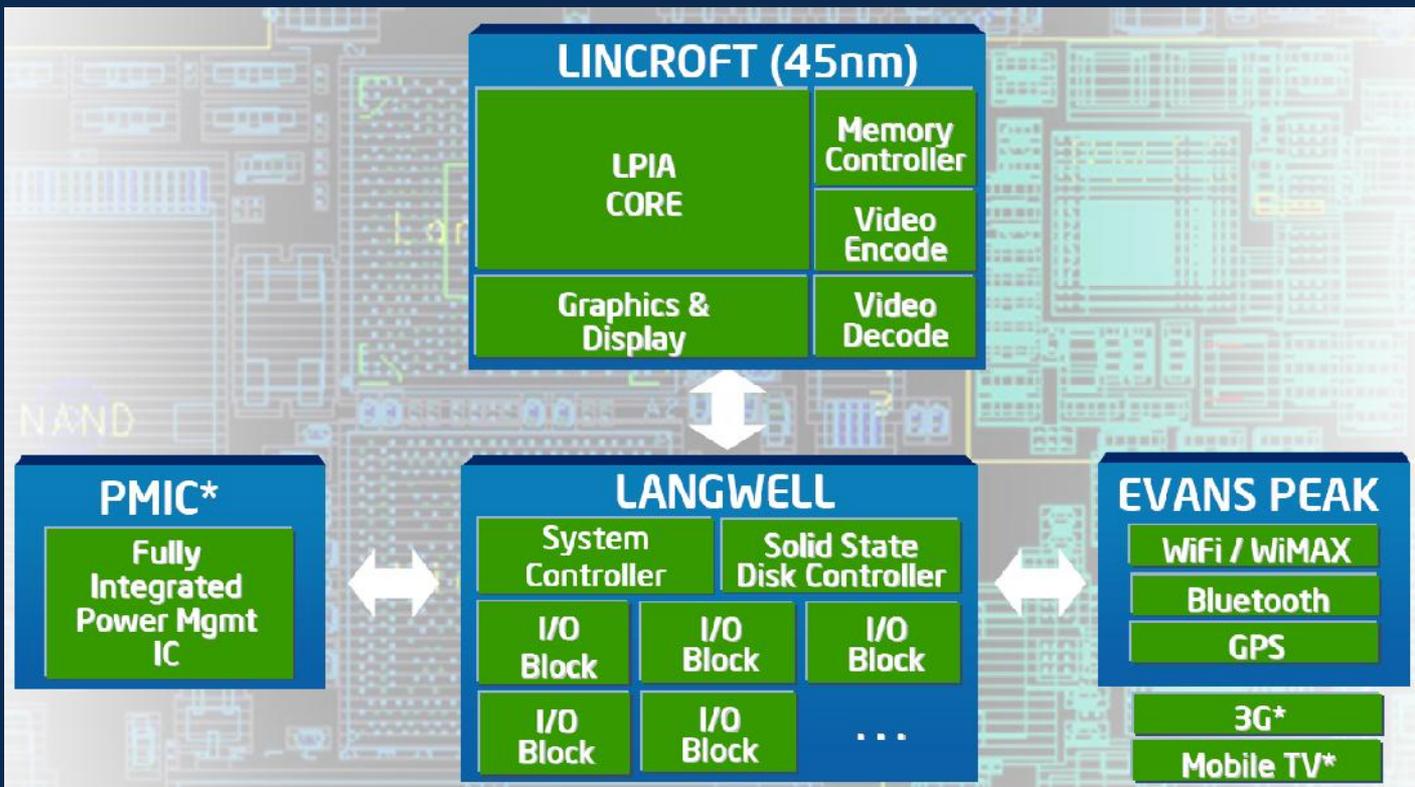
Performance

		Linux Kernel make	SYSmark 2007 BAPCo (Preview)	Cinebench 10 Rendering
Atom 230	1,6GHz	1441	33	836
Celeron 430	1,8GHz	2542	63	1602
Sempron LE-1150	2,0GHz	1891	53	1530

aus c't 13/2008

- Vergleichbare Performance zu einem Pentium-M 1GHz
- In synthetischen Benchmarks zum Teil gute ALU-Leistung, aber relativ langsame FPU

Ausblick - Moorestown



- voraussichtlich 2009/2010
- in die CPU integrierter Video-, Graphik- und Speichercontroller
- deutliche Reduzierung der Verlustleistung
- verbesserte Performance

Zusammenfassung

- Low-Power/Low-Cost Plattform für Note- bzw. Netbooks, MIDs, Desktops
- kompletter x86-Befehlssatz, Softwarekompatibilität
- Geschwindigkeit stark abhängig von Software (In-order, Multithreading)
- Weiterentwicklung mit Moorestown-Plattform
- kein SoC, bisher keine direkte Konkurrenz zu z.B. ARM-basierten Produkten für Handys/Smartphones

Quellen

- G. Gerosa, et al.
A Sub-1W to 2W Low-Power IA Processor for Mobile Internet Devices and Ultra-Mobile PCs in 45nm Hi-κ Metal Gate CMOS
2008 IEEE International Solid-State Circuits Conference
- F. Hamzaoglu, et al.
A 153Mb-SRAM Design with Dynamic Stability Enhancement and Leakage Reduction in 45nm High-K Metal-Gate CMOS Technology
2008 IEEE International Solid-State Circuits Conference
- Intel
Intel® Atom™ Processor Z5xx Series Datasheet
- Intel
Press Kit – Intel Developer Forum (IDF) Spring 2008, Shanghai
http://www.intel.com/pressroom/kits/events/idfspr_2008/
- A. Shimpi, Anandtech.com
Intel's Atom Architecture: The Journey Begins
<http://www.anandtech.com/showdoc.aspx?i=3276>
- C. Windeck
Atom-Versuche, Intel Diamondville alias Atom 230 und Atom N270
c't 13/2008

Quellen

- pc.watch.impress.co.jp
<http://pc.watch.impress.co.jp/docs/2008/0402/kaigai432.htm>
- A. Mutschler
Intel's Atom came with a fight
<http://www.edn.com/article/CA6569559.html>
- P. Kedia
Mobile Internet Devices Overview
IDF Spring 2008, Shanghai
- www.eeepcnews.de
<http://www.eeepcnews.de/2008/04/18/intel-atom-benchmarks-via-isaiah-vergleich/>