



TECHNISCHE
UNIVERSITÄT
DRESDEN

Fakultät Informatik Institut für Technische Informatik, Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur

Virtex-6 / Spartan-6 FPGA Architektur

Eric Neumann

Dresden, 08.07.2009

Was ist mit Spartan-4 und Spartan-5 passiert?



Gliederung

- 01 Einführung
- 02 Energieeffizienz
- 03 Spartan-6 Familie
- 04 Virtex-6 Familie
- 05 Architekturmerkmale
- 06 Arria II GX, ECP3, Spartan-6 LXT FPGA Vergleich
- 07 Quellen

01 Einführung

Spartan-6 Familie

- niedriger Preis
- geringer Stromverbrauch
- trotzdem hohe Leistung
- hohe Stückzahlen

Virtex-6 Familie

- maximale Leistung
- höchste Konnektivität
- trotzdem stromsparend

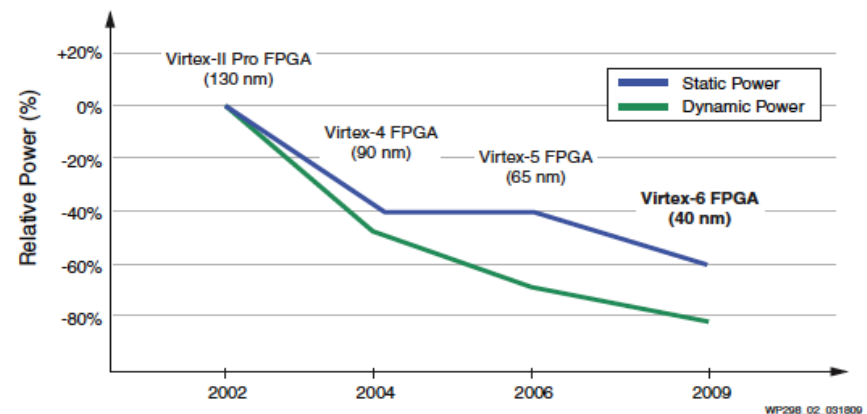
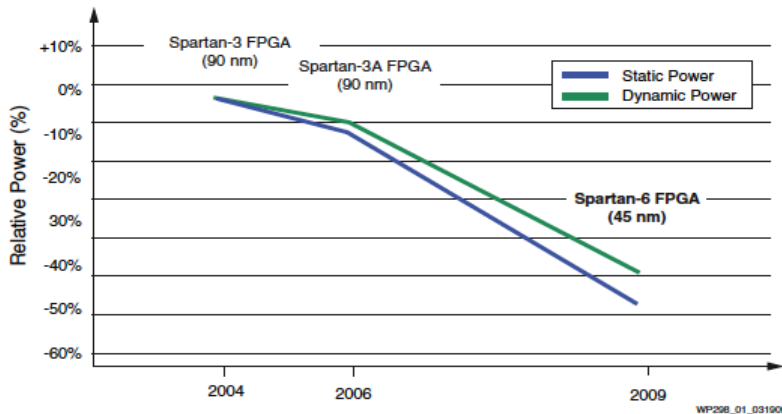
Beide Familien basieren auf Virtex-5 Architektur

- Daraus resultieren viele gemeinsame Architekturmerkmale
 - Beispiele: LUT6, ASMBL, Gigabit Transceiver
-
- 45nm Prozesstechnologie
 - 40nm Prozesstechnologie

02 Energieeffizienz

Maßnahmen zur Reduzierung des Stromverbrauchs

- Faktor Stromverbrauch primäres Entscheidungskriterium bei Wahl des FPGA
- Prozessverbesserungen: gestrecktes Silizium, Silizium-Germanium-Schicht, Dreifach-Oxid, vernünftige Transistorwahl
- Reduktion parasitärer Kapazitäten: geschrumpfte Geometrie, low-K Dielektrikum



Quelle: Xilinx White Paper on Power Consumption at 40 and 45 nm

02 Energieeffizienz

Weitere Energieeffizienzmaßnahmen

- Architekturverbesserungen: LUT6, verbessertes clock gating, system-level power management
- Einführung von Low-Power -1L Varianten in beiden Familien
 - V_{CCINT} von 1,2V auf 1,0V (Spartan-6) bzw. von 1,0V auf 0,9V (Virtex-6)
 - Reduziert den Kernstromverbrauch um 30-40% bzw. 20-25%
- Nutzung der zahlreich vorhandenen integrierten Blöcke (z.B. PCI-Express, DSP) reduziert statischen und dynamischen Energieverbrauch

03 Spartan-6 Familie

- Bis zu 65% weniger Energieverbrauch gegenüber vorheriger Generationen
- Systemkosten bis zu 50% geringer („grüne Produkte“)
- Übernahme ausgereifter Technologien der Virtex-5 Reihe
 - Dual-Register LUTs mit 6 Eingängen
 - DSP slices, High-Speed Transceiver, PCI Express Endpunkt Block
- Virtex Reihe als Basis ermöglicht bessere Cross-Plattform Kompatibilität
- Einfache Nutzung
 - Schnelleres Design durch Wizards für build-in-blocks
 - Entwicklungs-Kits mit IP und Referenzdesigns
 - Konfiguration vereinfacht

03 Spartan-6 Familie

- Zweite Generation DSP48A1 ist ideal geeignet für Signalprozesssysteme im Bereich von Video- und Wireless-Aufgaben
- Vereinfachte Interfaces mit hohen Bandbreiten
- Integrierte Memory Controller erlauben Zugriff auf externem DDR3 Speicher
 - ermöglicht gestreamten Zugriff auf Video- und Datenströme
- Anwendungsbereiche:
 - Automotive Infotainment
 - Displaysteuerungen
 - Multifunktionsdrucker
 - Set-Top-Boxes
 - Heimnetzwerke
 - Videoüberwachung

03 Spartan-6 Familie

Spartan-6 Sub-Families

- Erstmals 2 domain angepasste Unterfamilien dank Virtex ASMBL Technologie

Spartan-6 LX FPGAs

- Für Anwendungen mit geringst möglichen Kosten konzipiert
- Bis zu 147K Logikzellen
- Maximal 4,8Mb Block RAM
- DSP slices, integrierte Speichercontroller
- Einfach zu nutzende, leistungsstarke Hard-IP

Spartan-6 LXT FPGAs

- Erweitern LX Familie
- Bis zu 8 3,125Gbps GTP Transceiver
- Integrierter PCI Express Endpunkt Block
- Risiko- und kostenreduzierte Lösung für serielle Konnektivität

Device XC6S	LX 4	LX 9	LX 16	LX 25	LX 45	LX 75	LX 100	LX 150	LX 25T	LX 45T	LX 75T	LX 100T	LX 150T
Logic Cells	3,4K	9K	15K	24K	43K	74K	101K	147K	24K	43K	74K	101K	147K
CLB Flip-Flops	4,2K	11K	18K	30K	54K	93K	126K	184K	30K	54K	93K	126K	184K
Maximum Distributed RAM (kbit)	32	90	136	228	401	692	975	1358	228	401	692	975	1358
Block RAM (18kbit each)	8	32	32	52	116	172	268	268	52	116	172	268	268
Total Block RAM (kbit)	144	576	576	936	2088	3096	4824	4824	936	2088	3096	4824	4824
Clock Manager Tiles (CMT)	1	2	2	2	4	6	6	6	2	4	6	6	6
DSP48A1 Slices	4	32	32	38	58	132	182	182	38	58	132	182	182
PCI Express Endpoint Block	-	-	-	-	-	-	-	-	1	1	1	1	1
Memory Controller Blocks	0	2	2	2	2	4	4	4	2	2	4	4	4
GTP Low-Power Transceivers	-	-	-	-	-	-	-	-	2	4	8	8	8

Device XC6S		LX 4	LX 9	LX 16	LX 25	LX 45	LX 75	LX 100	LX 150	LX 25T	LX 45T	LX 75T	LX 100T	LX 150T
Pack age	Area (Pitch)	Maximum User I/O: SelectIO Interface Pins (GTP Transceiver)												
CPG 196	8x8mm (0,5mm)	100	100	120										
TQG 144	20x20mm (0,5mm)	100	102											
CSG 225	13x13mm (0,8mm)	120	160	160										
FTG 256	17x17mm (1,0mm)		186	186	186									
CSG 324	15x15mm (0,8mm)		200	232	226	218				190 (2)	190 (4)			
CSG 484	19x19mm (0,8mm)					310	310	320	330		290 (4)	290 (4)	290 (4)	290 (4)
FGG 484	23x23mm (1,0mm)				266	316		326	338	250 (2)	296 (4)		296 (4)	296 (4)
FGG 676	27x27mm (1,0mm)					358	400	480	498			320 (8)	376 (8)	396 (8)
FGG 900	31x31mm (1,0mm)								570				490 (8)	530 (8)

04 Virtex-6 Familie

- Generell in allen Punkten besser/schneller als die Spartan-6 FPGAs
 - mehr CLBs
 - mehr Block RAM mit doppelter Breite
 - Schnellere Integrierte Blöcke
- Erweitert Spartan-6 Funktionsangebot
 - Ethernet MAC Blöcke
 - Reichere Standardunterstützung (OC-48, XAUI, SRIO, HD-SDI)
- Bis zu 50% weniger Energieverbrauch gegenüber vorheriger Generationen
- Bis zu 20% geringere Kosten
- Weitere Kostenreduzierung durch EasyPath FPGA Möglichkeit
- Effiziente Designübertragung von Vorgängergenerationen

04 Virtex-6 Familie

Virtex-6 Sub-Families

- 3 domain angepasste Unterfamilien durch dritte Generation ASMBL

Virtex-6 LXT FPGAs

- sehr leistungsstarke Logik und DSP
- schneller serielle Anbindung mittels 6,5Gbps low-power GTX Transceivers

Virtex-6 SXT FPGAs

- optimiert für Anwendungen mit sehr hohen DSP Anforderungen
- mehr Block RAM als LXT FPGAs

Virtex-6 HXT FPGAs

- für kommunikative Anwendungen mit hohen Geschwindigkeiten optimiert
- bis zu 72 GTX Transceiver und neuen GTH Transceivern (bis zu 11Gbps)

Device XC6V	LX 75T	LX 130T	LX 195T	LX 240T	LX 365T	LX 550T	LX 760	SX 315T	SX 475T
Logic Cells	74,5K	128K	200K	241K	364K	550K	759K	315K	476K
CLB Flip-Flops	93,1K	160K	250K	301K	455K	687K	948K	394K	595K
Maximum Distributed RAM (kbit)	1045	1740	3040	3650	4130	6200	8280	5090	7640
Block RAM/FIFO ECC (36kbit each)	156	264	344	416	416	632	720	704	1064
Total Block RAM (kbit)	5,6K	9,5K	12,4K	15K	15K	22,7K	25,9K	25,3K	38,3K
Mixed Mode Clock Managers (MMCM)	6	10	10	12	12	18	18	12	18
DSP48E1 Slices	288	480	640	768	576	864	864	1344	2016
PCI Express Endpoint Block	1	2	2	2	2	2	0	2	2
10/100/1000 Ethernet MAC Blocks	4	4	4	4	4	4	0	4	4
GTX Low-Power Transceivers	12	20	20	24	24	36	0	24	36

Device XC6V		LX 75T	LX 130T	LX 195T	LX 240T	LX 365T	LX 550T	LX 760	SX 315T	SX 475T
Pack age	Area (Pitch)	Maximum User I/O: SelectIO Interface Pins (GTX Transceiver)								
FF 484	23x23mm (1,0mm)	240 (8)	240 (8)							
FF 784	29x29mm (1,0mm)	360 (12)	400 (12)	400 (12)	400 (12)					
FF 1156	35x35mm (1,0mm)		600 (20)	600 (20)	600 (20)	600 (20)				
FF 1759	42,5x42,5mm (1,0mm)				720 (24)	720 (24)	840 (36)		720 (24)	840 (36)
FF 1760	42,5x42,5mm (1,0mm)						1200	1200		

05 Architektur - Configuration

Konfigurationsdaten

- in interne SRAM artigen Latches gespeichert
- 2 bis 33 Mb, abhängig von der Bausteingröße
- Flüchtiger Speicher -> Reload bei Power-Up notwendig
- Verschiedene Methoden und Datenformate zum Laden der Daten nutzbar
- Bitstromerzeugung mittels ISE-Werkzeug BitGen

- MultiBoot Konfiguration
- Device DNA
- Dynamic Reconfiguration Port
- ReadBack Funktion

05 Architektur - Configuration

Virtex-6 spezifisch

- 16 bis 160 Mb Speicher für Konfigurationsdaten
- 8/16/32 Bit breite Transfermöglichkeiten

Verschlüsselung

- AES Verschlüsselung in allen Bausteinen
- Entschlüsselung erfolgt mittels internem 256 Bit Schlüssel

Rekonfiguration

- Partielle Rekonfiguration möglich
- Erhöht Flexibilität des Bausteins

05 Architektur - CLBs, Slices, LUTs

Configurable Logic Block (CLB) Struktur

- CLB besteht aus 2 Slices
- Slices sind nebeneinander angeordnet als 2 vertikale Spalten
- Slice besteht aus 4 LUTs, 8 FlipFlops und diverser Logik

Look Up Tables

- LUTs dienen Umsetzung genereller kombinatorischer und sequentieller Logik
- Konfigurierbar als:
 - 6 Eingänge und 1 Ausgang
 - 5 Eingänge und 2 unabhängige Ausgänge
- Xilinx Synthesetools nutzen optimal die Vorteile der CLBs für hocheffiziente Logik, Speicher und Arithmetik

05 Architektur - CLBs, Slices, LUTs

3 Arten von CLBs

- SLICEM – 25%
 - LUT als 64bits distributed memory nutzbar
 - LUT ebenfalls als einfaches 32 bit (SRL32) oder als 2 16 bit (SRL16) Schieberegister nutzbar
 - Jeder LUT Ausgang kann in den als Register genutzten FlipFlops gespeichert werden
 - High-speed carry chain für arithmetische Operationen
- SLICEL – 25%
 - Wie SLICEM, aber ohne memory/shift register Funktionalität
- SLICEX – 50%
 - Wie SLICEL, aber zusätzlich ohne carry chain

05 Architektur - CLBs, Slices, LUTs

Virtex-6 spezifisch

- 4 der 8 FlipFlops pro Slice können als Latch konfiguriert werden
- allerdings schließt dies die Nutzung der restlichen 4 FlipFlops aus
- Einteilung der Slices
 - 25-50% als 64 bit distributed memory oder als 32/16 bit Schieberegister nutzbar

Ersparnisse durch LUT6 anhand eins Beispiels der Telekommunikation

	LUTs	Netze	Verbindungen	Routing Ressourcen
LUT4	18.371	26.417	100.641	95.200
LUT6	14.585	22.510	89.569	82.408
Reduzierung	-21%	-15%	-11%	-14%

05 Architektur - Clock Management

Clock Management Tiles (CMT)

- Bis zu 6 CMTs pro Spartan-6, bestehend aus je 2 DCMs und einer PLL
- Bis zu 9 CMTs pro Virtex-6 mit je 2 mixed-mode clock managers (MMCM)

Digital Clock Manager - DCM

- CLK0, CLK90, CLK180, CLK270
- CLK2X und CLK2X180
- CLKDV ganzzahlig zwischen 2 und 16
- Frequenzsyntheseausgänge CLKFX CLKFX180
- Phasenverschiebung

Phase Locked Loop - PLL

- Nutzung als Frequenzsynthetisierer oder als Jitter-Filter
- Ein voltage-controlled oscillator (VCO) bildet den Kern der PLL

05 Architektur - Clock Distribution

Spartan-6 Clock Distribution

- Reichlich Clock Lines um verschiedene Anforderungen erfüllen zu können

Global Clock Lines

- 16 globale Clock Lines mit maximalem Fanout
- Erreichen jeden FlipFlop Clock

I/O Clocks

- I/O Clocks sind besonders schnell
- Dienen ausschließlich lokalen input und output delay und SerDes Schaltkreisen

05 Architektur - Clock Distribution

Virtex-6 Clock Distribution

- 5 Clock Line Typen – BUFG, BUFR, BUFIO, BUFH, high-performance clock
- 32 globale Clock Lines, 12 in jeder Region

Regional Clocks

- Regionale Clocks treiben alle Ziele in einer Region und in der jeweils darüber und darunter liegenden Region
- Eine Region ist 40 I/O und 40 CLBs hoch, und halb so breit wie der Chip
- Virtex-6 Bausteine besitzen 6-18 Regionen
- 6 Regionale Clocks pro Region

05 Architektur - Block RAM

Spartan-6

- 8-268 dual-port Block RAMs zu je 18kb
- 2 komplett unabhängige Ports
- Lese- und Schreibzugriffe erfolgen getaktet
- Optionale output Datenpipeline

- Jeder Port konfigurierbar als 16K*1, 8K*2, 4K*4, 2K*9 (oder 8), 1K*18 (oder 16), 512*36 (oder 32)
- Jeder Block RAM in 2 komplett unabhängige 9Kb Block RAMs teilbar

Virtex-6

- 156-1064 dual-port Block RAMs zu je 36kb
- Zusätzlich Fehlerkorrektur mittels 8 zusätzlichen Hamming Bits möglich

05 Architektur - Memory Controller Block

Memory Controller Block - MCB

- In den meisten Spartan-6 FPGAs vorhanden, nicht jedoch in Virtex-6 FPGAs
- Jeder MCB kann einen DDR, DDR2, DDR3 oder LPDDR Chip ansteuern
- Datenraten bis 800 Mb/s
- Festgelegte I/O Pins
- Liefert in den meisten Fällen ein schnelleres DRAM Interface als herkömmliche interne Datenbusse

05 Architektur - DSP48A1 & DSP48E1

DSP48A1 – Spartan-6

- 4-182 dedizierte, low-power DSP slices
- Besteht aus einem 18x18 Zweierkomplement-Multiplizierer und einem 48 bit Akkumulator (maximal 250 Mhz)
- Ausgiebige Pipeline-Funktionalität
- Nutzung auch für andere Aufgaben sinnvoll

DSP48E1 – Virtex-6

- 288-2016 dedizierte, low-power DSP slices
- Besteht aus einem 25x18 Zweierkomplement-Multiplizierer und einem 48 bit Akkumulator (maximal 600 Mhz)
- Single-Instruction-Multiple-Data (SIMD) Einheit und Logikeinheit
- Pre-Adder für symmetrische Filter

05 Architektur - Input/Output

Spartan-6 I/O

- Jeder I/O Pin ist konfigurierbar
- Alle Pins sind bidirektional
- maximal 3,3V
- Alle I/O Pins haben gleiche Möglichkeiten mit Ausnahme von Stromversorgungs- und speziellen Konfigurationspins
- Anordnung in 4 oder 6 Bänken

I/O Logik

- Alle Eingänge können kombinatorisch oder mit Registern verwendet werden
- Double Data Rate unterstützt
- Input und Output Delay

05 Architektur - Input/Output

ISERDES / OSERDES

- Viele Anwendungen mit seriellen Bitströmen erfordern wegen hoher Geschwindigkeiten Serialisierer und Deserialisierer
- Jeder Eingang hat einen Deserialisierer, jeder Ausgang einen Serialisierer
- Ermöglichen Serialisierung und Deserialisierung von 2, 3 und 4 Bit, kaskadiert auch 5, 6, 7 und 8 Bit

Virtex-6 I/O

- Maximal 2,5V
- 40 Pins pro Bank
- Jedes Pinpaar kann als differentielles Inputpaar oder Outputpaar verwendet werden
- Input immer aktiv, ignoriert wenn Output aktiv

05 Architektur - Virtex-6 Systemmonitor

- Liefert Informationen über Temperatur und Energieversorgung
- Sensorergebnisse mittels 10bit 200KSPS ADC digitalisiert
- ADC auch für bis zu 17 analoge Eingangssignale verwendbar
- Genauigkeit
 - Temperatur $\pm 4^{\circ}\text{C}$
 - Energieversorgung $\pm 1\%$
- Standardmäßig eingeschaltet
- Maximum/Minimum Werte in Registern gespeichert
- Alarmwerte festlegbar
 - Automatischer Power-Down auslösbar

05 Architektur - GTP / GTX Transceiver

Low Power Transceiver GTP – Spartan-6

- LXT Familie hat 2-8 GTPs
- Ein GTP ist ein kombinierter Sender und Empfänger mit möglichen Datenraten von 622Mb/s bis 3,125Gb/s
- Sender und Empfänger sind unterschiedliche Schaltkreise
- Separate PLLs erzeugen hohe Eingangsfrequenzen (Faktor 2-25)
- 8B10B Kodierung
- Übersetzungsraten von 8, 10, 16 oder 20

Low Power Transceiver GTX – Virtex-6

- 8-36 Transceiver mit Datenraten von 155Mb/s bis 6,5Gb/s
- Konvertierungsraten von 8, 10, 16, 20, 32 und 40
- 8B10B, 64B/66B oder 64B/67B Kodierungen verwendbar
- Out-Of-Band Signaling

06 Vergleich Arria II GX, ECP-3, Spartan-6 LXT

	Arria II GX	ECP-3	Spartan-6 LXT
Hersteller	Altera	Lattice	Xilinx
Logikelemente	16k - 256k	17k - 149k	23k - 147k
RAM	0,7 - 8,5 Mbit	0,5 - 6,8 Mbit	0,9 - 4,8 Mbit
DSP Blöcke	7 - 92		38 - 192
Multiplizierer	28 - 368	24 - 320	38-192
Akkumulatoren	ja	ja	ja
Subtrahierer	nein	nein	nein
	kaskadierbar	kaskadierbar	
Gigabittransceiver	4-16 3,75Gbit	4-16 3,2Gbit	2-8 3,125Gbit
DDR3 Schnittstelle	300 Mhz	800 Mhz	800 Mhz

Vielen Dank für ihre Aufmerksamkeit

07 Quellen

1. http://www.xilinx.com/support/documentation/data_sheets/ds150.pdf
2. http://www.xilinx.com/publications/prod_mktg/Virtex6_Product_Brief.pdf
3. http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf
4. http://www.xilinx.com/publications/prod_mktg/Spartan6_Product_Brief.pdf
5. http://www.xilinx.com/support/documentation/white_papers/wp298.pdf
6. <http://www.elektroniknet.de/home/bauelemente/fachwissen/uebersicht/aktive-bauelemente/programmierbare-logikasics/fpgas-arria-ii-gx-ecp-3-und-spartan-6-lxt-im-vergleich/>