



Architektur des Parallax Propeller Microcontrollers

Marco Zulkowski

s0086293@mail.inf.tu-dresden.de

Dresden, 10.06.2009

Gliederung

Einführung

Propeller Architektur

Überblick

Der Cog

Der Hub

RAM/ROM

Struktur

Besonderheiten

Zusammenfassung / Ausblick



Einführung

Idee

fest vorgegebene Peripheriebausteine durch Software auf einem parallel laufenden Prozessor zu ersetzen

genau die gewünschten fertigen Funktionen aus einer Library einbinden

UART, SPI, I2C, PS2

Noch viele weitere „Objekte“

Umsetzung

Von Chip Gracey, Parallax Mitbegründer und Präsident designed

Entwicklung einer eigenen Sprache „Spin“ von Gracey und Jeff Martin

Propeller Architektur - Überblick

- 32 Bit RISC-Architektur
- 8 Prozessoren (Cog's)
- 32 KByte RAM
- 32 KByte ROM
- 32 I/O Leitungen
- Maximale Taktfrequenz 80 MHz
- Anbindung der Cog's zum RAM über Hub



Propeller Architektur – der Cog

2 KByte RAM (496GP Register, 16 SP Register)

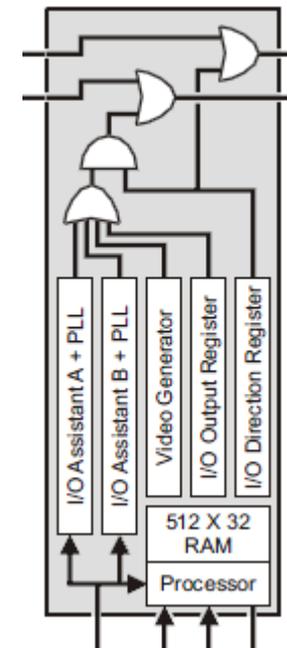
32Bit I/O Ausgabe Register

32Bit I/O Richtungs Register

zwei I/O Einheiten mit PLL's

einen Video Generator

Jeder Cog arbeitet unabhängig



Propeller Architektur – der Hub

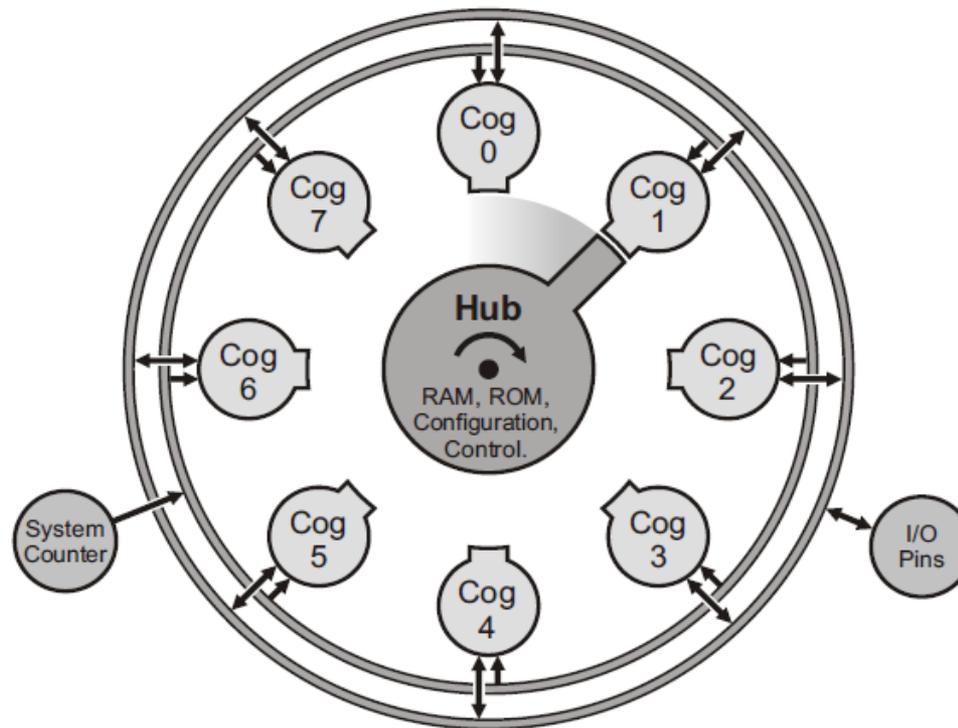
Schnittstelle zwischen den Cog's und dem RAM

Arbeitet im Round-Robbin Verfahren

Taktet mit der halben Systemtakt

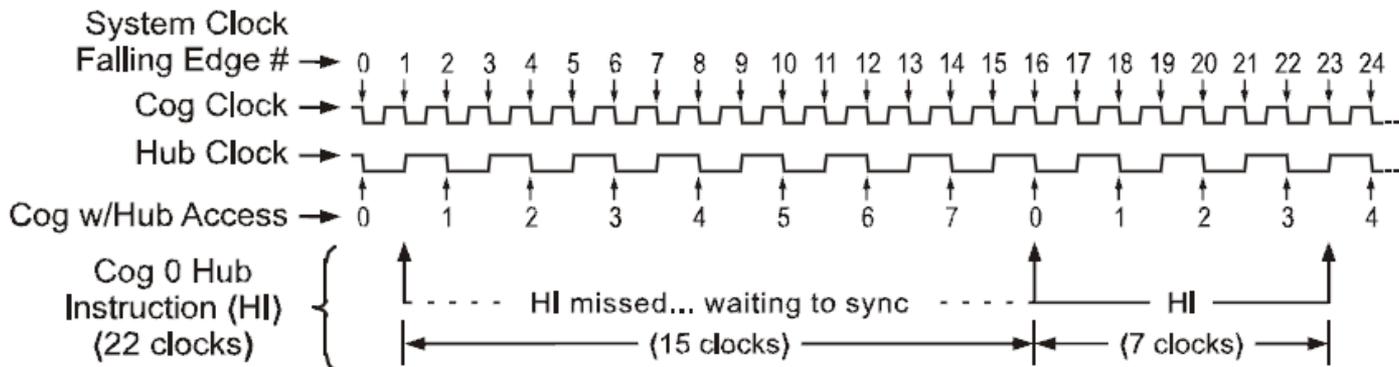
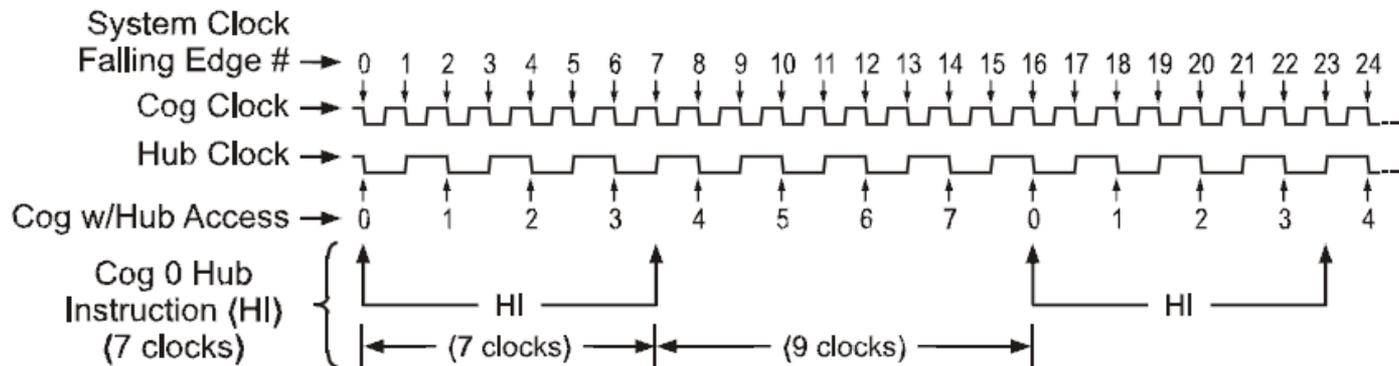
Sorgt dafür, das immer nur ein Cog Zugriff auf den RAM hat

Propeller Architektur – der Hub

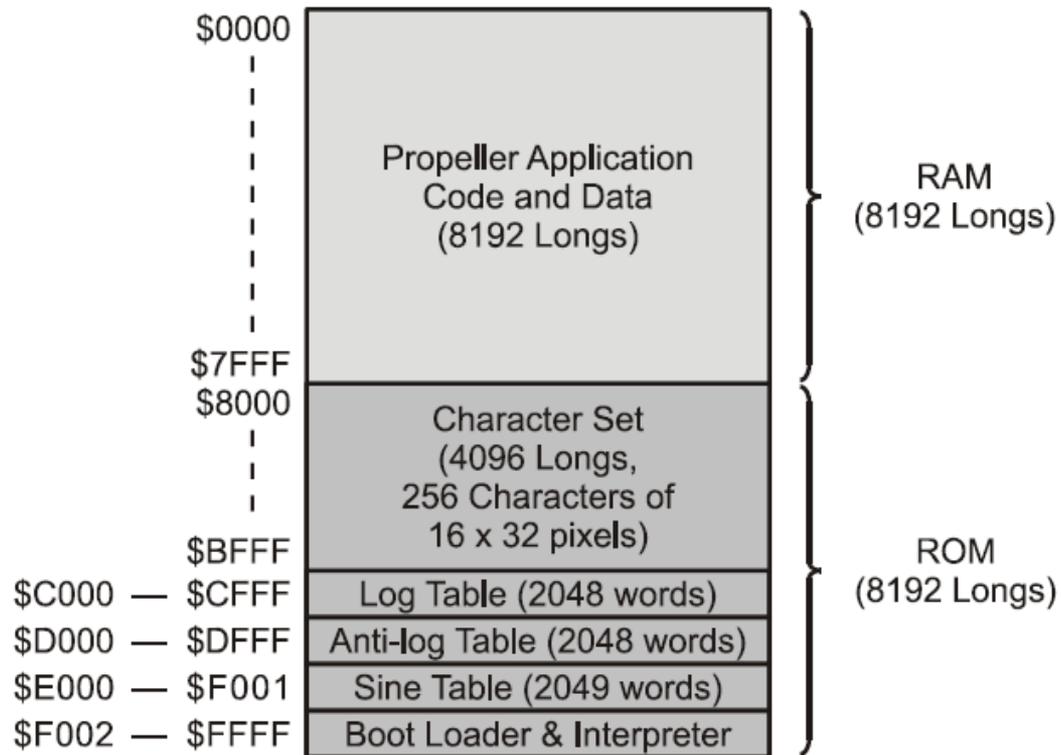


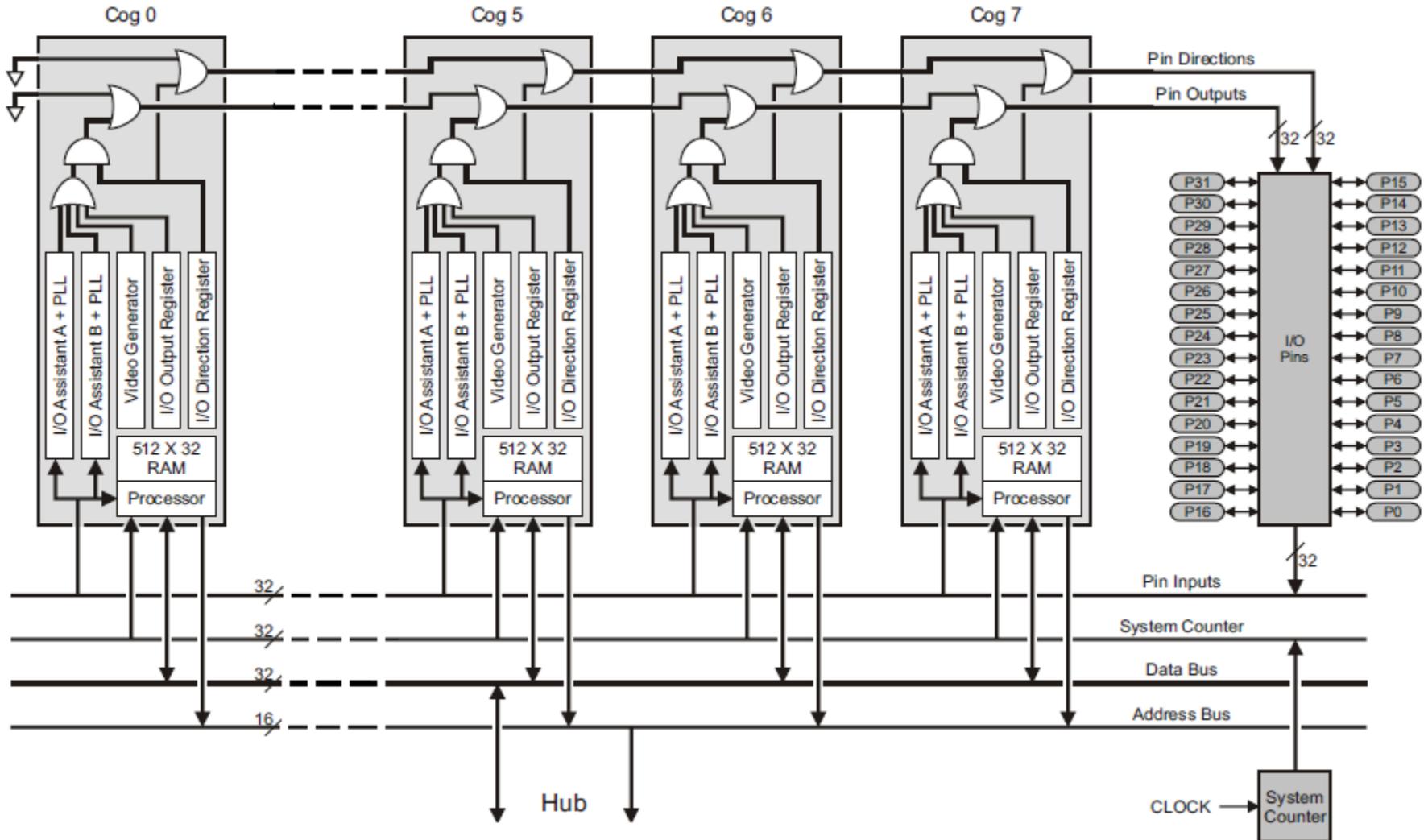
Hub and Cog Interaction

Propeller Architektur – der Hub

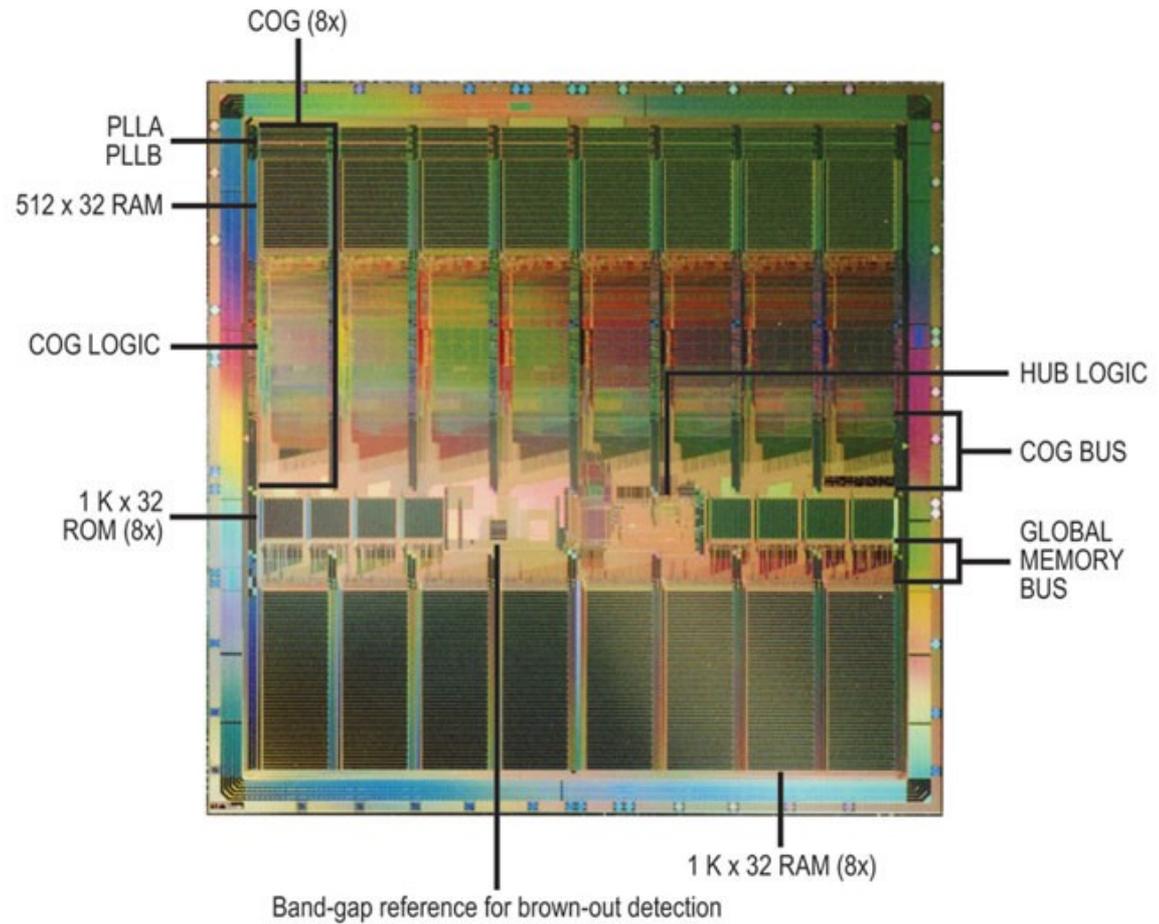


Propeller Architektur – RAM/ROM





Struktur



Besonderheiten

Keine Interrupts

Keine Division in der ALU (Workaround in Spin)

Starten immer mit Spin

Mischbetrieb Assembler und Spin

Zusammenfassung / Ausblick

Interessanter Ansatz

Sehr flexibel einsetzbar

Aber:

Neue Sprache Spin ---> fehlende Kompatibilität zu anderen Mikrocontrollern
(inzwischen gibt es auch C-Compiler)

Leistungsfähigkeit von Spin typischerweise 5 – 10 mal langsamer als C

Ausblick:

Java Interpreter für den Propeller

Neue Modelle mit bis zu 16 Cog's, mehr Speicher, 160 MHz Taktfrequenz
und ungefähr 1 Befehl pro Takt ausführbar (jetzt 4 Takte)

Vielen Dank für ihre Aufmerksamkeit!