



**TECHNISCHE
UNIVERSITÄT
DRESDEN**

Fakultät Informatik Institut für Technische Informatik, Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur

ASIC-SYNTHESE DER SHAP-MIKROARCHITEKTUR

Belegverteidigung

Andrej Olunczek
Andrej.Olunczek@mailbox.tu-dresden.de

Dresden, 29.04.2009

Gliederung

Einführung

Vorbereitung

Synthese

Place & Route

Auswertung

Einführung

Aufgabenstellung

- Literaturstudium zu Flächenbedarf, Taktfrequenz und Leistungsaufnahme anderer eingebetteter Prozessoren
- Analyses des SHAP-VHDL-Designs und ggf. Entwurf/Generierung geeigneter Ersatzmodule mit Hilfe der Design-Tools
- Synthese des modifizierten Designs. Optimierung auf geringe Leistungsaufnahme und hohe Taktrate.
- Bestimmung der Kenndaten Chipfläche, erreichbare Taktfrequenz und Leistungsaufnahme in Abhängigkeit der Design-Parameter
- Zusammenfassung und Dokumentation der Ergebnisse.

Einführung

Motivation

- Vergleich zu anderen eingebetteten Prozessoren
- Vergleich zu den FPGA-Implementierungen
- Abschätzung der Leistungsfähigkeit der Architektur



Einführung

Vergleich einiger Java-fähiger Prozessoren

CPU	Technologie	Taktrate	CM ¹	P ²	Chipfläche
aJile aj-100	0,25 μm	100 MHz	2,75	2,57	
Fujitsu MB86799	0,25 μm	66 MHz	9,4	5,4	
ARM926EJ-S	0,13 μm	238 MHz	5,0	0,36	1,45 mm ²
AT32AP7000	0,18 μm	150 MHz		2,08	

¹Benchmark in CaffeineMark pro MHz

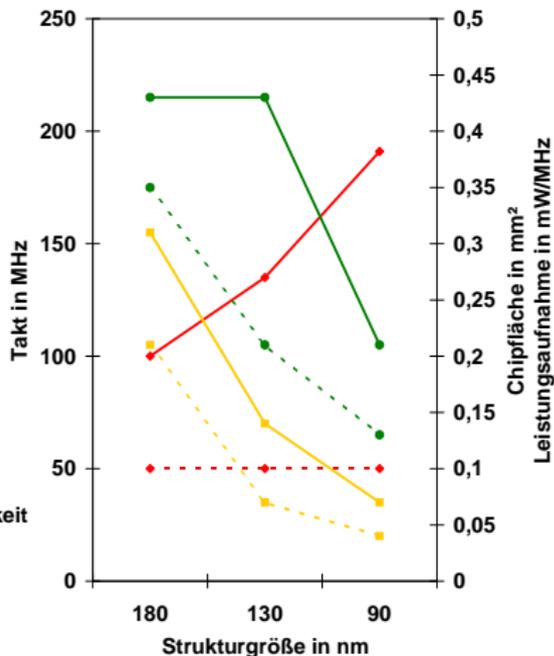
²Leistungsaufnahme in mW pro MHz

Einführung

Vergleich Eckdaten in Abhängigkeit der Optimierung

Beispiel ARM Cortex-M3
(nur CM3Core)

- Takt optimiert nach Geschwindigkeit
- - -●- - Takt optimiert nach Fläche
- Chipfläche optimiert nach Geschwindigkeit
- - -●- - Chipfläche optimiert nach Fläche
- Leistungsaufnahme optimiert nach Geschwindigkeit
- - -■- - Leistungsaufnahme optimiert nach Fläche

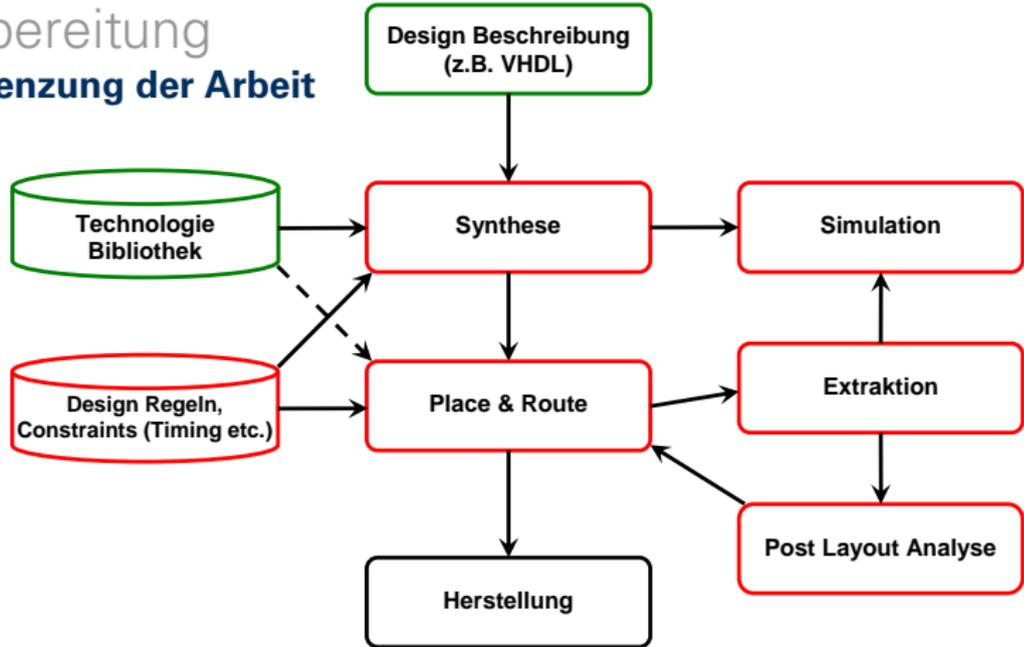


Einführung

Zusammenfassend

- geringere Strukturgröße \Rightarrow geringere Fläche und Leistungsaufnahme, höherer Takt
- Optimierung nach Geschwindigkeit \Rightarrow höhere Fläche, Leistungsaufnahme und Takt
- Optimierung nach Fläche \Rightarrow geringere Fläche, Leistungsaufnahme und Takt
- Cachegröße hat großen Einfluss auf die Chipfläche, Bsp. ARM920T/ARM922T ($0,13 \mu\text{m}$): $4,7 \text{ mm}^2$ bei 16 KB Cache und $3,2 \text{ mm}^2$ bei 8 KB

Vorbereitung Abgrenzung der Arbeit



Vorbereitung

Technologie

- 0.13 μm von UMC
- für Logik, 8 Metallisierungsebenen
- fsc0h_d_sc - Faraday Standardzellenbibliothek
- Tools: 'Memaker' & 'Synopsys Design Compiler' & 'Cadence SOC'

Vorbereitung

Arbeitsschritte

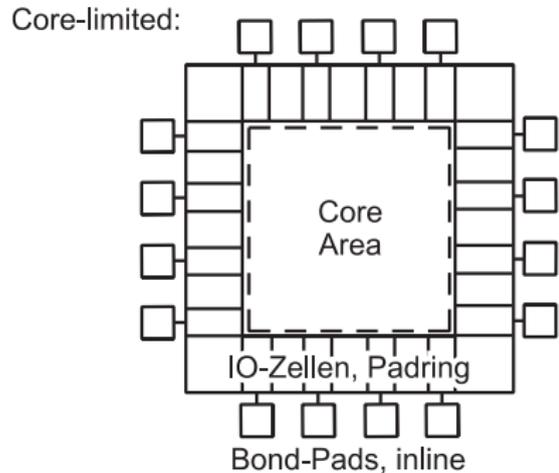
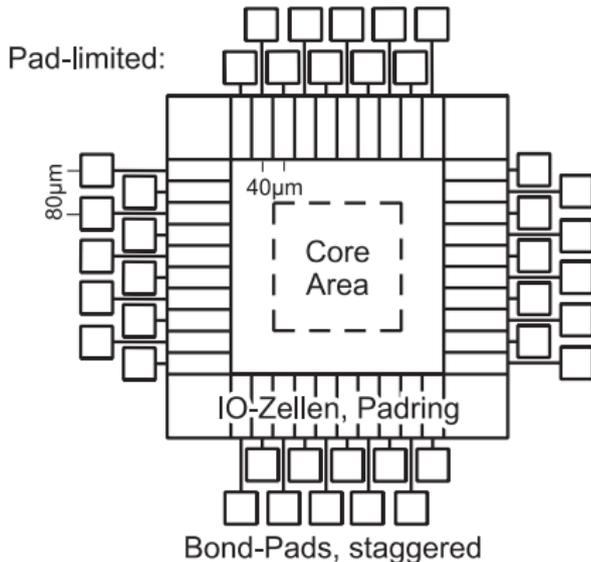
- Analyse des Codes und Generierung Ersatzmodule \Rightarrow Erstellung von RAM-Makros \Rightarrow Optimierung der Makros nach gegebenen Punkten
- Hinzufügen der Padzellen, Synthese der Daten \Rightarrow Optimierung durch geeignete Bedingungen (Timing-constraints etc.) einstellen
- Place & Route in iterativen Schritten \Rightarrow Steuerung der Bedingungen, Lage der Makros und Padzellen, etc. durch Skripte
- Nach jedem Schritt Überprüfung der Einhaltung der Bedingung & Test durch Simulation

Vorbereitung benötigte Speicher

Speicher	Taa(WC)	AC Power	Area
Stack	3,7 ns	25 $\mu A/MHz$	0,453 mm ²
Methoden Cache	2,15 ns	19 $\mu A/MHz$	0,159 mm ²
Garbage Collector	1,3 ns	24 $\mu A/MHz$	0,148 mm ²
Microtext	2,56 ns	4 $\mu A/MHz$	0,033 mm ²
Microdata	1,23 ns	8 $\mu A/MHz$	0,027 mm ²
Summe		80 $\mu A/MHz$	0,82 mm ²

Vorbereitung

Pad-limited vs. Core-limited



Vorbereitung

Pad-limited vs. Core-limited II

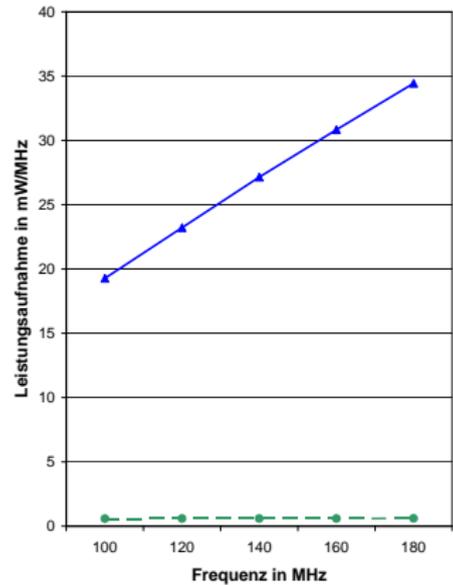
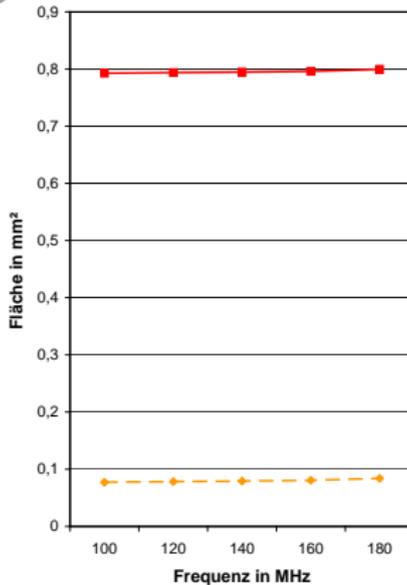
- 44 Eingangs-, 68 Ausgangs- und mind. 6 Spannungsversorgungs-IO-Zellen \Rightarrow 118 IO-Zellen
- innerer Umfang der IO-Zellen, wenn Pad-limited: $118 * 40 \mu m = 4720 \mu m \Rightarrow 1,39 \text{ mm}^2$ Corefläche & $3,76 \text{ mm}^2$ Gesamtfläche bei Quadratform
- innerer Umfang der IO-Zellen, wenn Core-limited: $118 * 80 \mu m = 9440 \mu m \Rightarrow 5,57 \text{ mm}^2$ Corefläche & $7,97 \text{ mm}^2$ Gesamtfläche bei Quadratform
- \Rightarrow Entscheidung für Pad-limited

Synthese

Ablauf

- Generierung einer Netzliste aus Standardzellen, die der RTL-Beschreibung entsprechen
- Vorgabe der maximal zu erreichenden Taktfrequenz
- Vorgabe von externen Signallaufzeiten
- automatische Optimierung auf eine Netzliste die mit minimalem Flächenaufwand und geringstmöglicher Leistungsaufnahme die Taktfrequenz noch erreicht
- Reduzierung der Leistungsaufnahme durch Clock-Gating

Synthese Ergebnisse



■ gesamte Fläche
 ◆ davon kombinatorische Fläche
 ▲ dynamische Leistungsaufnahme
 ● statische Verlustleistung

Synthese

Ergebnisse II

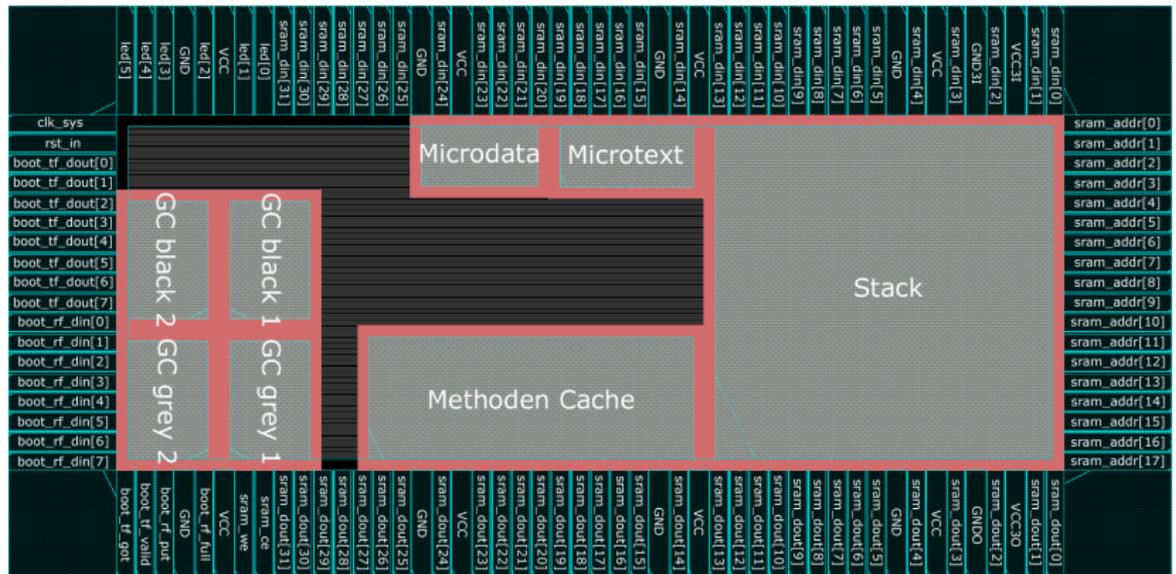
- maximal 180 MHz erreichbar
- nur unwesentlicher Unterschied im Flächenbedarf
- nur etwa 10% sind kombinatorische Fläche
- dynamische Leistungsaufnahme hängt linear von der Taktfrequenz ab
- statische Verlustleistung ist mit rund 0,6 *mW* sehr gering
- Takt von 2999 der 3270 Registern abschaltbar, dafür sind 204 Clock-Gating-Elemente nötig

Place & Route

Ablauf

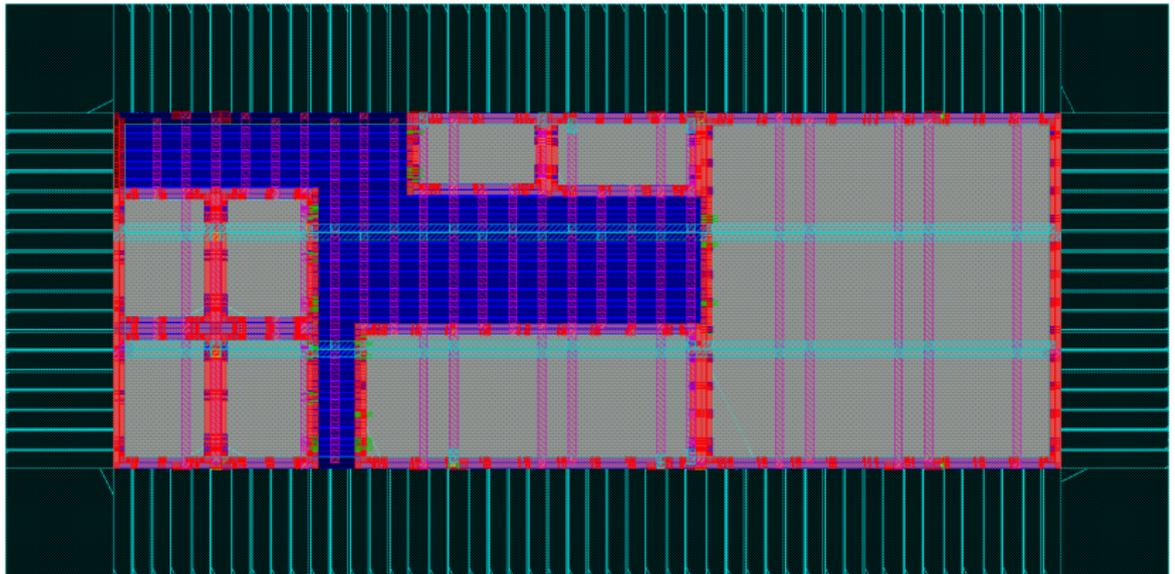
- Vorgabe der Ausmaße des Chipes
- Vorgabe der Position von IO-Zellen
- Vorgabe der Position von RAM-Macros
- Anlegen des Routings für Core-Spannung und -Masse
- Automatisches scriptgesteuertes Durchlaufen der Place-&-Route-Schritte
- Analyse der Ergebnisse

Place & Route Floorplan



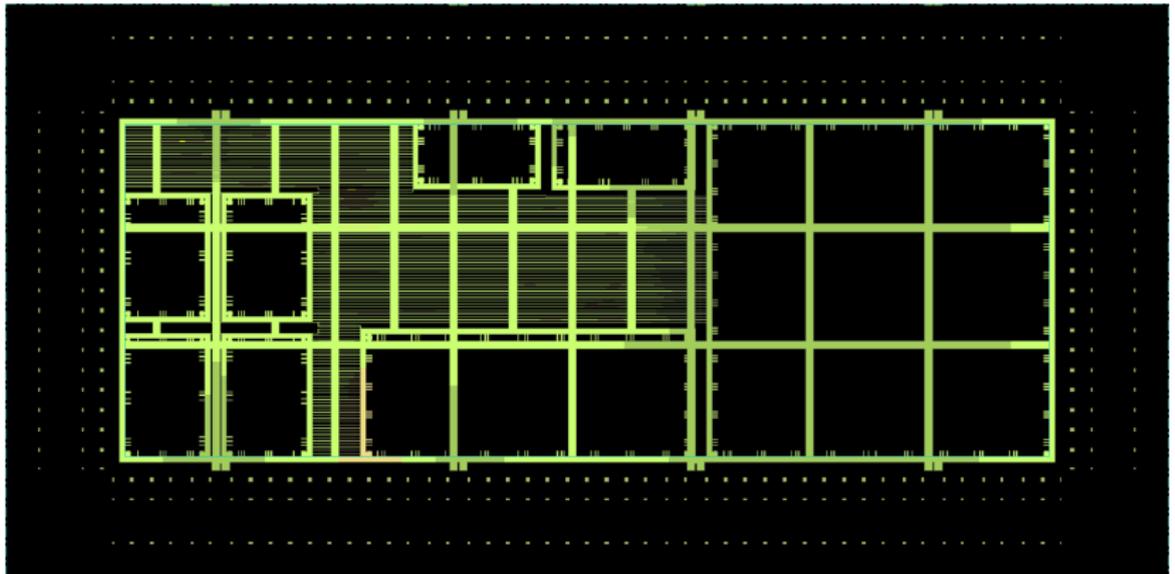
Place & Route

Power-Routing



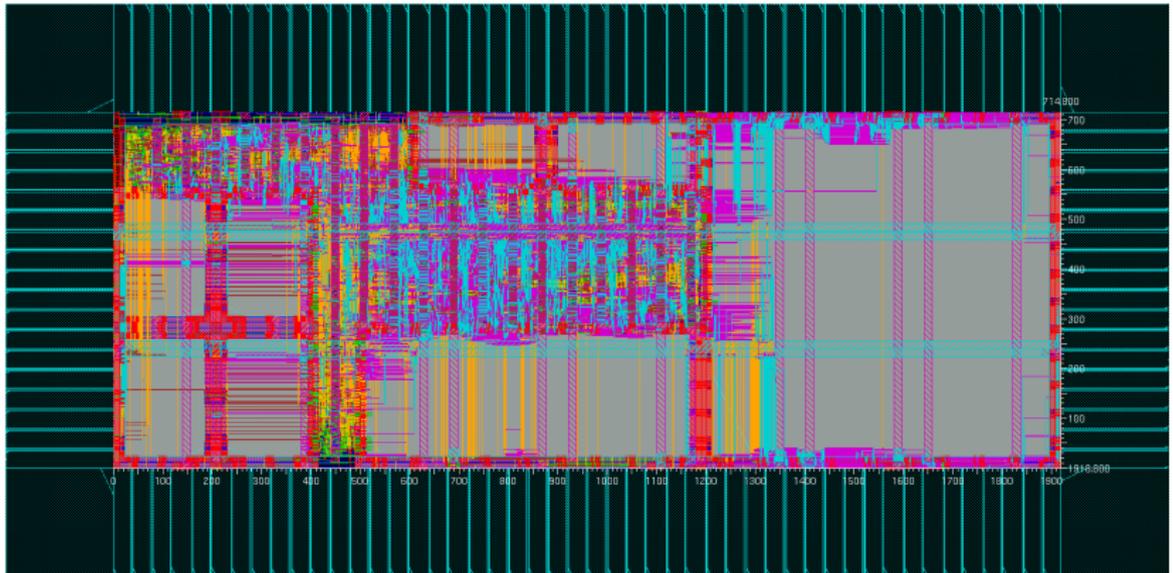
Place & Route

IRdrop



Place & Route

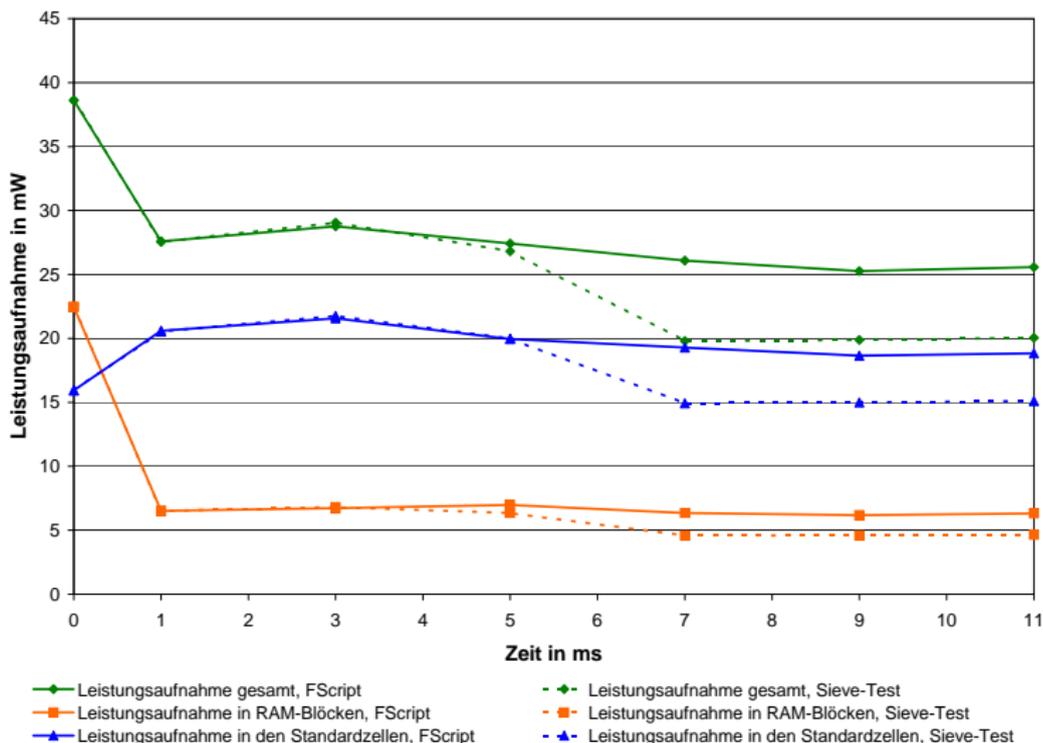
finales Layout



Place & Route

Ergebnisse

- maximale Taktfrequenz: 175 MHz
- Fläche mit IO-Zellen: $2355,6 \mu m * 1151,6 \mu m = 2,71 \text{ mm}^2$
- Fläche ohne IO-Zellen: $1918,8 \mu m * 714,8 \mu m = 1,37 \text{ mm}^2$
- Fläche für Standardzellen: $0,288 \text{ mm}^2$
- \Rightarrow 21% der Fläche für Standardzellen und 79% für RAM-Macros
- Fläche Silizium mit Bond-Pads und Abständen zum Rand: ca. $5,4 \text{ mm}^2$



Place & Route

Leistungsaufnahme

- Leistungsaufnahme des Cores: je nach Programm 20 - 25 *mW*
- Verluste durch Leckströme: konstant 0,157 *mW*
- Leistungsaufnahme der IO-Zellen: 0,385 $\mu\text{W}/\text{MHz}$ für Input- und 15,87 $\mu\text{W}/\text{MHz}$ für Output-Zellen
- bei 44 Input- und 68 Output-Zellen und einer Toggle-Rate von 10%
⇒ 19,2 *mW*
- Auswirkung Clock-Gating: ohne CG 34,43 *mW*, mit CG nur noch 27,59 *mW*
- ⇒ Leistungsaufnahme um mindestens 20% gesenkt

Auswertung

Vergleich zu anderen Prozessoren

CPU	Technologie	Taktrate	CM³	P⁴	Chipfläche
aJile aj-100	0,25 μm	100 MHz	2,75	2,57	
Fujitsu MB86799	0,25 μm	66 MHz	9,4	5,4	
ARM926EJ-S	0,13 μm	238 MHz	5,0	0,36	1,45 mm ²
AT32AP7000	0,18 μm	150 MHz		2,08	
SHAP	0,13 μm	175 MHz	4,7	0,14	1,37 mm ²

³Benchmark in CaffeineMark pro MHz

⁴Leistungsaufnahme in mW pro MHz