Einsatz programmierbarer Logikbausteine im Informatik-Grundstudium

Entwurf für Xilinx CoolRunner-II CPLDs

J. Schneider
jsch@ite.inf.tu-dresden.de

Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur

Inhalt

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Inhalt

1 Motivation

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Zielstellung

- Markt für programmierbare Bausteine (Microprozessoren, CPLDs, FPGAs, ...) steigt ständig
- programmierbare Logikbausteine zählen inzwischen zu den Basisbaugruppen im Bereich Elektronik/Technische Informatik
- Einführung in die Architektur der Logikbausteine erfolgt bereits im 1. Semester (GTI-VL)
- Zielvereinbarung zwischen dem Rektoratskollegium und der Fakultät Informatik der TU-Dresden
  - Ziel dieser Vereinbarung ist die Erhöhung der Effizienz und Effektivität sowie die Verbesserung der Qualität der Lehre, Forschung und Wissenstransfer
- Umsetzung der Zielvereinbarung am Lehrstuhl in Hinblick auf die Verbesserung der Praxis im Informatik-Studium

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Zielstellung

- Problematik „Rechnergestützter Systementwurf“ schon ins Informatik-Grundstudium verlagern (HW-Praktikum)
- Kennenlernen von:
  - Entwurf Digitaler Schaltungen am Computer
  - Entwurfsabläufen (Entwurf, Simulation, Synthese, Chip-Programmierung)
  - Anwendung von moderner Entwurfssoftware (Schaltungseditor in XILINX ISE)
  - Programmierung von einfachen programmierbaren Schaltkreisen

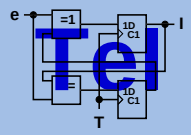
Keine Zielstellungen sind:

- Entwurfsoptimierung (Ausnutzung des letzten Gatters/FlipFlops bzw. Geschwindigkeitsoptimierung)
- Hardwarebeschreibungssprachen
- Erstellung eigener Testumgebungen und UCF-Dateien

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Inhalt

2 Xilinx CPLD Architekturen



J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Begriffsdefinition

Grundlagen:

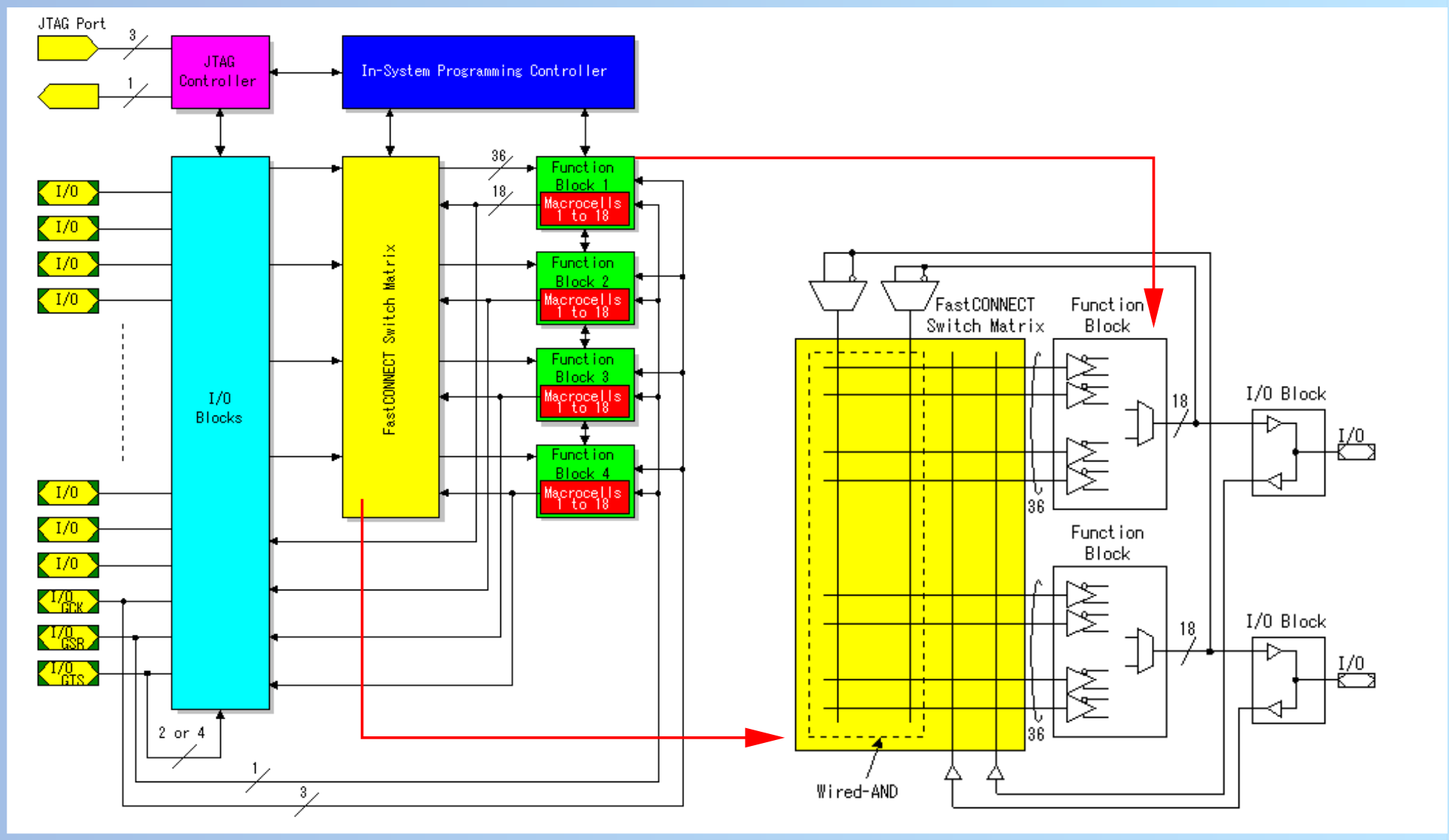
- PLA: Programmable Logic Array
- PLAs enthalten eine programmierbare UND-Matrix gefolgt von einer programmierbaren ODER-Matrix (Abbildung der Logikfunktionen auf diese Struktur); Register am Ausgang (ermöglichen Implementation von Zustandsautomaten)
- typischer Vertreter: PAL16V8 (16 Eingänge, 8 Ausgänge)

CPLD:

- CPLD: Complex Programmable Logic Devices
- CPLDs der Firma Xilinx: X9500-Serie, CoolRunner-II Serie
- CPLD vereinfacht: viele PLA-ähnliche Blöcke auf einem Chip
- „nichtflüchtige“ Speicherung der Konfiguration (z.B. EEPROM)

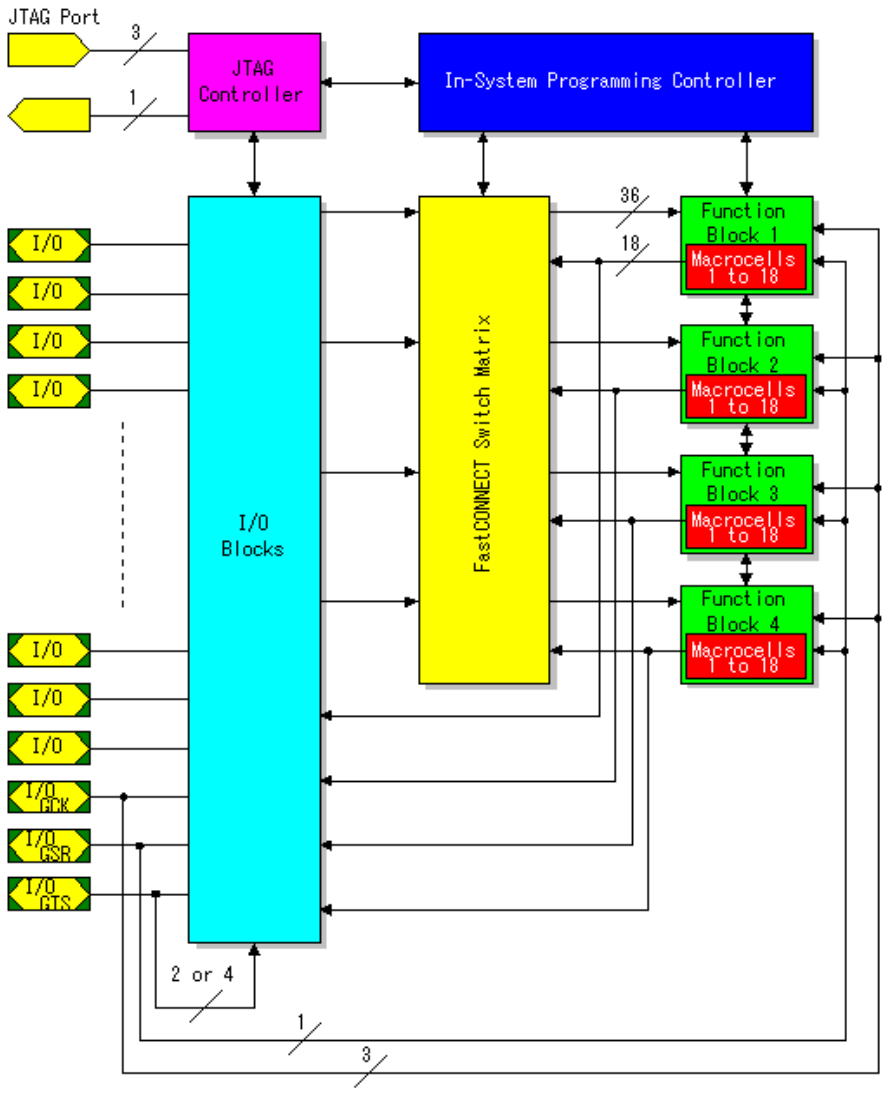
J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

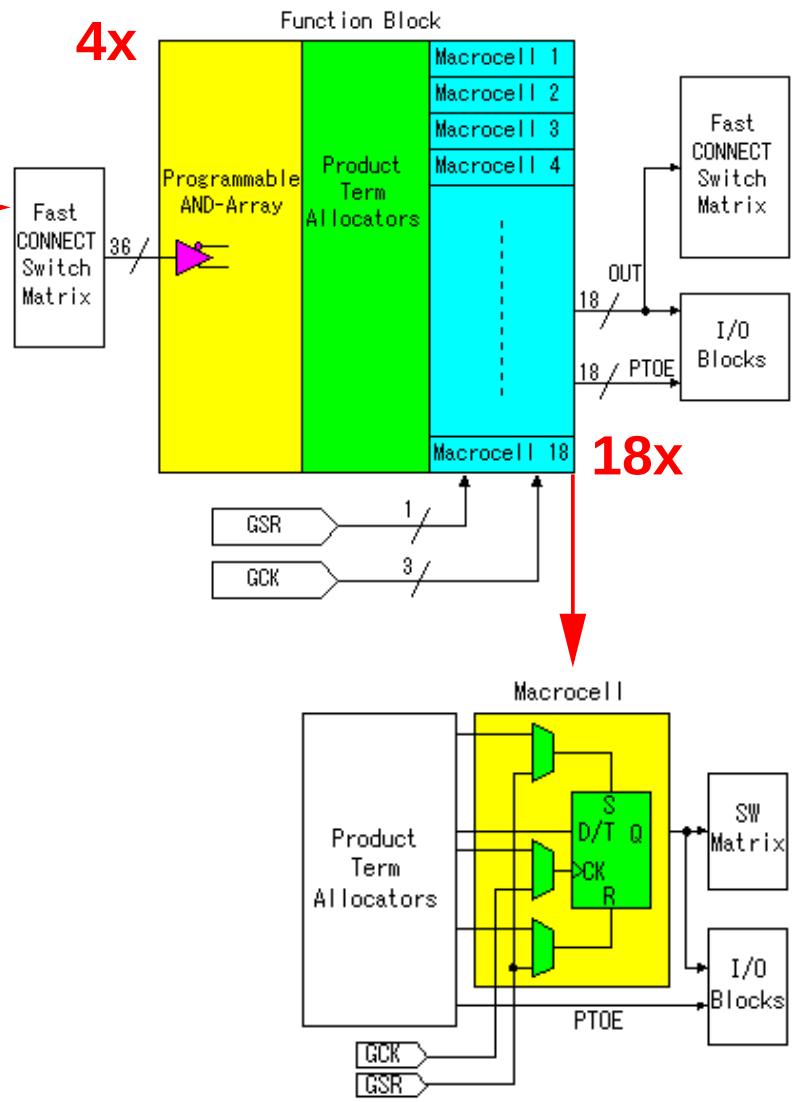
Übersicht über die Xilinx X9500 Architektur



J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Übersicht über die Xilinx X9500 Architektur





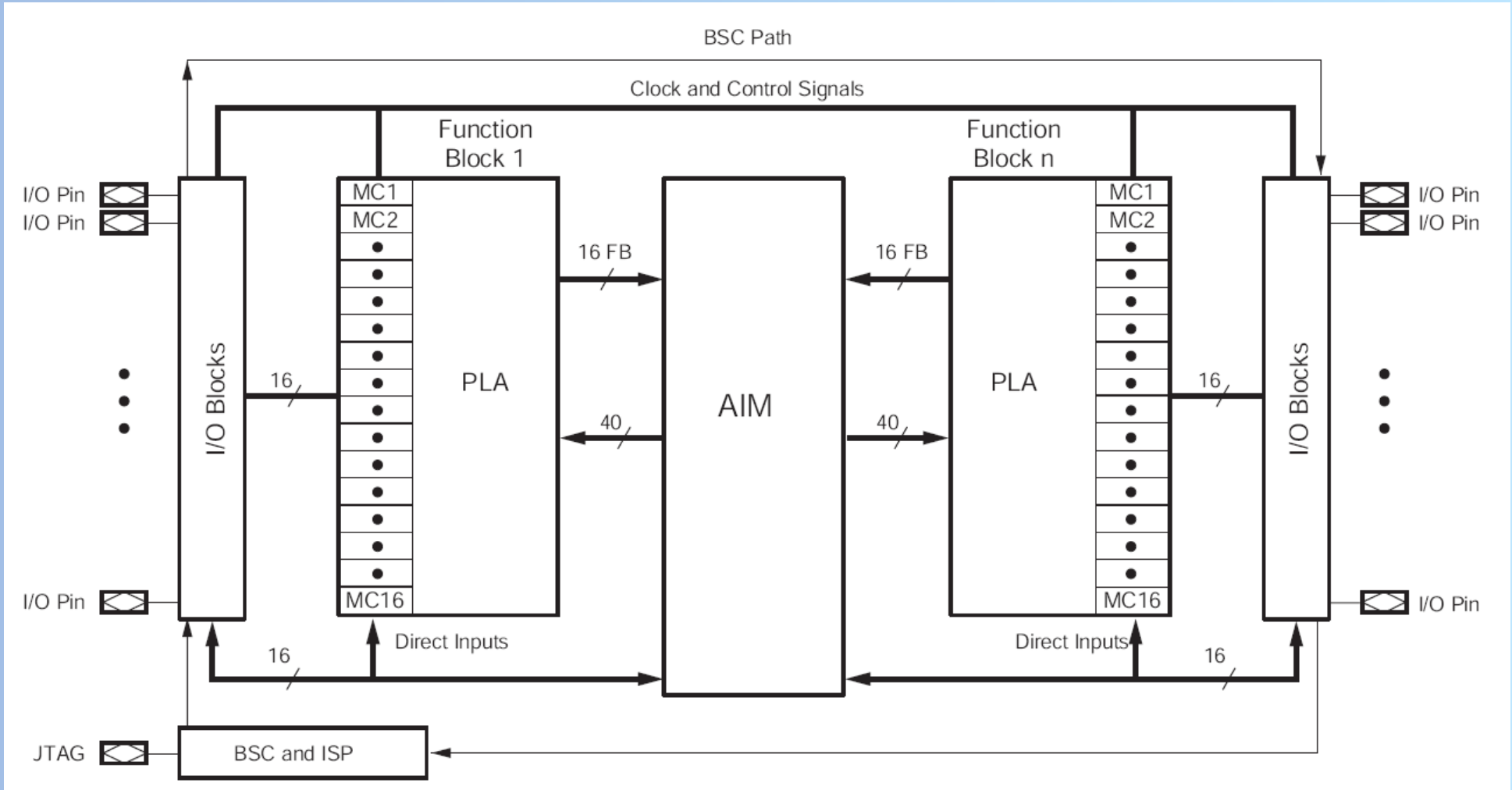
J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Xilinx X9500 Architektur

- unterschiedliche Spannungskompatibilität: 2,5Volt (XC9500XV), 3,3 Volt (XC9500XL), 5 Volt (XC9500)
- System Gates: 800-6.400
- Macrocells: 36-288
- Product Terms per Macrocell: 90
- Input Voltage Compatible: 2,5/3,3
- Output Voltage Compatible: (1,8)/2,5/3,3
- Maximum I/O: 36-192
- I/O Banking: 1-4
- Min. Pin-to-pin Logic Delay (ns): 5-6
- Global Clocks: 3

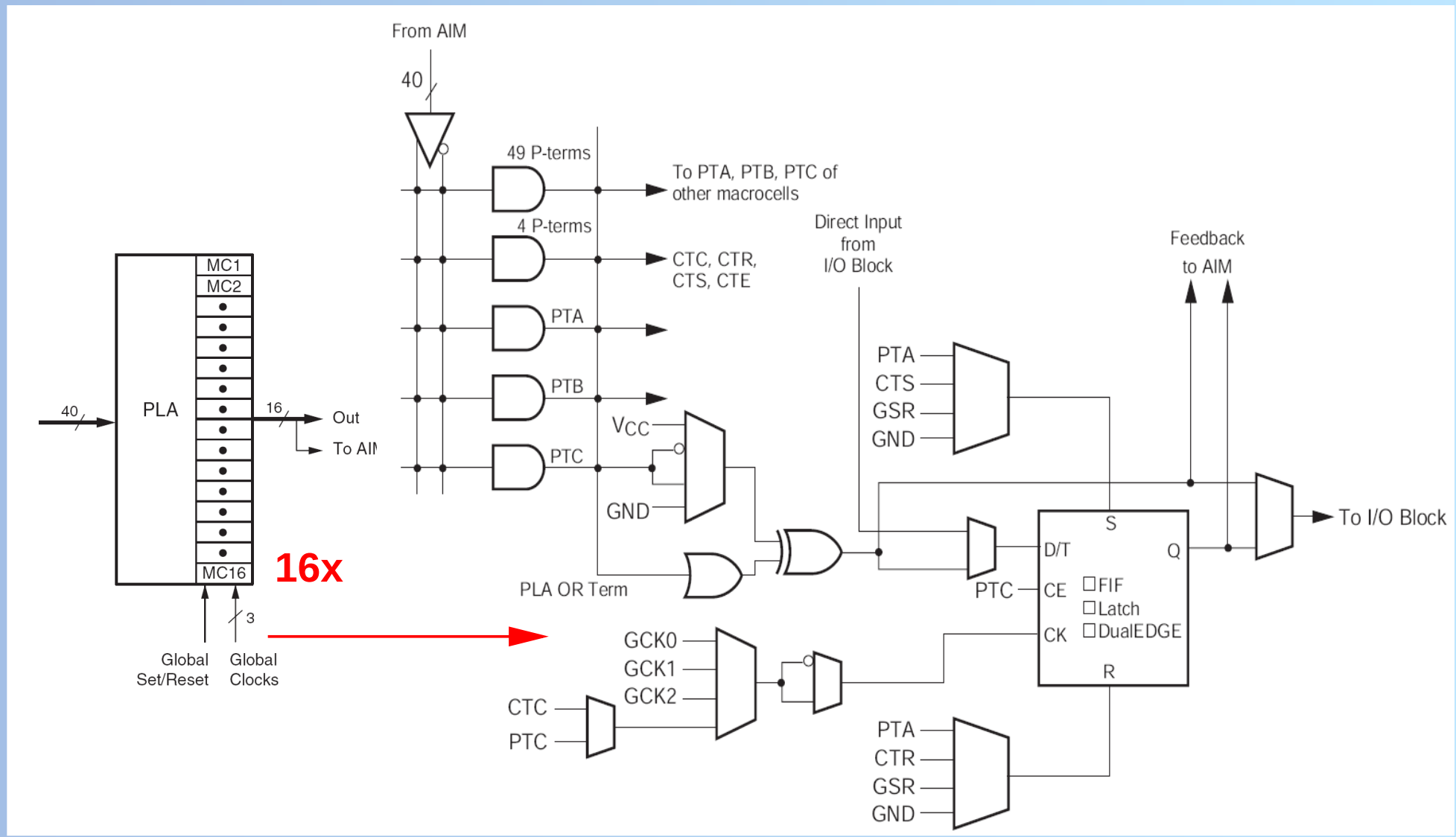
J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Übersicht über die Xilinx CoolRunner-II Architektur



J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Übersicht über die Xilinx CoolRunner-II Architektur



J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Xilinx CoolRunner-II Architektur

- CoolRunner-II Familie: 1,8V (CoolRunner XPLA3 Familie: 3,3V)
- System-Gates: 750-12.000
- Macrocells: 32-512
- Product Terms per Macrocell: 40
- Input Voltage Compatible: 1,5/1,8/2,5/3,3
- Output Voltage Compatible: 1,5/1,8/2,5/3,3
- Maximum I/O: 33-270
- I/O Banking: 2-4
- Min. Pin-to-pin Logic Delay (ns): 3,8-7,1
- Global Clocks: 3

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Inhalt

3 CPLD-Prototyping Plattform

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Anforderungen

Zielstellung:

- gutes Preis- /Leistungsverhältnis (Aufbau mehrerer Arbeitsplätze)
- verwendbar mit freier Xilinx-Entwurfssoftware (ISE)
- Programmierung über ISE-Software (iMPACT-SW und JTAG-Kabel an paralleler Schnittstelle des PC)
- keine außergewöhnliche Peripherie um CPLD (z.B. Netzwerkschnittstelle, Segment-Anzeigen im Multiplexbetrieb, LCD, ...)
- Möglichkeiten für eigene Erweiterungen über I/O-Schnittstellen

Probleme:

- PLD/CPLD-Prototypingboards dominieren den Markt nicht so stark wie FPGA-Prototypingboards

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

XC2-XL Prototypingboard

Eigenschaften des Prototypingboards:

- 10x XC2-XL Prototypingboard von Digilent Inc. (Xilinx): *http://www.digilentinc.com*
- Kaufpreis pro Board: ≈ 50 €
- bestückt mit zwei Xilinx-CPLDs:
  - XC9572XL VQ44
  - CoolRunner-II XC2C256 TQ144
- Prototypingboard besitzt keine Peripherie

notwendige Erweiterungen:

- Erweiterung des Prototypingboards um zusätzliche Peripherie (z.B. LEDs, Anzeigen, Taster, Schalter, ...) notwendig

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

XC2-XL Prototypingboard

XC9572XL VQ44:

- 3,3V High-Performance CPLD,
- 5 ns pin-to-pin logic delays,
- System frequency up to 178 MHz,
- four 54V18 Function Blocks,
- 72 macrocells with 1,600 usable gates,
- 44-pin VQFP (34 user I/O pins),
- Advanced 0.35 micron feature size CMOS Fast FLASH^{TM} technology,
- 5V tolerant I/O pins accept 5V, 3.3V, and 2.5V signals

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

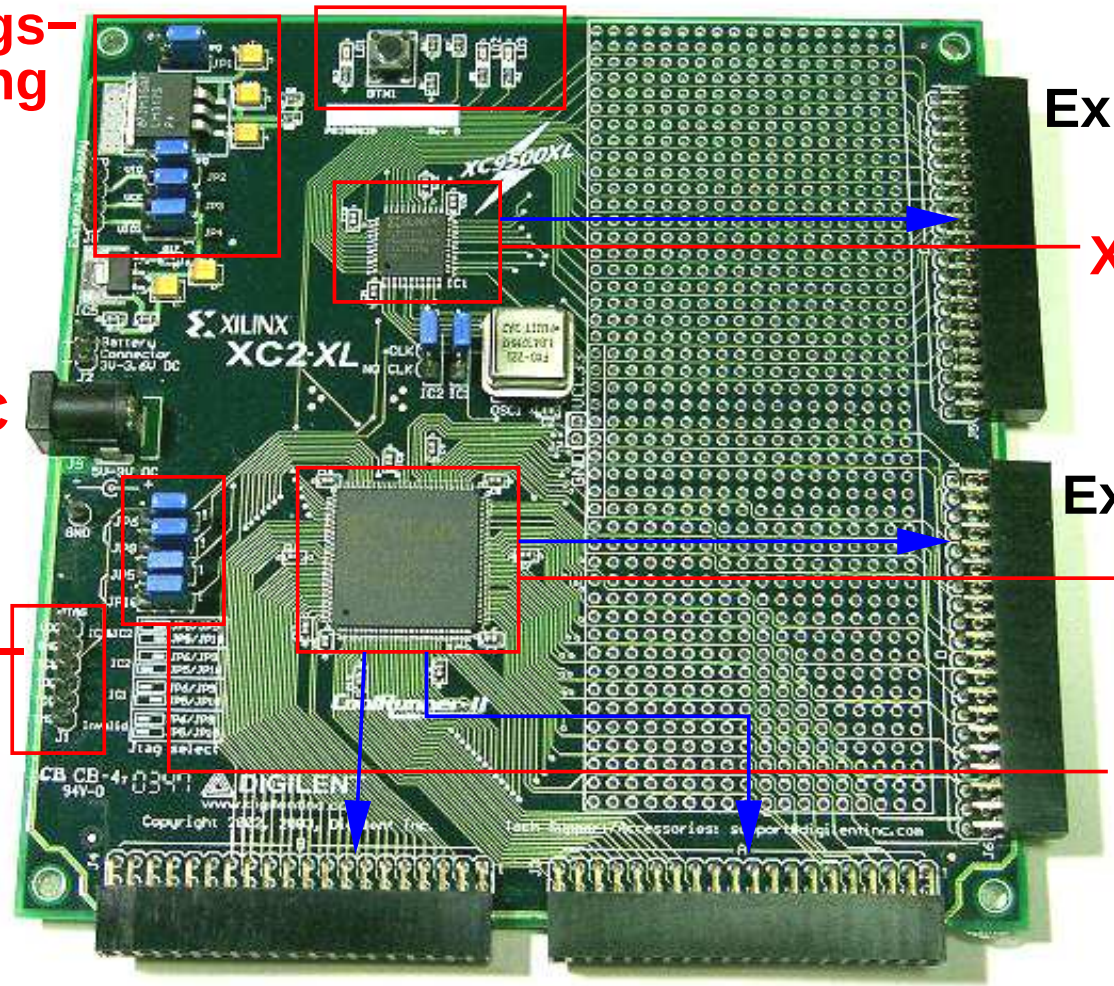
XC2-XL Prototypingboard

CoolRunner-II XC2C256 TQ144:

- optimized for 1.8V systems,
- 5.7 ns pin-to-pin delays,
- 144-pin TQFP with 118 user I/O
- Multi-voltage I/O operation 1.5V to 3.3V
- Two separate I/O banks
- 256 mocrocells
- Optional Schmitt-trigger input (per pin)
- Flexible clocking modes (divide by 2,4,6,8,10,12,14,16)

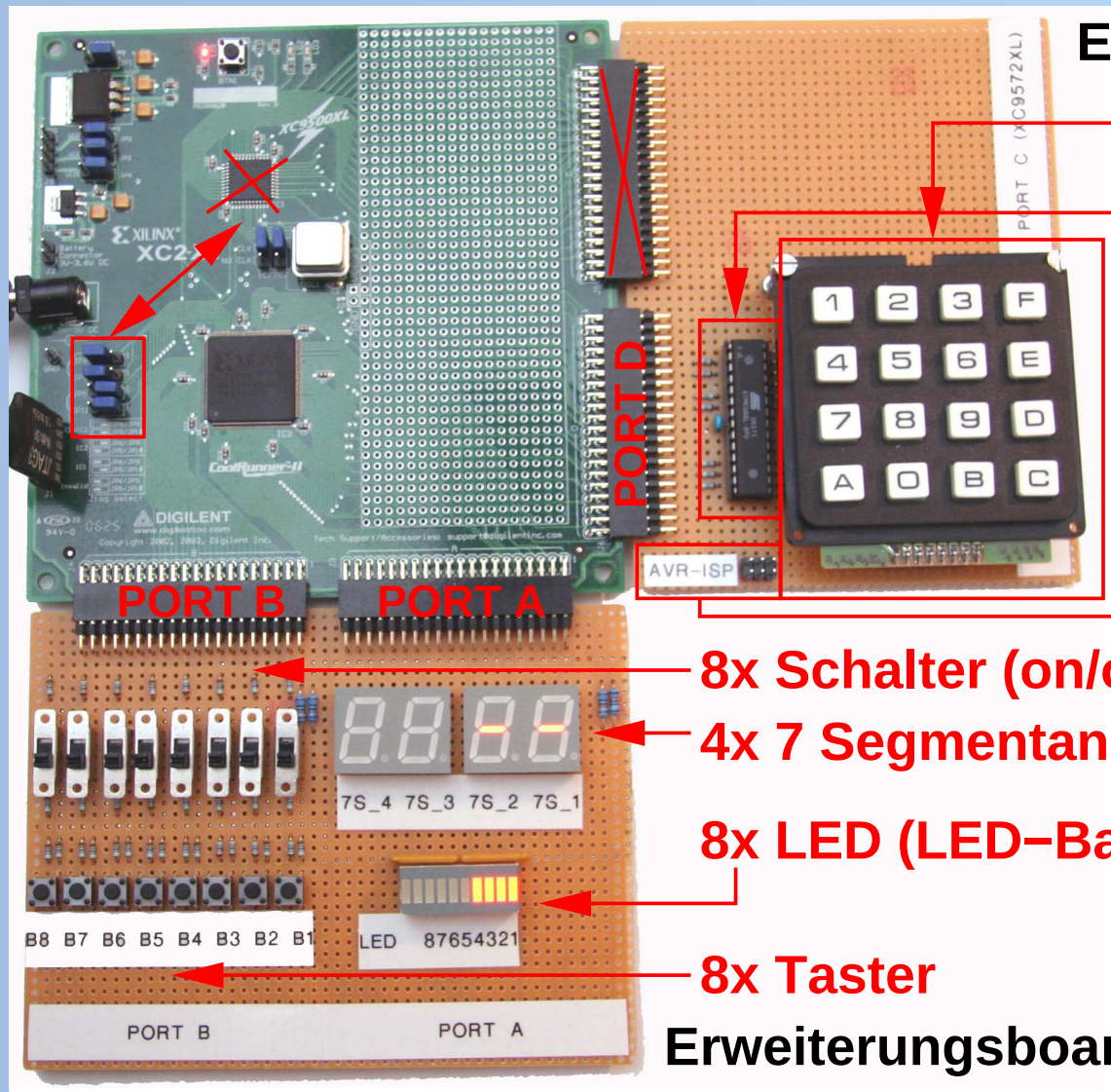
J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Aufbau des XC2-XL Prototypingboards



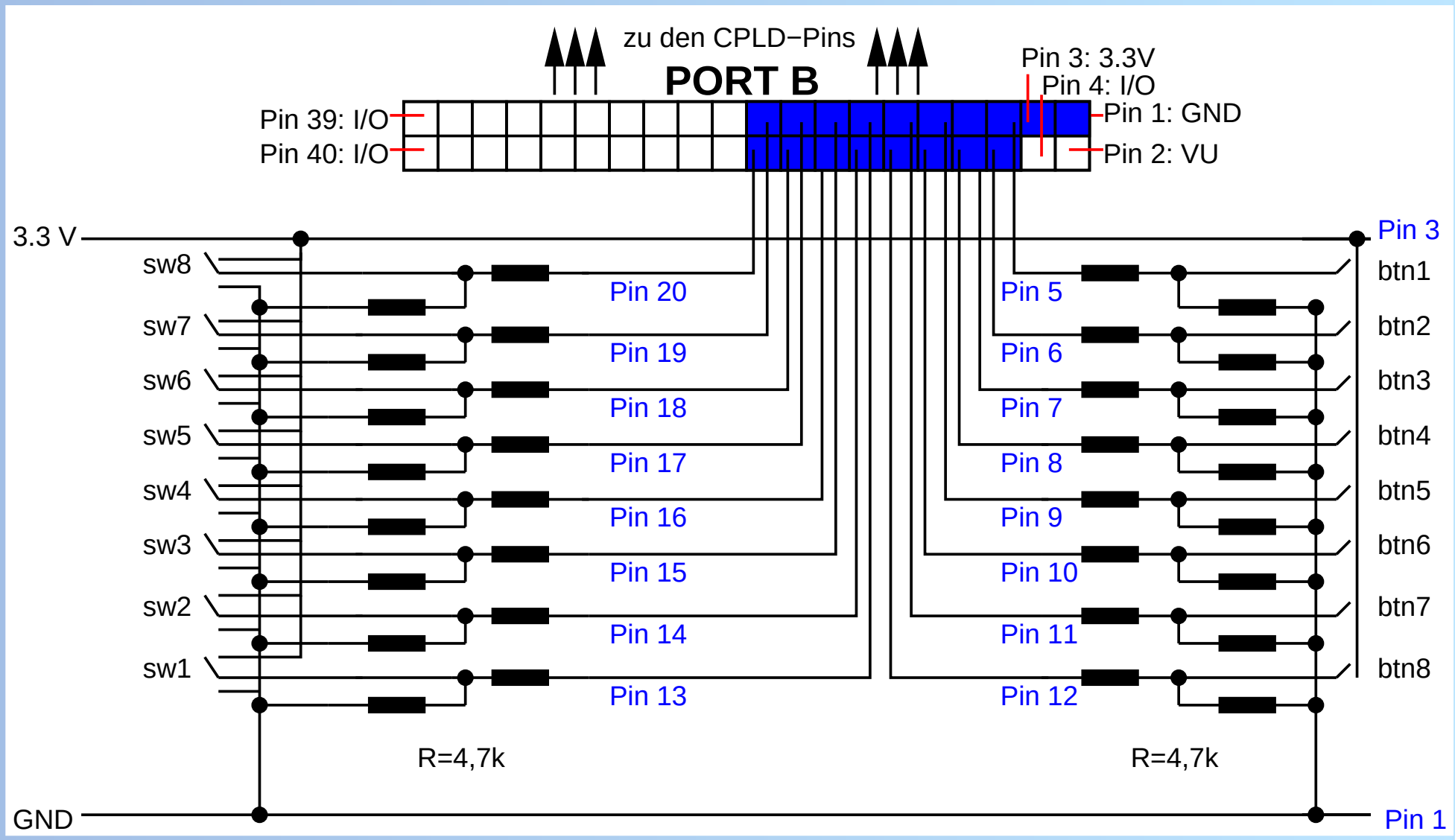
J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Erweiterungen für das XC2-XL Prototypingboard



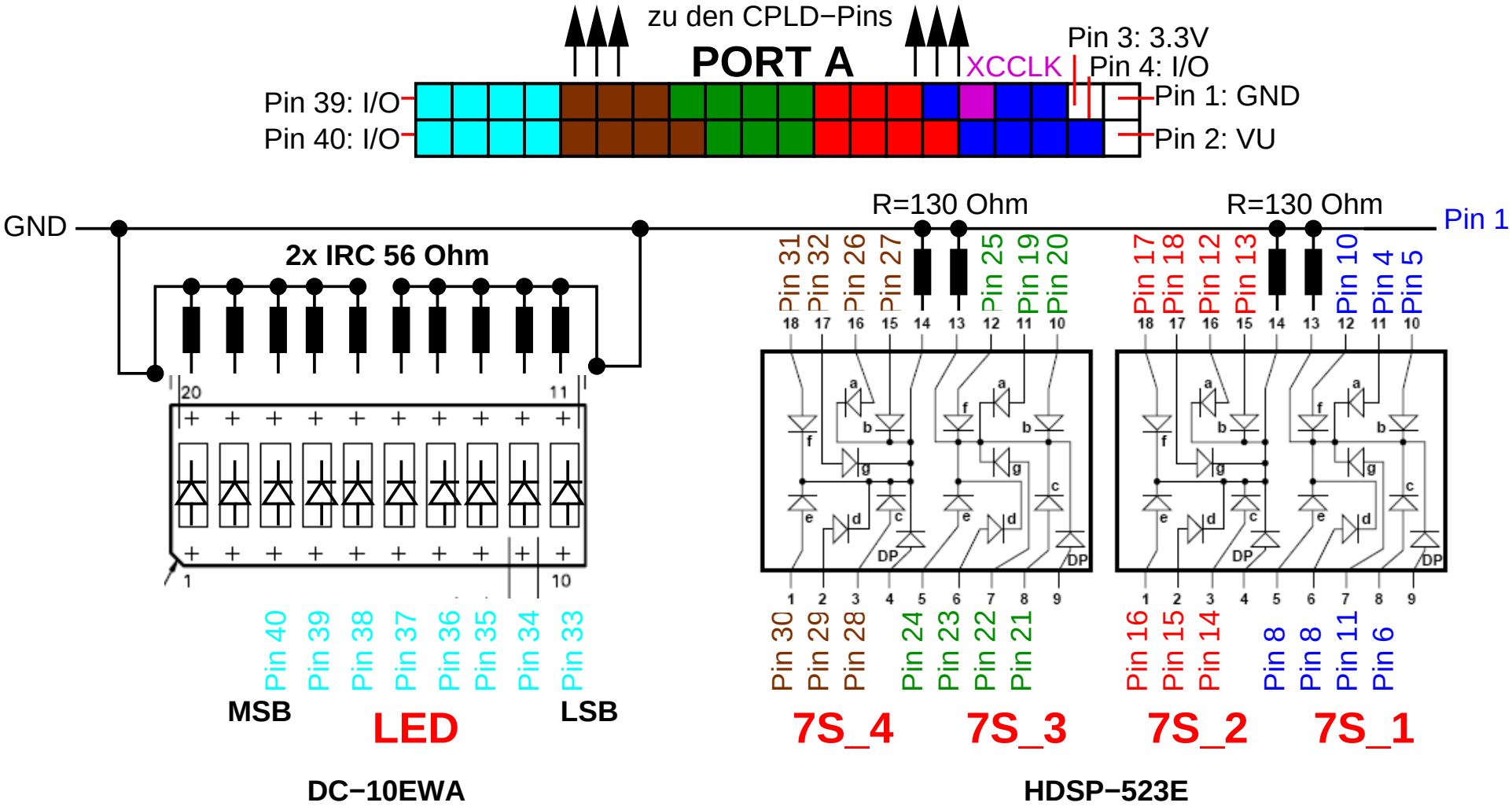
J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Aufbau der Erweiterungskarte 1 – PORT B



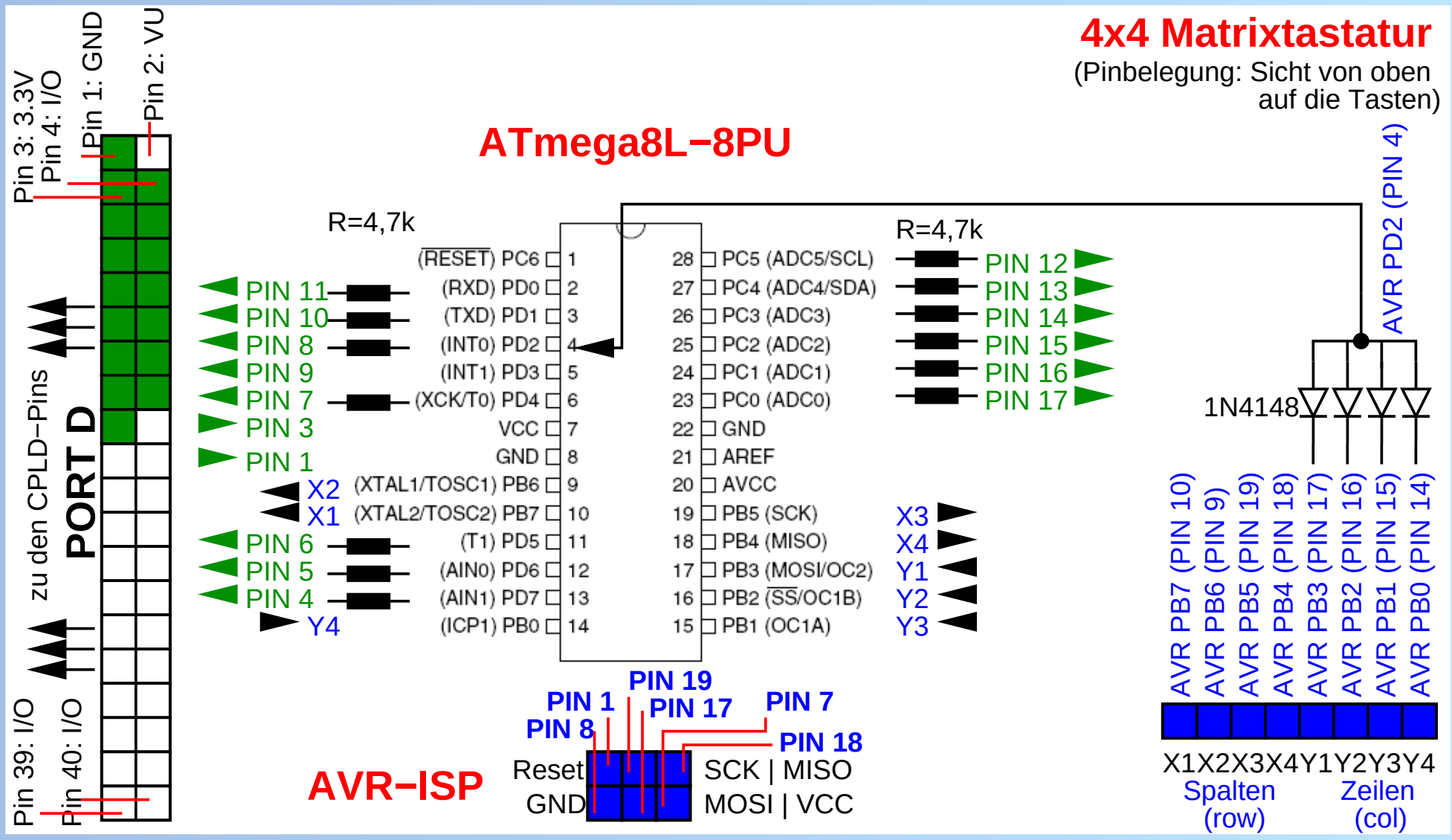
J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Aufbau der Erweiterungskarte 1 – PORT A



J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

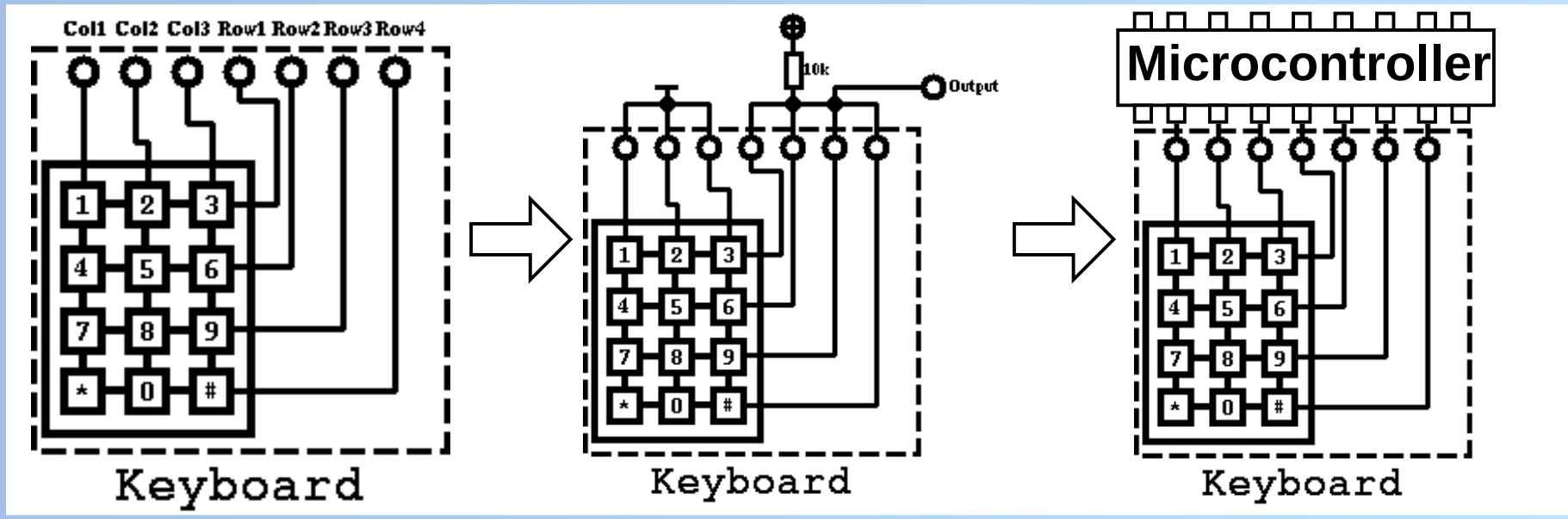
Aufbau der Erweiterungskarte 2 – PORT D



J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Funktionsprinzip 4x4 Matrixtastatur

- Matrixtastaturen besitzen eine Anzahl Schalter (z.B. 12 bzw. 16), welche über eine Matrix von Zeilen (rows) und Spalten (columns) miteinander verbunden sind (Taste 1 gedrückt: Spalte 1 und Zeile 1 verbunden, Taste 2 gedrückt: Spalte 2 und Reihe 1 verbunden, ...)
- gedrückte Taste ermitteln: Spalten alle mit Masse verbinden, Zeilen über Pull-Up-Widerstand an Betriebsspannung anschließen (keine gedrückte Taste: Output hat Plus-Potential, gedrückte Taste: Output auf Masse)



J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Funktionsprinzip 4x4 Matrixtastatur – Matrixcode

- Taste identifizieren: nacheinander die drei Spaltenanschlüsse auf Masse ziehen (die beiden anderen jeweils auf Betriebsspannung lassen) und das Ergebnis an den vier Zeilenanschlüssen ablesen
- ist einer der vier Zeilenanschlüsse auf Null, dann Tastaturcode ermitteln

Zeichen	Wert	X1 col1	X2 col2	X3 col3	X4 col4	Y1 row1	Y2 row2	Y3 row3	Y4 row4
-	1111	0	0	0	0	1	1	1	1
1	0001	0	1	1	1	0	1	1	1
2	0010	1	0	1	1	0	1	1	1
3	0011	1	1	0	1	0	1	1	1
F	1111	1	1	1	0	0	1	1	1
4	0100	0	1	1	1	1	0	1	1
5	0101	1	0	1	1	1	0	1	1
6	0110	1	1	0	1	1	0	1	1
E	1110	1	1	1	0	1	0	1	1

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Funktionsprinzip 4x4 Matrixtastatur – Matrixcode

Zeichen	Wert	X1 col1	X2 col2	X3 col3	X4 col4	Y1 row1	Y2 row2	Y3 row3	Y4 row4
7	0111	0	1	1	1	1	1	0	1
8	1000	1	0	1	1	1	1	0	1
9	1001	1	1	0	1	1	1	0	1
D	1101	1	1	1	0	1	1	0	1
A	1010	0	1	1	1	1	1	1	0
0	0000	1	0	1	1	1	1	1	0
B	1011	1	1	0	1	1	1	1	0
C	1100	1	1	1	0	1	1	1	0

- Tastendruck steuert Interrupt des Microcontrollers (INT0 am Pin „PD2“)
- Ausgabe des Tabellen-Codes am Microcontroller PORTC und PORTD
- zusätzliche Ausgabe als 4 Bit-Binärwerte (+1 Bit Tastenabfrage) an Microcontroller PORTD

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Funktionsprinzip 4x4 Matrixtastatur – Binärcode

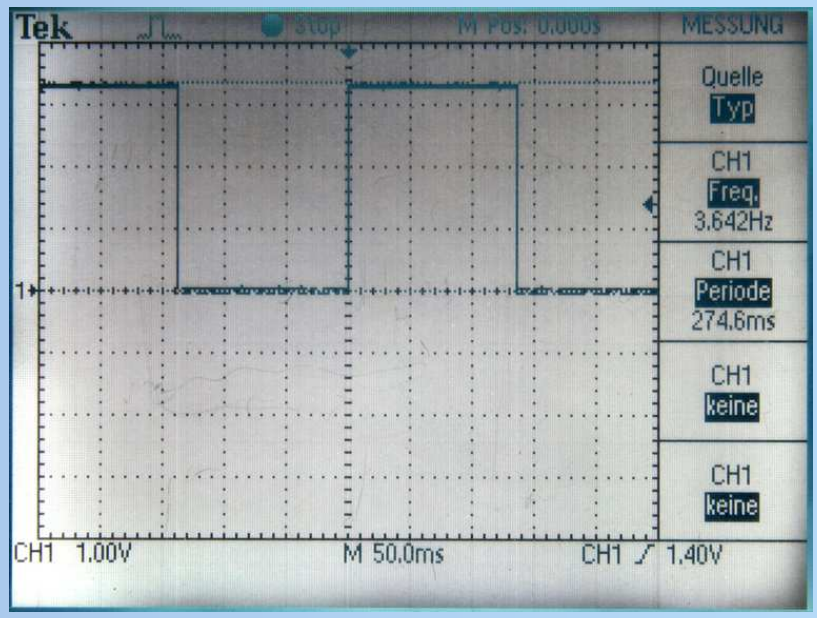
- zusätzliche Ausgabe der binären Werte der Matrix-Tasten über Microcontroller PORTD
- zusätzliche Auswertung der Interrupt-Leitung im CPLD bzgl. Tastendruck (sonst „-“ = „0“) notwendig

Zeich.	PD2	PD7	PD6	PD5	PD4	Zeich.	PD2	PD7	PD6	PD5	PD4
-	1	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	2	0	0	0	1	0
3	0	0	0	1	1	4	0	0	1	0	0
5	0	0	1	0	1	6	0	0	1	1	0
7	0	0	1	1	1	8	0	1	0	0	0
9	0	1	0	0	1	A	0	1	0	1	0
B	0	1	0	1	1	C	0	1	1	0	0
D	0	1	1	0	1	E	0	1	1	1	0
F	0	1	1	1	1						

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Impulserzeugung

- Erzeugung einer „langsamen“ Impulsfolge (Takt) zur Weiterverarbeitung im CPLD (Ansteuerung von Zählerbausteinen bzw. LEDs)
- Verwendung eines Microcontroller-Pins und des internen Timers (Timer 0)
- Microcontroller-Takt 1MHz, Vorteiler 1024 (alle 1024 Takte wird Zähler um 1 weitergezählt), Interrupt bei Überlauf und „setzen/löschen“ des AVR-Pins PD3
- 1.000.000/1024=976,56 Impulse pro Sekunde; 976,56/256 ≈ 3,8 Hz



J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Inhalt

4 Entwurfs- und Praktikumsablauf

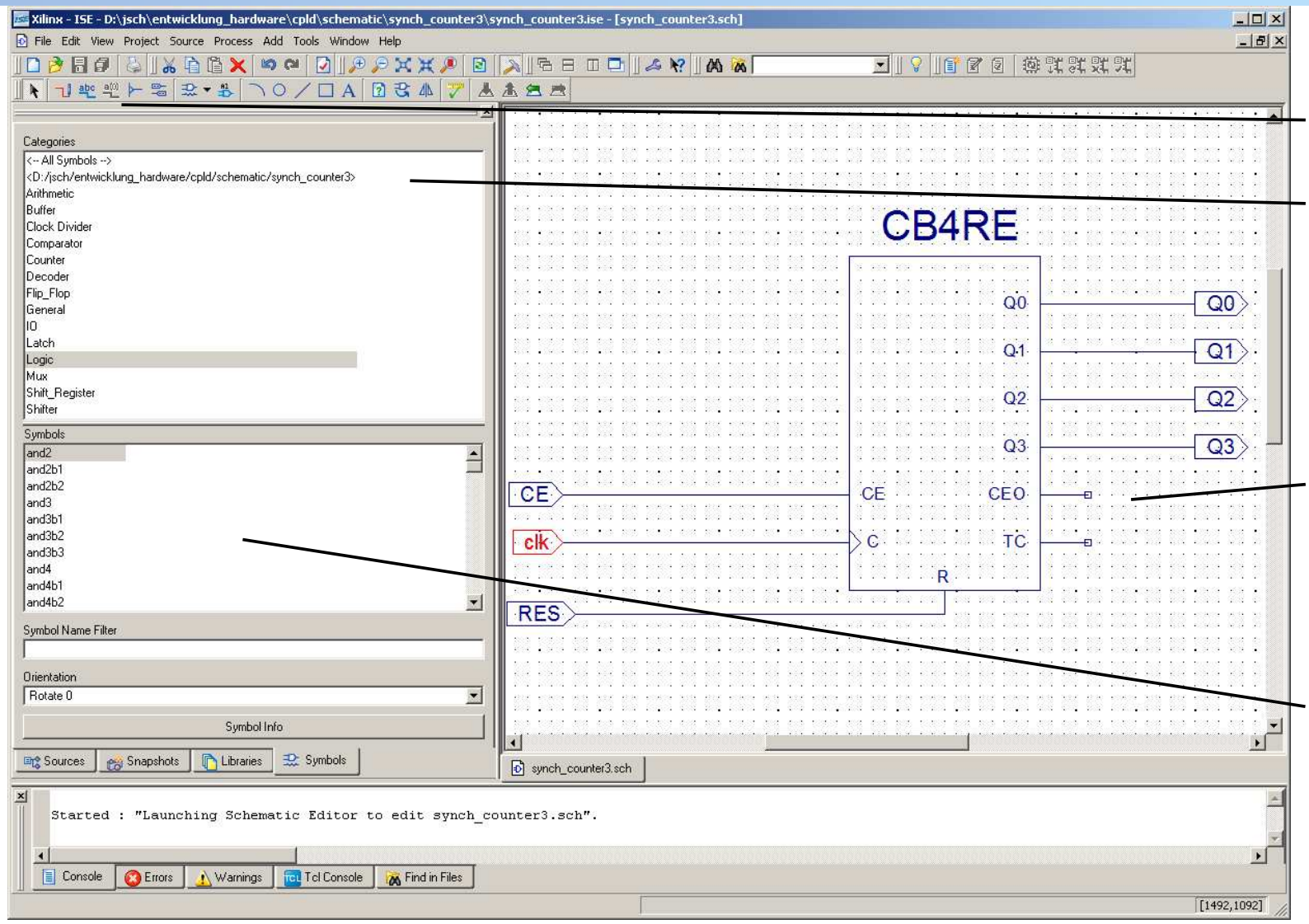
J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Entwurf mit Xilinx ISE-Werkzeugen

- Versuchsdurchführung mit „State-of-the-Art“ Entwurfswerkzeugen von Xilinx
- Entwurf dig. Schaltungen unter Verwendung ausgewählter Bib.-Elemente
- Entwurfsablauf: Entwurf/Schematic-Eingabe ⇒ ISE-Simulation ⇒ Synthese ⇒ Download ⇒ Prototyping
- Abfolge zur Lösung der Praktikumsaufgaben:
  1. Kennenlernen der Entwurfswerkzeuge: öffnen eines einfachen/fertigen Projekts incl. Projekteinstellungen/UCF/Schaltung/Testumgebung ⇒ Simulation/Synthese/Download
  2. Erstellung einfacher Entwürfe (Module): Zähler, Decoder, ...
  3. Durchführung eines eigenen vollständigen Entwurfes (z.B. Meßstellenabfrage) unter Verwendung der erstellten Teilmodule
- Vorgaben: zu jeder Teilaufgabe existiert Projektarchiv mit: Projekteinst. (Chip, Werkzeugeinstellungen, ...), UCF, Designhierarchie, Moduldateien incl. Schnittstellen ohne „Inhalt“, Testumgebung incl. Testpattern

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

ISE Schematic-Entwurf



Verdrahtung Pins

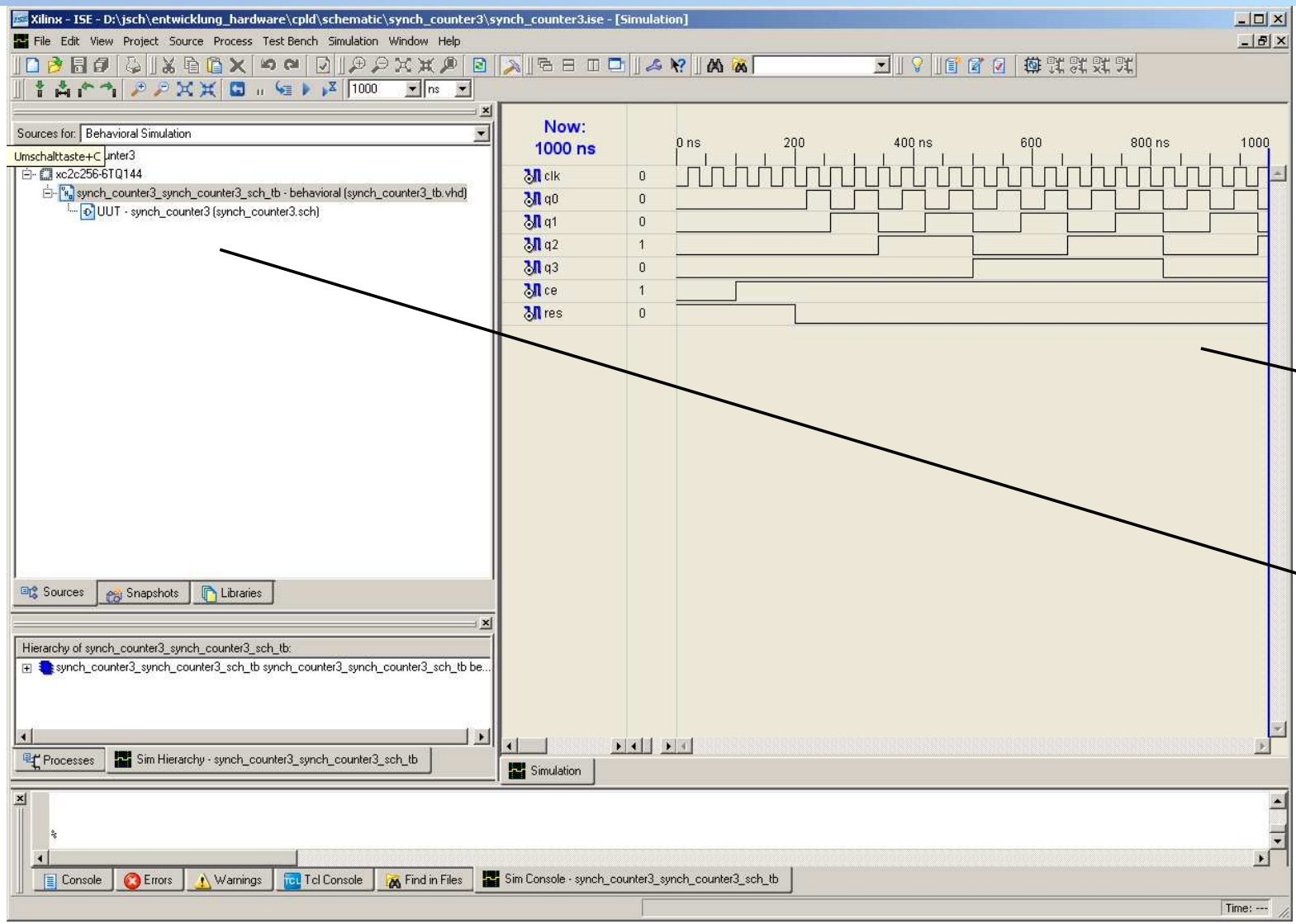
Bibliotheken

Schematic–entwurf

Bibliotheks–elemente

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

ISE Schematic-Entwurf



ISE–Simulator

Verhaltens–simulation

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Inhalt

5 Zusammenfassung

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de

Zusammenfassung

- Evaluierung des Xilinx CPLD XC2-XL Prototypingboards im ISE-Entwurfsablauf
- Erstellung zusätzlicher Leiterkarten für Ein- und Ausgabe
- Erstellung von Beispielen im ISE-Schematic Editor
- Dokumentation der Arbeiten

weitere notwendige Arbeiten:

- Erstellung weiterer zusätzlicher Leiterkarten für alle CPLD-Boards (z.B. Eagle, Ätzen – HiWi)
- Festlegung der endgültigen Aufgabenstellungen
- Erstellung von Aufgabenstellungen
- Test durch freiwillige Studenten

J. Schneider
Technische Universität Dresden
Institut für Technische Informatik
Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur
jsch@ite.inf.tu-dresden.de