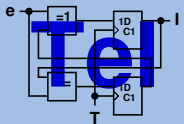


Untersuchungen zu Hochgeschwindigkeitstransfertechniken für den Debug-Zugang in eingebetteten ARM/XScale-Prozessorsystemen über den Test-Access-Port (JTAG)

Stephan Hartmann

`stephan.hartmann@inf.tu-dresden.de`

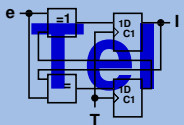
Technische Universität Dresden
Institut für Technische Informatik



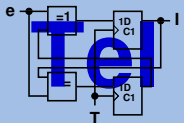
Stephan Hartmann
Technische Universität Dresden
Institut für Technische Informatik
`stephan.hartmann@inf.tu-dresden.de`

25.10.2006 Folie 1 / 17

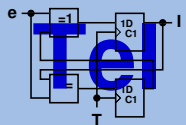
- ◆ Einleitung
 - Aufgabenstellung
 - Motivation
 - Ausgangssituation
- ◆ Abtastprobleme
 - Abtastung im UAD2
 - Abtastung im UAD2+
- ◆ Weiterentwicklung des JTAG Extenders
- ◆ Kontinuierlicher Datentransfer bei Intel XScale
 - Leistungsbewertung
- ◆ Zusammenfassung und Ausblick



1. Analyse des TAP-Protokolls bezüglich Signalfluss, Signalintegrität und Signalregenerierung bei hohen Taktraten
2. Erarbeitung einer Hardwarekonzeption für ein flexibles und konfigurierbares TAP-Interface für Hochgeschwindigkeitstransfers sowie dessen Beschreibung in VHDL
3. Konzeption einer FIFO-Steuerung zur Sicherstellung kontinuierlicher Datentransfers im Zusammenhang mit dem Debug-Zugang zur XScale Architektur
4. Integration des Hochgeschwindigkeitsinterfaces sowie der FIFO-Steuerung in den FPGA der Debug-Acceleratorplattform UAD2 sowie deren Funktionsnachweis anhand von ARM/XScale Entwicklungsboards

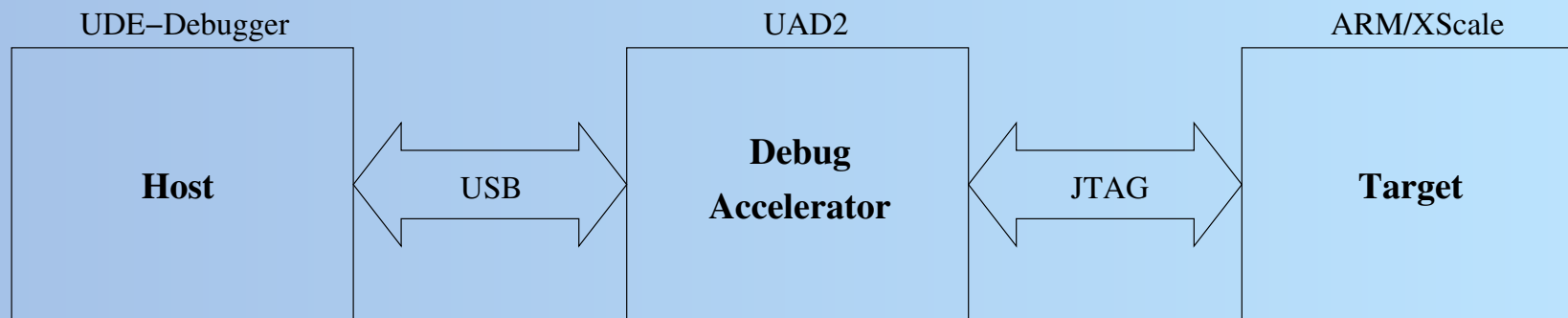


- ◆ Hochgeschwindigkeitszugriff auf Zielsystem (Target) spielt beim Software-Debugging besondere Rolle:
 - Steigerung der Download-Rate wegen ständig wachsender Softwarekomplexität
 - Möglichkeit von Echtzeit-Trace
 - Optimale Ausnutzung des durch die Chip-Eigenschaften vorgegebenen Maximalpotentials
- ◆ Serielles Übertragungsprotokoll (JTAG, IEEE1149.1) offenbart nur zwei Wege, um angestrebte Ziele zu erreichen:
 - Erhöhung der Taktfrequenz
 - Gewährleistung eines kontinuierlichen Datentransfers

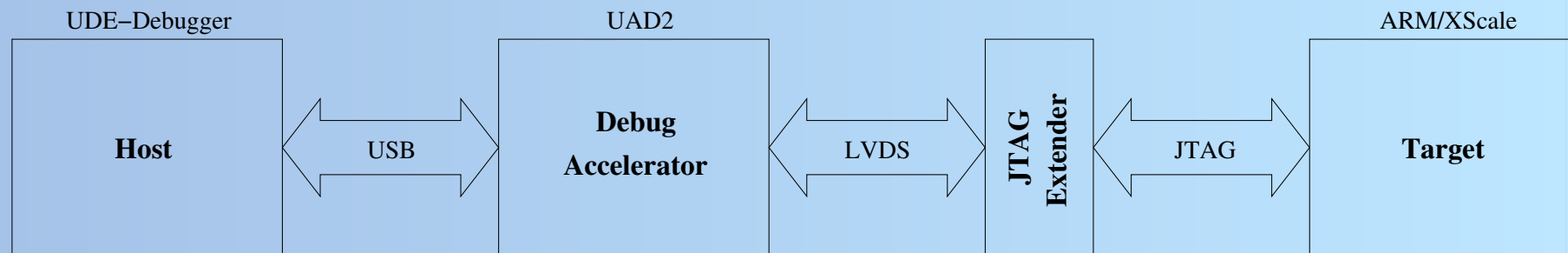


Ausgangssituation (1)

◆ UAD2:

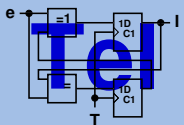


◆ UAD2+:



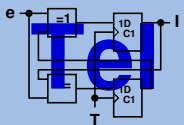
Ausgangssituation (2)

- ◆ Entwicklungsstand erlaubt maximale JTAG Frequenz von 25 MHz
- ◆ UAD2 bzw. UAD2+ sind selbst ein "Embedded System":
 - TriCore Mikroprozessor zur Abarbeitung der Firmware
 - Applikationsspezifischer IC (FPGA) zur Generierung der JTAG Signale
 - Möglichkeit des Firmware-Debuggings
- ◆ FPGA:
 - Spartan-2E mit 50k Systemgattern der Firma Xilinx
 - Systemfrequenz bei 100 MHz (maximal 130 MHz vom Hersteller zugelassen)
 - Grenze der Leistungsfähigkeit hinsichtlich Taktfrequenz und Hardwareressourcen bereits erreicht
 - Design ist abhängig vom verwendeten Target



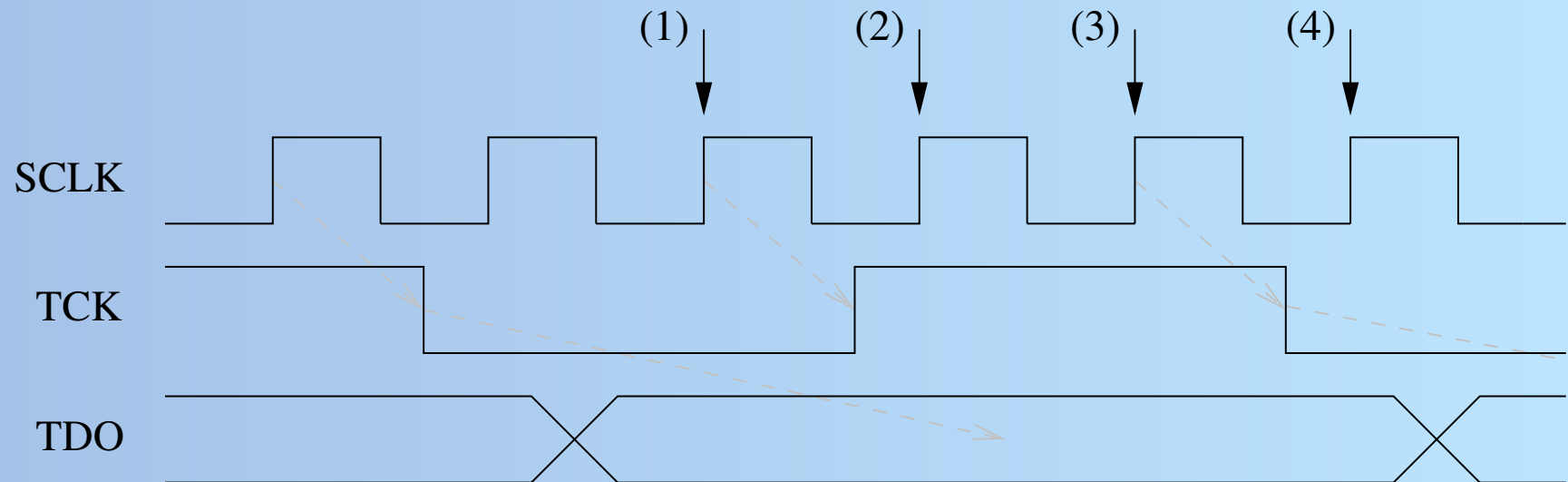
Betrachtungen zur TCK-Generierung

- ◆ Symmetrische TCK-Generierung:
 - Systemfrequenz des FPGA erlaubt nur die Erzeugung von 50 MHz als nächstgrößte TCK-Frequenz
 - Kritisch, da IEEE 1149.1 maximal 40 MHz vorsieht
 - Untersuchungen hinsichtlich Abtastbarkeit notwendig
 - Target muss diese Frequenz nicht zwangsläufig unterstützen
- ◆ Asymmetrische TCK-Generierung:
 - Erlaubt die Erzeugung von ca. 33.3 MHz
 - TAP-Controller arbeitet auf beiden TCK Flanken \Rightarrow kein Unterschied zur symmetrischen TCK-Generierung
 - Zielfrequenz ist scheinbar innerhalb der durch IEEE 1149.1 vorgegebenen Maximalfrequenz
 - Eine Periodenhälfte ist nur 10 ns lang \Rightarrow analog 50 MHz Takt



Abtastung im UAD2

- ◆ Verzögerungen durch interne Laufzeiten im FPGA und Target (Pad-Zellen, Clock-to-PAD Delays)
- ◆ Zusätzliche Laufzeiten durch Ausbreitung auf dem Übertragungskanal und Level-Shifter



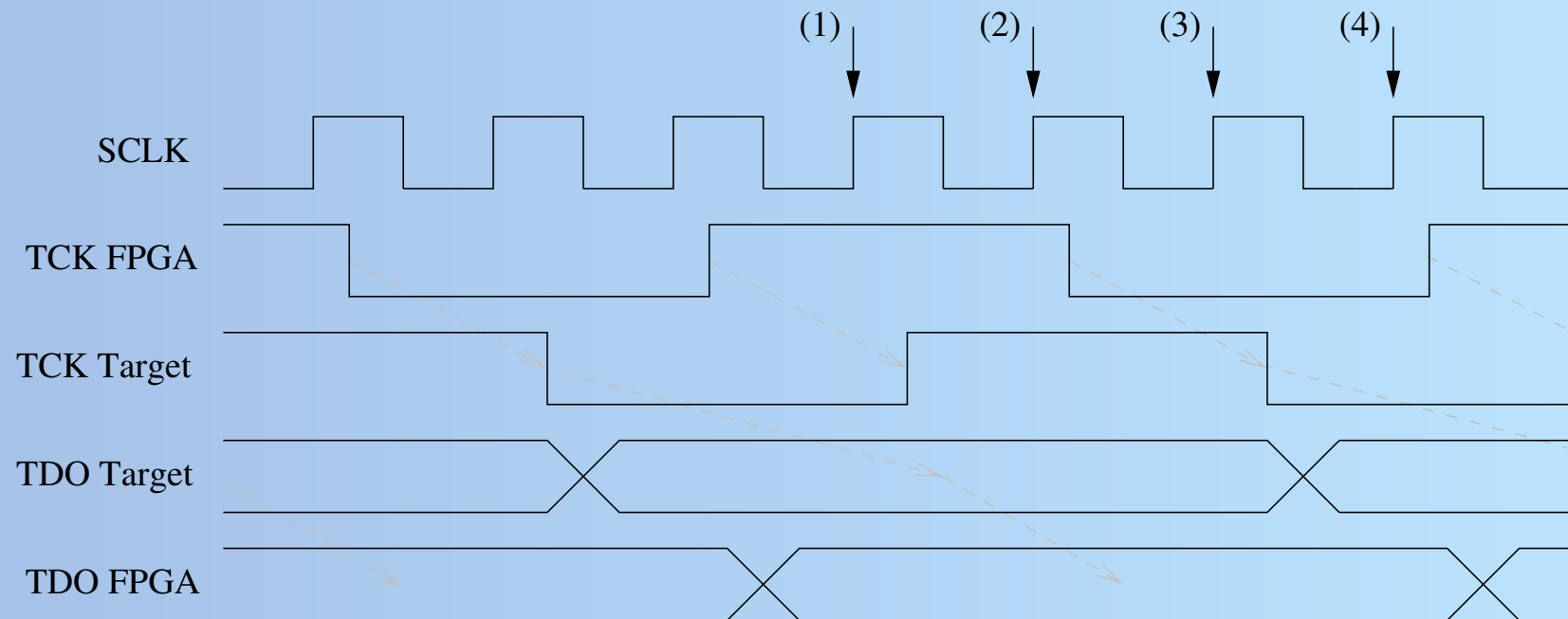
Abtastung im UAD2+

- ◆ LVDS Transceiver im UAD2+ und auf dem JTAG Extender verursachen zusätzliche Verzögerungen (Receiver/Transmitter):

typisch: 3.0 ns/2.5 ns

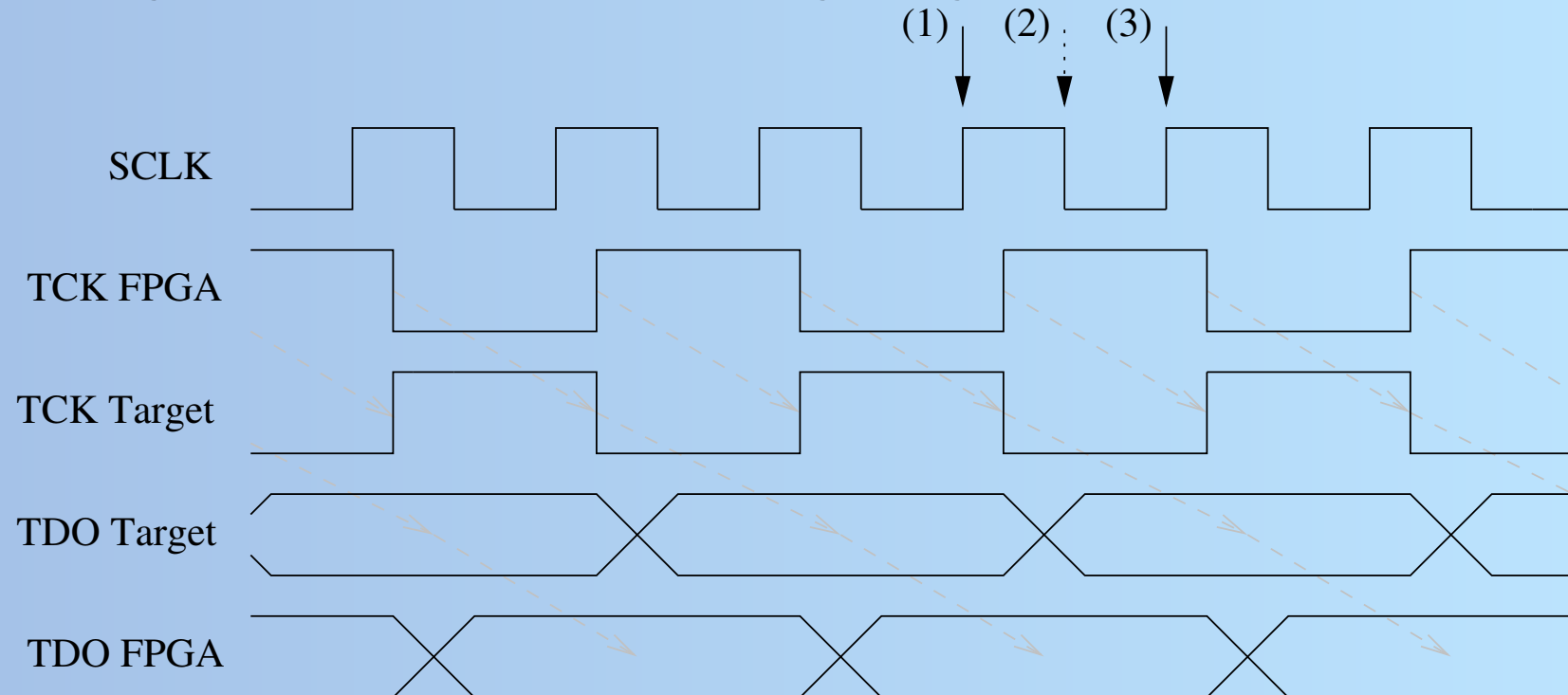
dynamisch: ± 1.5 ns/ ± 1.2 ns

- ◆ Dynamische Verzögerungen führen zur Verkleinerung des Abtastfensters im UAD2+



Abtastung im UAD2+ bei 50 MHz

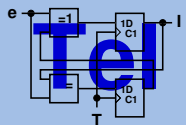
- ◆ Signalverlauf mit idealen Verzögerungszeiten:



- ◆ Fazit: (2) ist der einzig mögliche Abtastzeitpunkt für eine sichere Abtastung bei 50 MHz im UAD2+

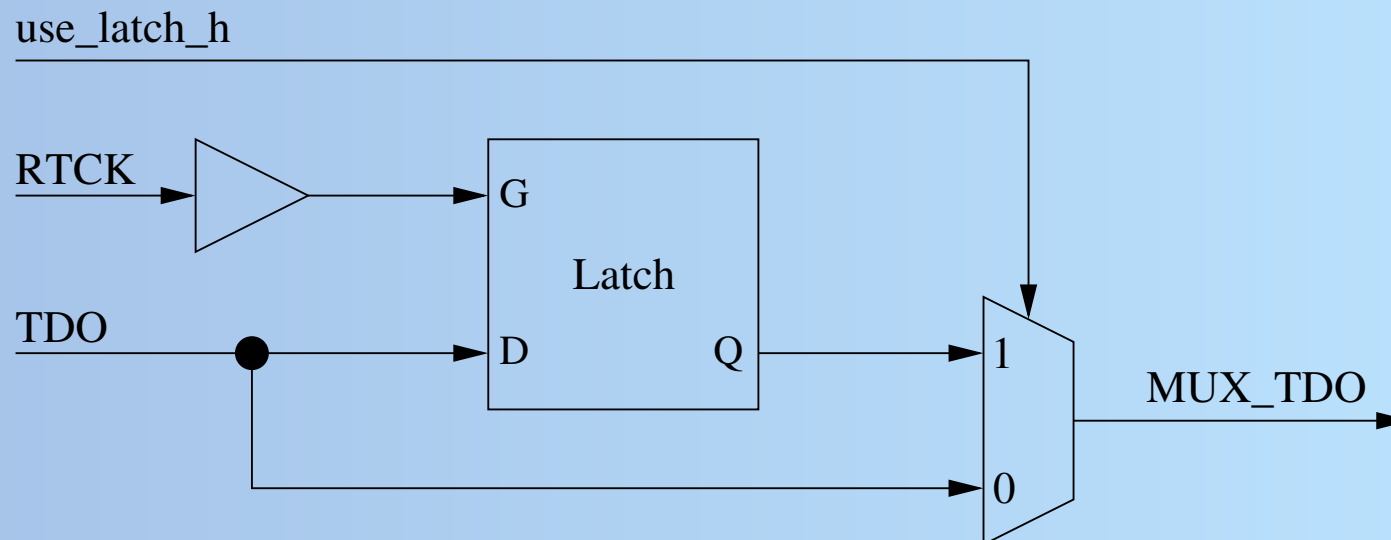
1. Nutzung von RTCK:

- ◆ RTCK wird durch Rückführung des TCK im JTAG Extender erzeugt
- ◆ RTCK und TDO sind quasisynchron
- ◆ Verzögerung zwischen Target und Extender bleibt unberücksichtigt
- ◆ Direkte Taktung der Empfangsschieberegister für TDO mit RTCK auf fallender Flanke
- ◆ Probleme:
 - UAD2 besitzt keinen RTCK
 - Rückführung des (kombinatorisch) generierten TCK im FPGA
 - Schlechter Designstil durch hohen Net-Skew



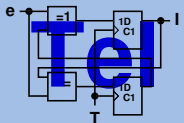
2. Nutzung von RTCK mit Latch:

- ◆ Lösung funktioniert problemlos mit XScale Evaluationboard der Firma Voipac
- ◆ Stabilität der Abtastung mit XScale Entwicklungsboard der Firma Phytex nicht gewährleistet
- ◆ Ansatz wurde daraufhin verworfen



3. Konfigurierbarer Abtastzeitpunkt:

- ◆ Abtastung kann bis zu sieben Taktperioden verzögert werden
- ◆ Auswahl der Abtastflanke des Systemtaktes des FPGA
- ◆ Konfiguration erfolgt in der Firmware des Mikrocontrollers
- ◆ FPGA-Designs für UAD2 und UAD2+ sind identisch
- ◆ Probleme:
 - Verzögerung ist fest in der Firmware verankert
 - Kalibrierung durch Nutzer im Debugger steht noch aus
- ◆ Verlagerung der Abtastung in den JTAG Extender in Analogie zum UAD2
- ◆ Definition des Übertragungsprotokolls zwischen Extender und UAD2+ erforderlich



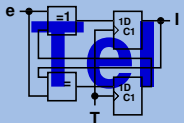
◆ Aufgaben:

- Implementierung eines Übertragungsprotokolls zwischen JTAG Extender und UAD
- Generierung des TCK und entsprechende Steuerung von TDI und TMS
- Abtastung des TDO-Signals
- Konfiguration der TCK-Frequenz
- Konfiguration der Abtastflanke und Abtastverzögerung

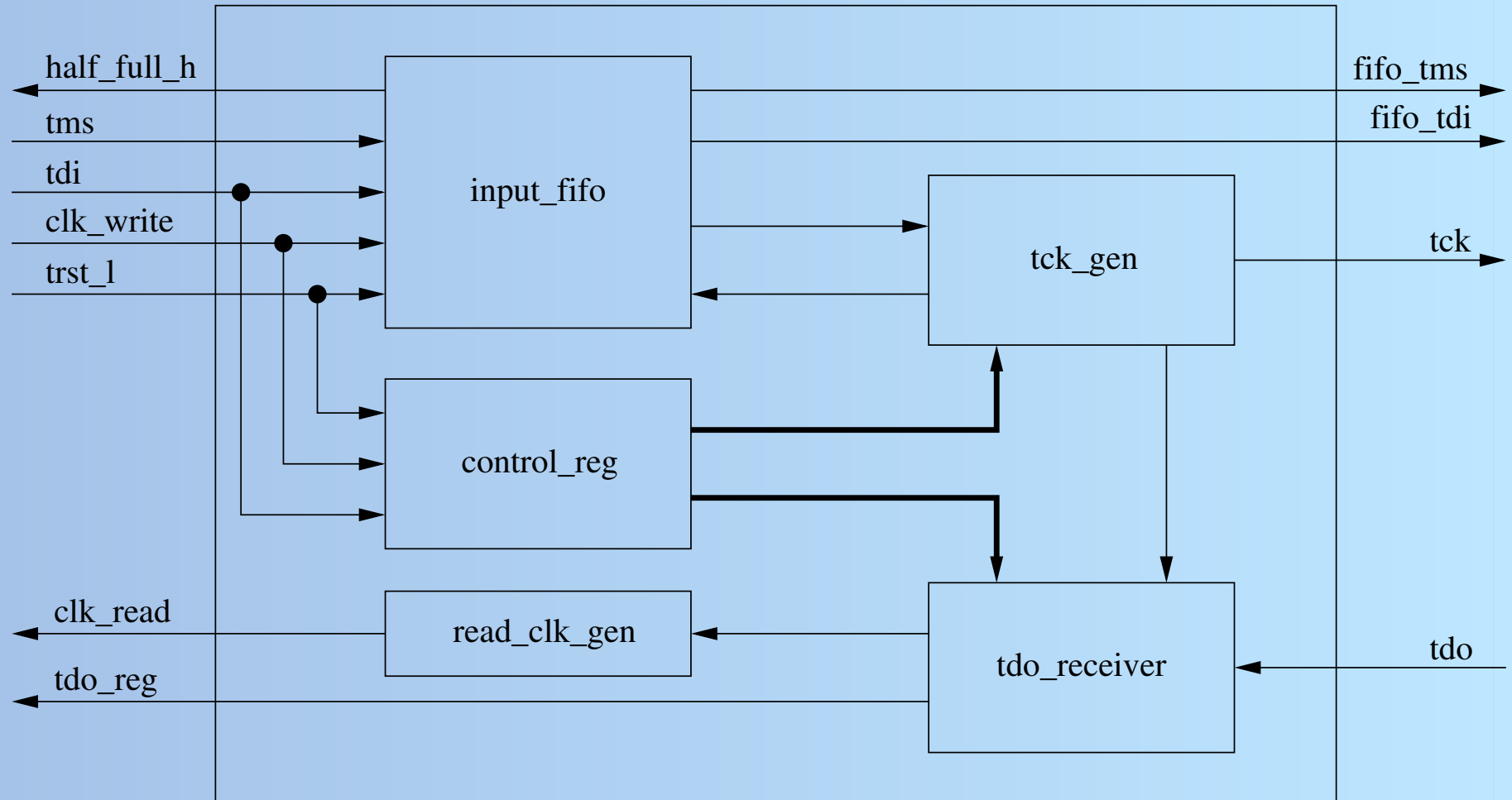
◆ Zwei Ansatzpunkte wurden verfolgt, die sich hinsichtlich des Übertragungsprotokolls unterscheiden

◆ Letzterer erwies sich hinsichtlich maximaler JTAG-Frequenz als aussichtsreicher

⇒ CPLD bzw. FPGA für die Erfüllung der Aufgaben notwendig



Blockschaltbild



Leistungsbewertung

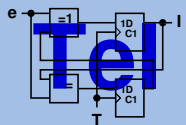
◆ ohne FIFO:

Blockgröße	25 MHz	50 MHz
1k	3.1/2.9	2.3/2.1
2k	6.2/5.7	4.7/4.2

◆ mit FIFO:

Blockgröße	25 MHz	50 MHz
1k	2.2/1.8	1.3/1.2
2k	4.3/3.5	2.7/2.3

- ◆ alle Zeitangaben in ms (schreiben/lesen)
- ◆ 1k Block entsprechen 4096 Bytes
- ◆ Voraussetzung: optimale Kettenlänge für DBG_RX



Zusammenfassung und Ausblick

- ◆ Konfigurationsmöglichkeiten im UDE Debugger
 - Auswahl der Abtastflanke
 - Justierung der Abtastverzögerung
 - bei Verwendung von XScale Architekturen: Kalibrierung der Kettenlänge für Übertragungen zum Target (DBGRX)
- ◆ Auswahl eines CPLD für den JTAG Extender und Erarbeitung eines PCB Layouts
- ◆ Änderung des FPGA Designs im UAD für die Nutzung des überarbeiteten Extenders

