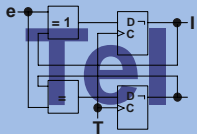


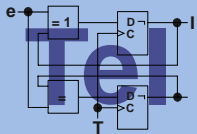
Übersicht über den aktuellen Entwicklungsstand von FPGA's

Steffen Dahms

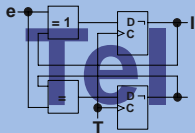
`S2973586@mail.inf.tu-dresden.de`



- Einleitung
- Technologien für FPGA
- Aktuelle FPGA
- Tendenzen
- Schlussbemerkung

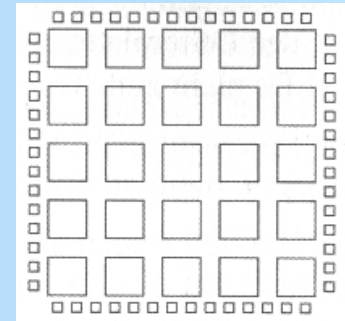


- Field Programmable Gate Array
 - Logikblöcke als Matrix bzw. Feld angeordnet
 - Vor Ort (im „Feld“) programmierbar
- Ende der 80‘er erster FPGA als Reaktion auf den Wunsch, große und komplexe Schaltungen schnell zu realisieren sowie preiswert Prototypen zu erstellen
- Einsatz vor allem in Gebieten, in denen sich Algorithmen und Protokolle schnell weiterentwickeln und eine Anpassung der Hardware erfordern
 - Protokollimplementierungen (Netzwerk etc.)
 - Codierung digitaler Videosignale
 - Digitale Signalverarbeitung
 - ...



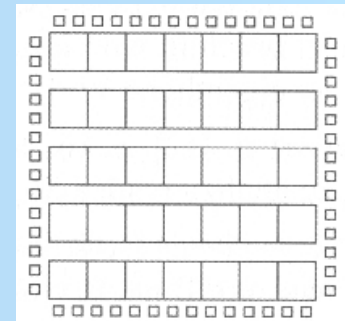
➤ Blockorientiert

- Horizontale und vertikale Verdrahtungskanäle schließen Felder von Basiszellen ein



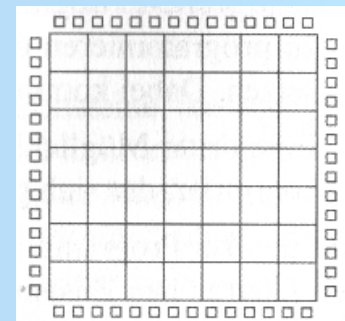
➤ Zeilenorientiert

- Basiszellen in horizontalen Reihen angeordnet mit dazwischenliegenden Verdrahtungskanälen
- Vertikale Verbindungen liegen über den Zellen



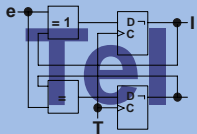
➤ Zellenorientiert

- Basiszellen über gesamte Chipfläche angeordnet
- Verdrahtung auf darüber liegenden Metallebenen

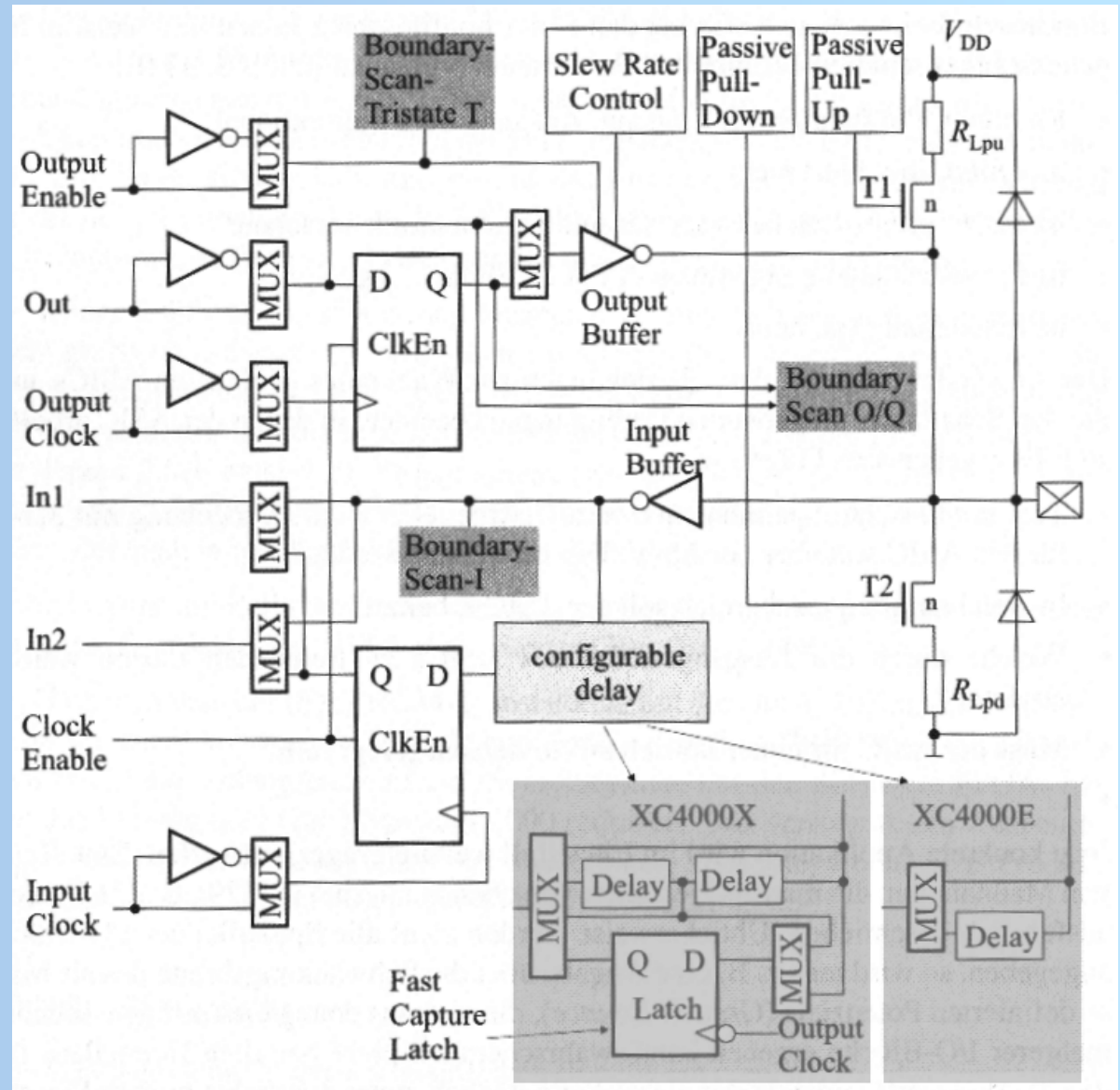


➤ Input / Output Block (IOB)

- Entlang des Chiprandes angeordnet
- Pins müssen unterschiedlichste Anforderungen genügen:
 - Anwenderspezifische Funktionen (I/O)
 - Testen und Konfigurieren des Schaltkreises
 - Eingang für Taktsignale
 - Betriebsspannungsversorgung des Chip
- IOBs bieten Möglichkeit zum Konfigurieren der Pins
 - Richtung (Ein- / Ausgang, Bidirektional)
 - Invertiert / nicht invertiert
 - Kombinatorischer Eingang oder mit Flipflop / Latch
 - Verschiedene Signalpegel (TTL, CMOS, ...)
 - Tristatefähig ja / nein



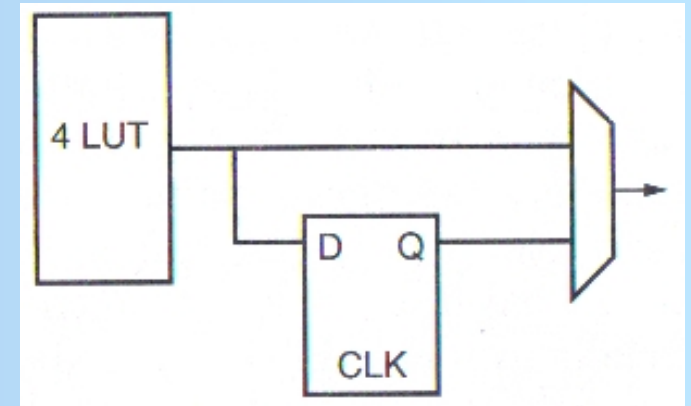
➤ IOB des Virtex 2



Prinzipieller Aufbau - Logikblock

➤ Logik-Block (function block)

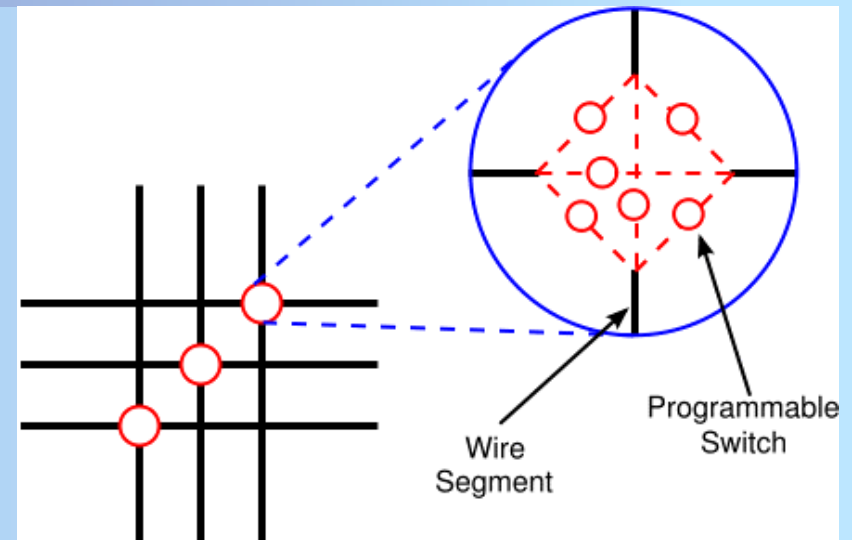
- Entsprechend verwendetem Layout auf Chipfläche angeordnet
- Look up table (LUT) für Logikfunktionen
- Flipflop um Zustände zu speichern
- Es können zusätzliche Elemente enthalten sein um weitere Funktionen zu ermöglichen oder zu optimieren



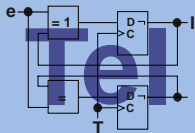
Prinzipieller Aufbau - Verbindungsstrukturen

➤ Verbindungsstrukturen

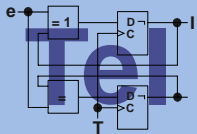
- Berechnungen sind räumlich auf Chip verteilt, Signale müssen passend zwischen den Logikblöcken transportiert werden
- Verbindungsstrukturen stellen aktuell den größten Platzbedarf auf dem Chip (Verbindungsstruktur : Logik ~ 9:1)
- Aktuell: hierarchische Aufteilung der Verbindungsstrukturen (intern, kurz, mittel, lang, I/O, Takt, spezielle)



- Speicher in LUTs und Schaltmatrizen bestehen aus:
 - SRAM-Zellen:
 - (+) Schnell und unbegrenzt oft programmierbar
 - (-) Groß im Vergleich zu anderen Technologien (6-12 Transistoren)
 - (-) Verlustleistung durch Ruhestrom der SRAM-Zellen
 - (-) Programmierung nicht persistent (volatile)
 - (-) Set-up-Zeit
 - Flash-Speicher
 - (+) Programmierung ist persistent (non volatile)
 - (+) keine Set-up-Zeit, keine zusätzliche Hardware für Speicherung
 - (+) geringerer Platzbedarf und kleinere Ruhestrome als SRAM-Zellen
 - (-) Nur begrenzt wiederbeschreibbar
 - (-) benötigen meist höhere Spannungen als andere Schaltkreise
 - (-) benötigen zusätzliche Hardware off-chip oder on-chip zum beschreiben

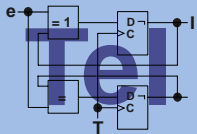


- Antifuse
 - (+) Antifuse-Verbindung ist sehr klein verglichen mit SRAM-Zellen
 - (+) Keine Transistoren → sehr kurze propagation delay time
 - (+) Keine Ruhestrome durch Transistoren → weniger Verlustleistung
 - (+) unempfindlich gegen hochenergetische Strahlung
 - (-) nur einmal beschreibbar (OTP)



➤ Hersteller:

- Xilinx
- Altera
- Lattice
- Actel
- Aeroflex
- QuickLogic



➤ Aktuelle FPGA-Familien

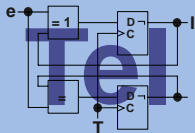
- Spartan 3
 - Lowest cost per logic (CPL)
- Virtex 4
 - Ökonomische FPGA als Alternative zu ASIC
- Virtex 5
 - High performance



- Erstes FPGA in 65nm-Technologie
- Erstes FPGA mit echten 6-Input-LUT
- 3 Plattformen für unterschiedliche Anforderungen:
 - LX: optimiert für Logik-Operationen
 - LXT: optimiert für Logik-Operationen mit seriellen Schnittstellen
 - SXT: optimiert für DSP und speicherintensive Anwendungen

	Logic Cells	Block RAM	DCM	PLL	I/O-Pins
Virtex-5 LX (LX330)	331.776	10.368kbit	12	6	1200
Virtex-5 LXT (LX 330T)	331.776	11.664kbit	12	6	960
Virtex-5 SXT (SX95T)	92.208	8.784kbit	12	6	640

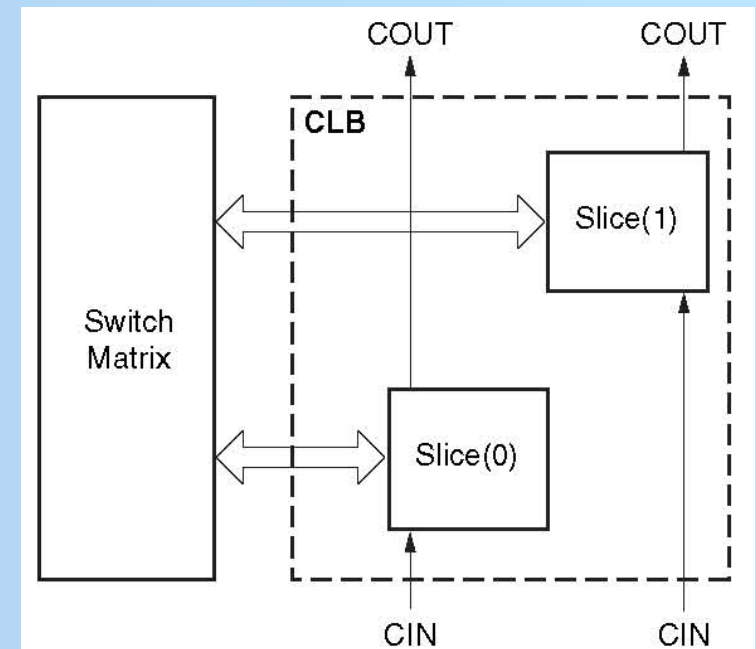
Logic Cell: Definiert als 4-LUT und ein Flipflop



- 65nm-Technologie 1,0V VCC
 - 30% höhere Geschwindigkeit, 35% weniger Leistungsaufnahme im Betrieb, 45% weniger Flächenbedarf als Virtex-4
 - 6-Input-LUT: weniger tief verschachtelte Logik
- 550MHz Taktung
- Bis zu 640 DSP-Blöcke
 - Bis zu 352 GMACS bei 550MHz
 - 40% weniger Leistungsaufnahme als Virtex-4
- DCM und PLL
 - Flexible Clock-Synthese
 - Weniger Jitter (mit 6 PLL um den Faktor 2 reduziert)
- Leistungsoptimierte IP-Blöcke

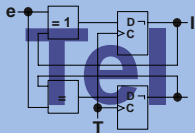
➤ Configurable Logic Block CLB

- Enthält je 2 Slices, jedes Slice besteht aus vier 6-Input-LUT, vier Flipflops, Multiplexer zum kaskadieren der LUT sowie Carrylogik
- Jede 2. CLB-Spalte enthält ein SLICEM pro CLB
- SLICEM bieten gegenüber den SLICEL zwei zusätzliche Funktionen: sie sind als 128bit-Schieberegister nutzbar und können als 256bit Speicher (distributed RAM) genutzt werden



➤ Block RAM

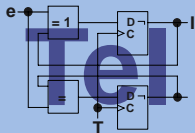
- 288 Blöcke mit je 36kbit Dual-Port-RAM (LX330)
- Jeder Block kann mit einem benachbarten Block zu einem 64kbit Block zusammengefasst werden, ohne dass lokale Verbindungsstrukturen genutzt werden
- Lesen und Schreiben synchron, unterschiedliche Taktung der Ports möglich
- RAM kann als FIFO genutzt werden
- FIFOs können parallel und seriell kaskadiert werden



➤ Serielle Schnittstellen (nur LXT und SXT)

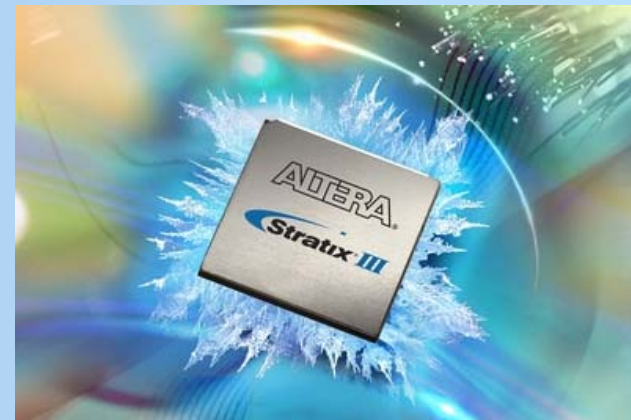
- RocketIO™ GTP Transceivers
 - 100 Mbps – 3,2 Gbps
 - Low-power: <100mW bei 3,2 Gbps (77% weniger Virtex-4)
- PCI Express Endpoint Block
 - x1/x2/x4/x8-Lane
 - Als Hard-IP auf Chip
- Ethernet Media Access Controller (MAC)
 - 10/100/1000 Mbps
 - Als Hard-IP auf Chip

	PCIe Endpoint Block	Ethernet MAC Block	RocketIO™ Transceiver
Virtex-5 LXT (LX 330T)	1	4	24
Virtex-5 SXT (SX95T)	1	4	16



➤ Aktuelle FPGA-Familien

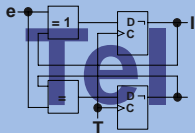
- Stratix III
 - High performance, low power
- Cyclon III
 - Low cost, low power
- Arria
 - transceiver



- 2 Plattformen für unterschiedliche Anforderungen:
 - Stratix III L: bietet ausgewogene Logik, Speicher und Multiplizierer für weites Anwendungsgebiet
 - Stratix III E: bietet mehr Speicher und Multiplizierer pro Logik, geeignet für drahtlose Anwendungen, medizinische Bildgebung und militärische Bereiche
- 65nm-Technologie, 600MHz Taktfrequenz
 - 50% weniger Energieverbrauch bei gleicher Taktrate, 30% weniger bei 20% höherer Taktrate als Stratix II

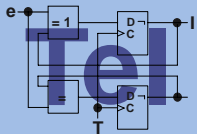
	Logic Cells	Block RAM	DCM	PLL	I/O-Pins
Stratix 3 L (EP3SL340)	337,5K	16,272kbit	N/A	12	1120
Stratix 3 E (EP3SE260)	255,0K	14,688kbit	N/A	12	976

- **Unterstützt Hot-Socketing**
 - Stratix III-Board kann im laufenden Betrieb in ein System eingesteckt oder entfernt werden
- **Unterstützte Schnittstellen für externen Speicher:**
 - DDR,DDR2,DDR3 SDRAM, RLDRAM II, QDR II und QDR II+ SRAM
- **Unterstützte Netzwerke und Bus-Standards:**
 - SPI-4.2, SFI-4, SGMII, Utopia IV, 10 Gigabit Ethernet XSLI, Rapid I/O und NPSI
- **Remote System Upgrade**
 - FPGA kann Konfigurations-File von Remote-Server laden und sich neu konfigurieren
 - Fehlererkennung während und nach dem Programmieren

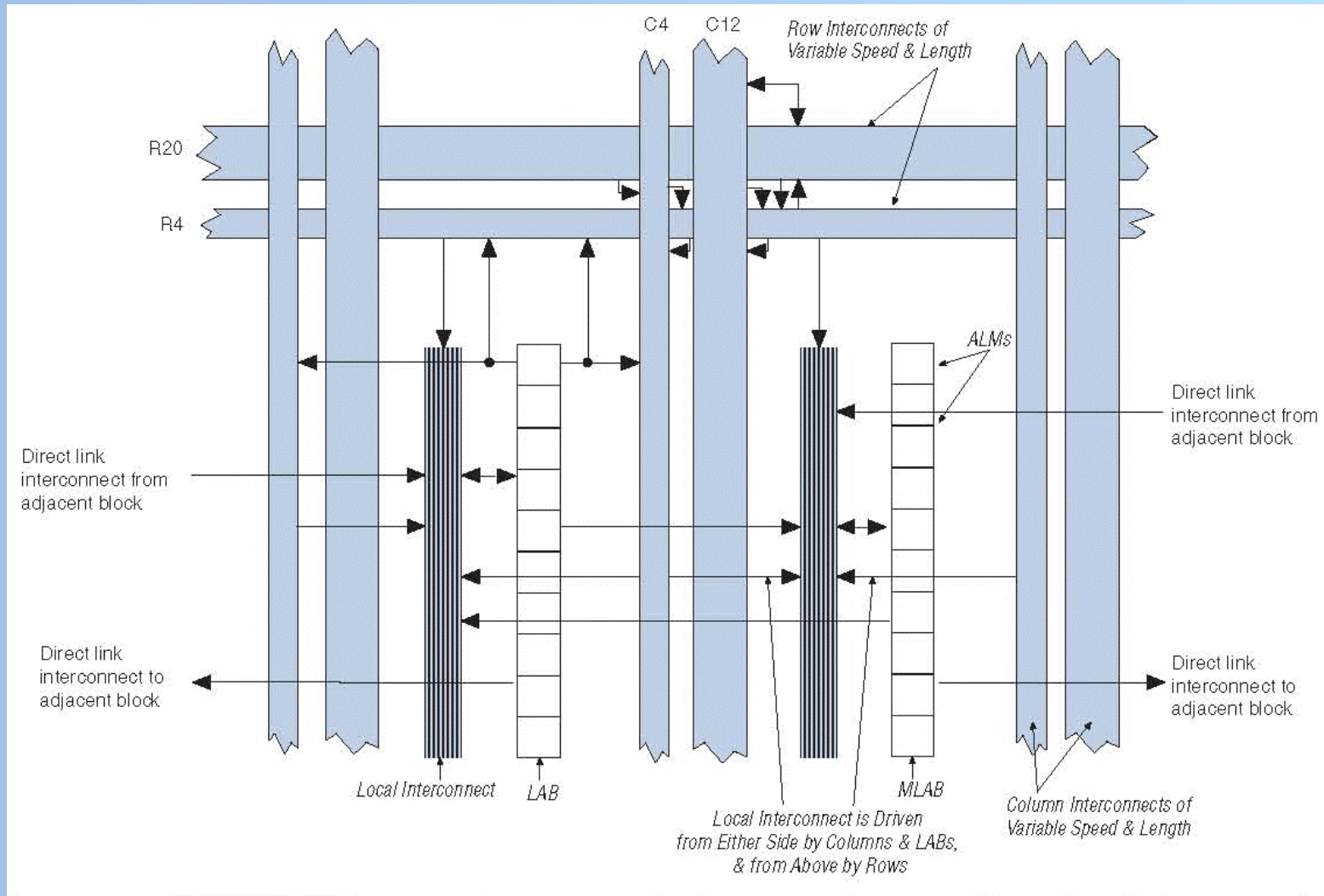


➤ Logic Array Block (LAB)

- Enthält je 10 adaptive logic module (ALM) und ein direct link interconnect und speziellen Datenleitungen, z.B. für Carry
- Direct link interconnect verbindet alle ALM eines LAB untereinander
- Direct link interconnect ist ebenfalls mit rechts und links benachbarten LAB/MLAB, Block-RAM sowie DSP verbunden
- Einige LAB sind als Memory LAB (MLAB) ausgeführt:
 - ALM nutzbar als 64x1 bit oder 32x2 bit SRAM-Block
 - Bis zu 640bit Dual-Port SRAM stehen pro MLAB zur Verfügung

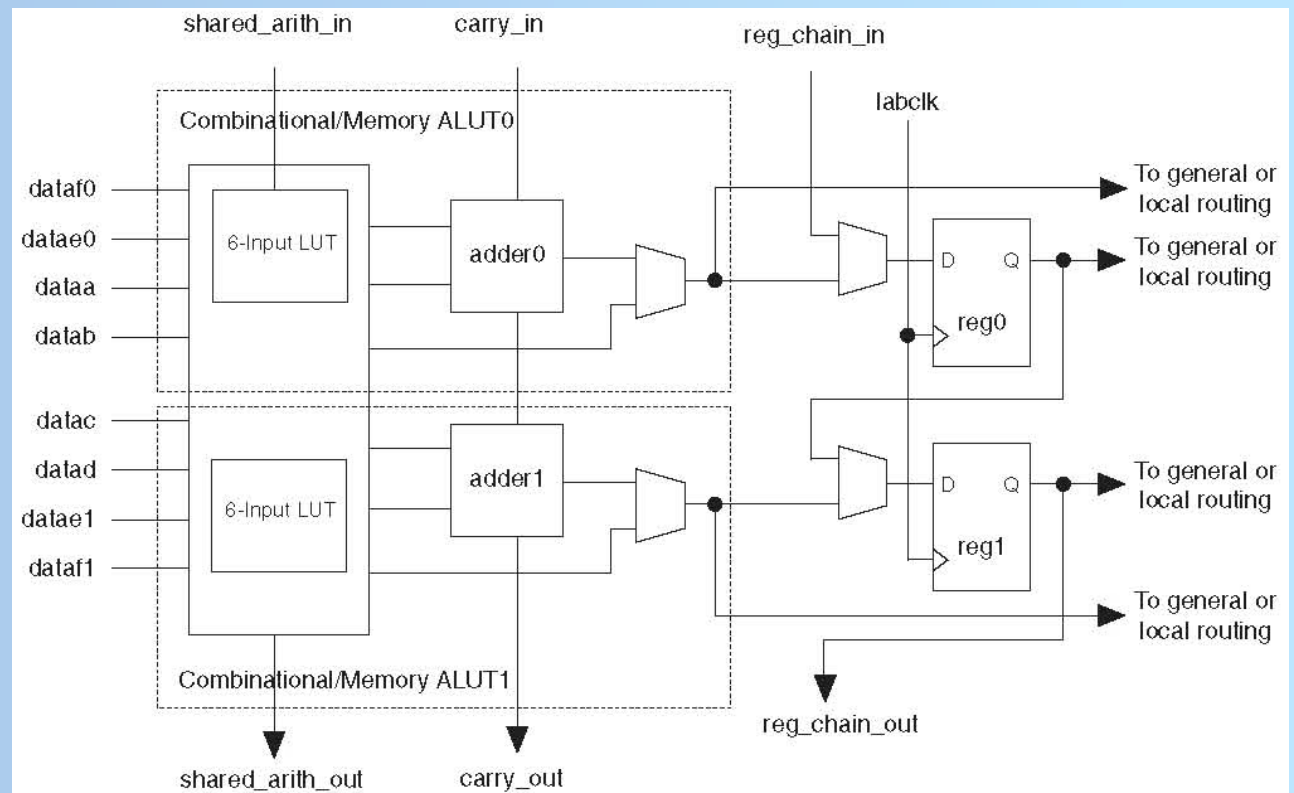


➤ LAB-Struktur

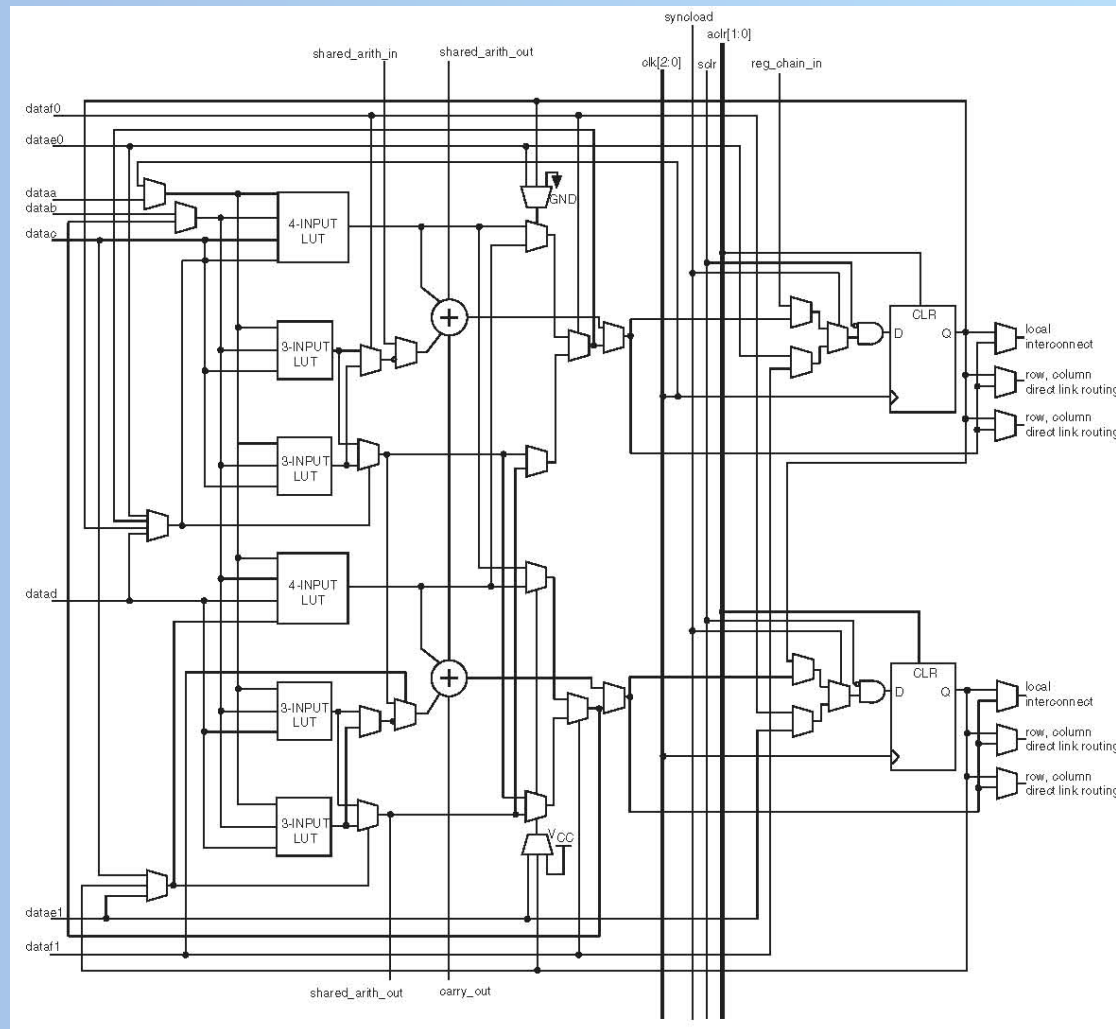


➤ Adaptive logic module (ALM)

- Jede ALM enthält 2 Funktionseinheiten aus LUT, Fulladder, Flipflop, Carry-Chain, Shared-Arithmetic-Chain und Register-Chain
- 3 LUT je Funktionseinheit:
 - 1x 4-LUT
 - 2x 3-LUT
- 3-LUT als Register eingesetzt
- 3-LUT können benutzt werden, um 4-LUT zu 6-LUT zu erweitern



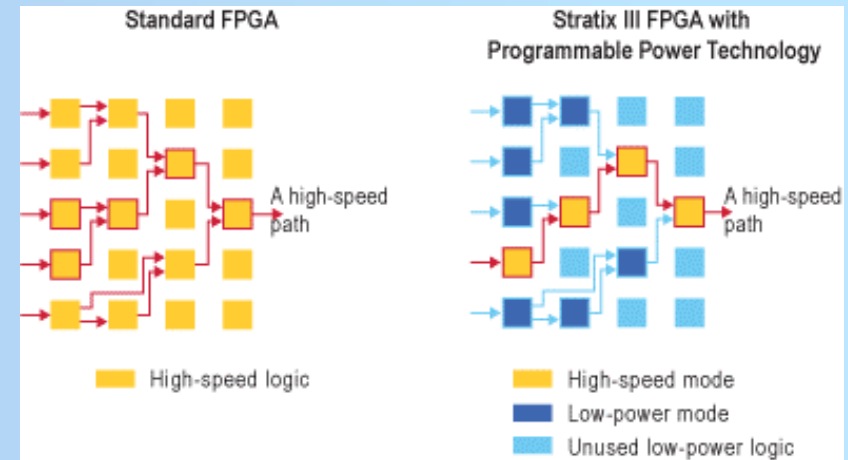
➤ ALM-Struktur



➤ Weitere Energiesparfunktionen:

- Programmable Power Technologie

- Nur Logikblöcke im kritischen Pfad arbeiten im High-Speed-Mode alle anderen Logikblöcke werden im Low-Power-Mode betrieben
- Quartus II – Software erkennt selbstständig kritische Pfade und programmiert entsprechend



- Wählbare Core-Spannung

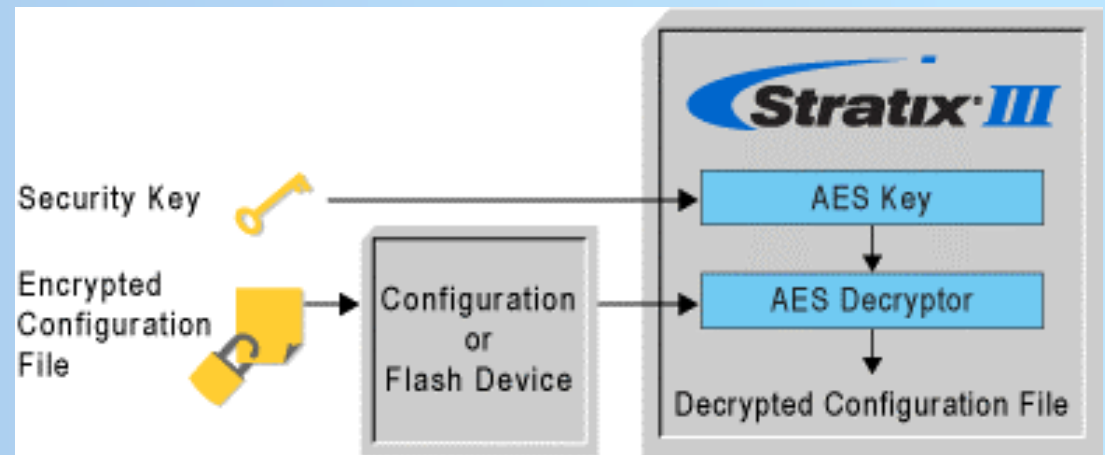
- Core-Spannung kann von 1,1V auf 0,9V reduziert werden, wenn Design nicht die volle Leistung des FPGA benötigt

- Quartus II Power Play

- Optimierungsfunktion in der Quartus II – Software, die das Design möglichst energiesparend realisiert in dem z.B. Synthese, Platzierung und Routing entsprechend optimiert werden

➤ Optional 256-bit AES Verschlüsselung auf Chip

- Das FPGA muss nach dem Einschalten programmiert werden. Um zu verhindern, dass der Datenstrom abgehört wird, kann das Konfigurationsfile verschlüsselt übertragen werden
- Gewährt Schutz vor Kopieren, Manipulation (z.B. Spielautomaten) und Spionage (in militärischen Anwendungen)

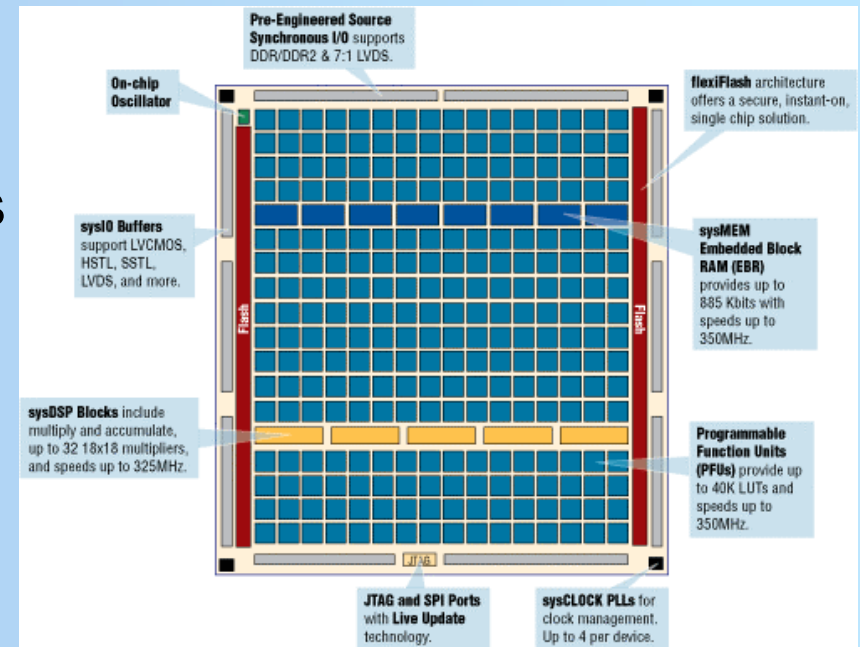


➤ Aktuelle FPGA-Familien

- LatticeSC (System Chip)
 - High performance
- LatticeECP2
 - Low cost
- LatticeXP2
 - Low cost, non volatile



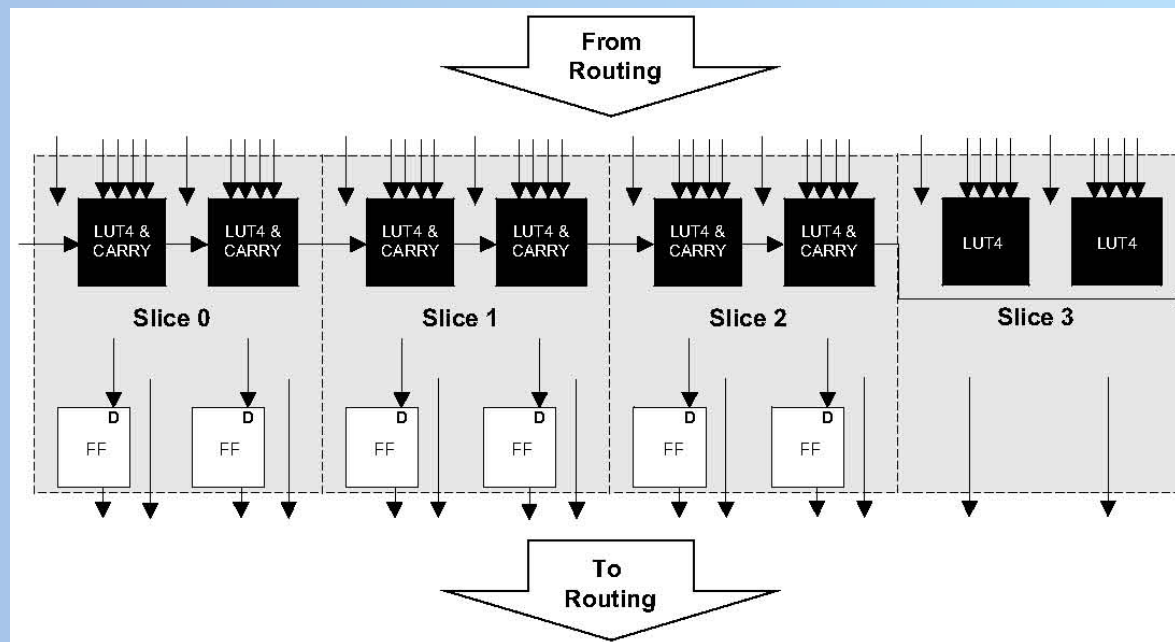
- FPGA auf SRAM-Basis mit integriertem Flash-Speicher
- 130nm Technologie, 350MHz Taktfrequenz
- flexiFlash-Architektur:
 - SRAM-Konfiguration und/oder Block-RAM Inhalt können im integrierten Flash-Speicher persistent gehalten werden
 - Booten vom internen Flash: <2ms
- Integrierte 128bit AES-Ver-schlüsselung
 - Konfigurationsfile kann ver-schlüsselt übertragen werden



	Logic Cells	Block RAM	DSP-Blöcke	PLL	Block RAM	I/O-Pins
LatticeXP2 (XP2-40)	40.000	885kbit	8	4	885kbit	540

➤ Programmable Function Units (PFU)

- Bestehen aus 4 Slices, Slice 0-2 enthalten je zwei 4-Input-LUT und 2 Flipflops, Slice 3 enthält zwei 4-Input-LUT



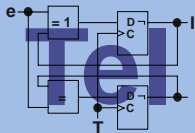
Slice	PFU BLock		PFF Block	
	Resources	Modes	Resources	Modes
Slice 0	2 LUT4s and 2 Registers	Logic, Ripple, RAM, ROM	2 LUT4s and 2 Registers	Logic, Ripple, ROM
Slice 1	2 LUT4s and 2 Registers	Logic, Ripple, ROM	2 LUT4s and 2 Registers	Logic, Ripple, ROM
Slice 2	2 LUT4s and 2 Registers	Logic, Ripple, RAM, ROM	2 LUT4s and 2 Registers	Logic, Ripple, ROM
Slice 3	2 LUT4s	Logic, ROM	2 LUT4s	Logic, ROM

➤ Live Update Funktion

- Neues Konfigurationsfile kann von Remote-Server werden und im laufenden Betrieb aufgespielt werden
- TransFR™ Keine Unterbrechung des Betriebes bei Update: I/Os werden während der Konfiguration in ihrem Zustand gehalten

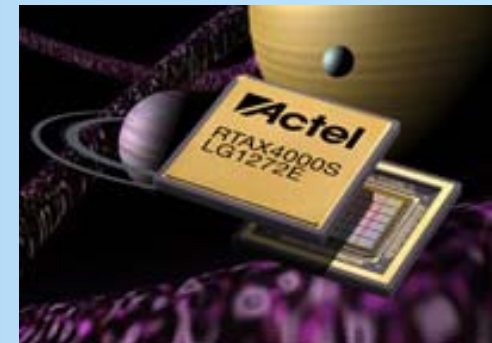
➤ Dual Boot

- Startet mit Minimalkonfiguration aus Flash, Nachladen der gewünschten Konfiguration
- im Fehlerfall zurücksetzen auf Minimalkonfiguration



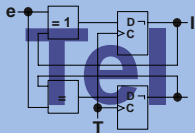
➤ Aktuelle FPGA-Familien

- IGLOO
 - Low power, für tragbare Endgeräte, non volatile (Flash*Freeze)
- ProASIC3L
 - Low power, low cost, high performance
- RTAX-S
 - Antifuse
 - Höchste Zuverlässigkeit für Raumfahrt



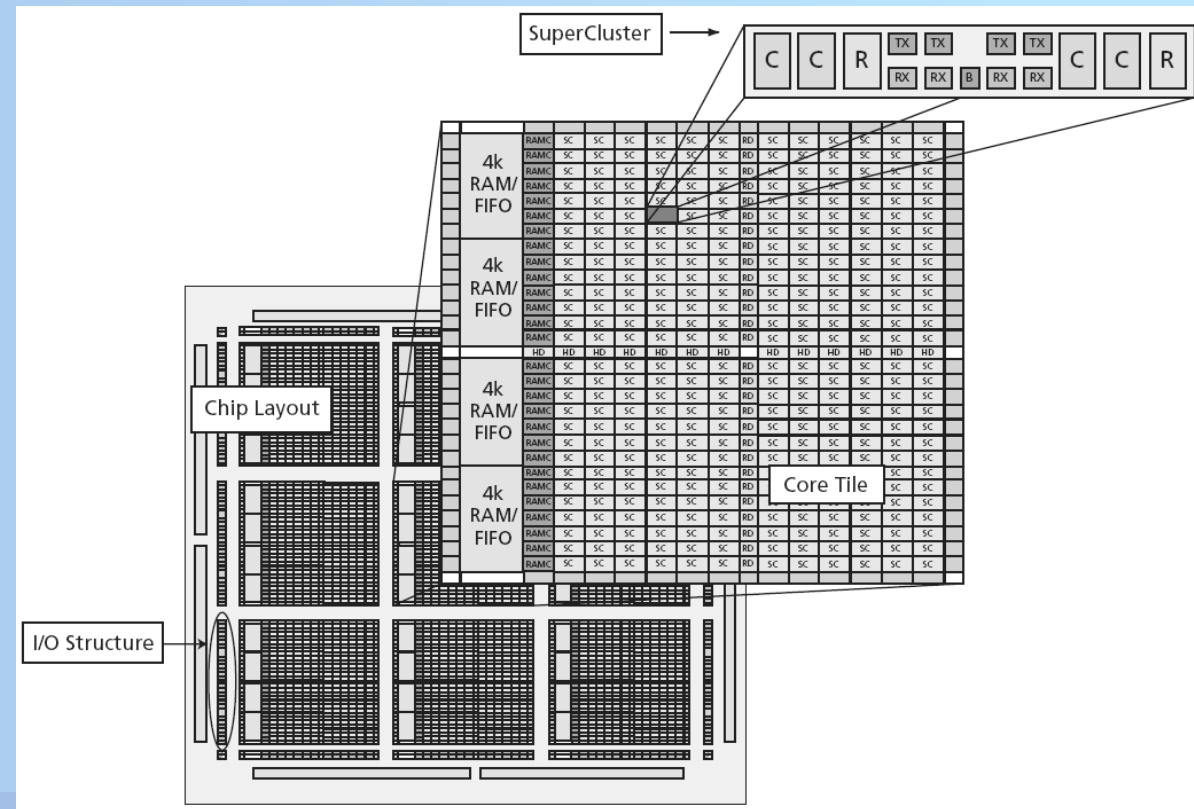
- Speziell für Raumfahrt entwickelt
 - Geringer Leistungsbedarf
 - Höchste Zuverlässigkeit
 - Resistenz gegen hochenergetische Strahlung
- AntiFuse-Technologie
- 150nm CMOS, 500+MHz Taktung
- RTAX-SL: low power, 50% geringere Standby Leistungsaufnahme

	Logic Cells	Block RAM	I/O-Pins
RTAX4000S	40k C-Zellen 20k R-Zellen	540kbit	840

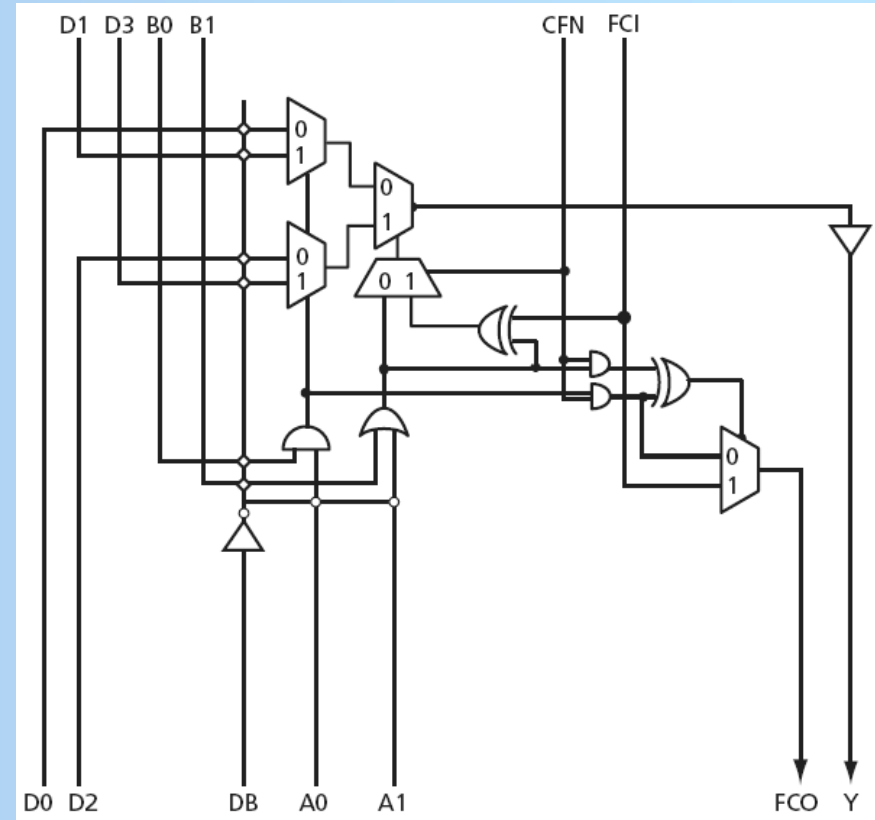


➤ Supercluster

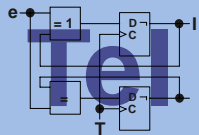
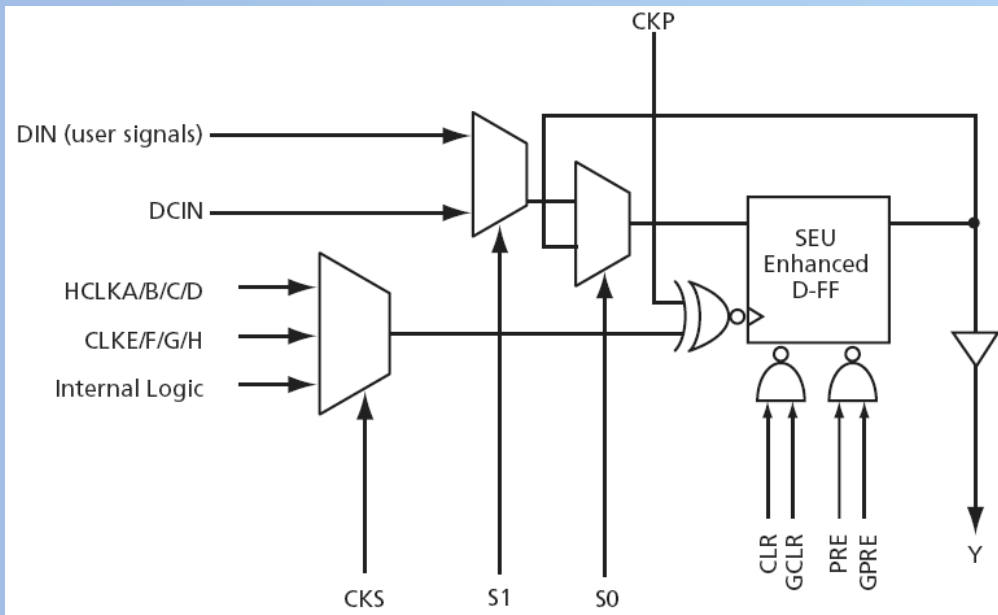
- Enthält 4 C-Zellen und 2 R-Zellen
- C-Zellen dienen der kombinatorischen Logik
- R-Zellen (Register-Zellen) dienen der sequentiellen Logik
- R-Zelle kann per DCOUT der C-Zelle angesprochen werden
- Kann als stand alone Flipflop fungieren



C-Zelle

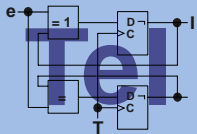


R-Zelle



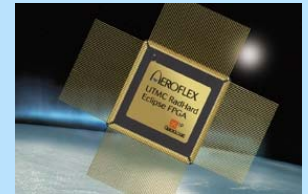
➤ Antifuse bietet hohe Sicherheit gegen:

- Energiereiche Strahlung
- Klonen
- Reverse Engineering
- Überschreiben
- DoS-Angriffe



➤ Aeroflex – RedHard FPGA

- RedHard Eclipse FPGA (UT6325)
 - Strahlungsresistentes FPGA auf Basis von QuickLogic Eclipse
 - Einsatz in Satteliten

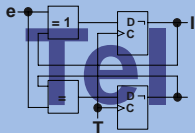


➤ QuickLogic

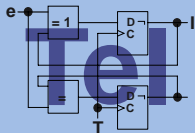
- PolarPro™
 - Low power, für tragbare Endgeräte
- Eclipse II™
 - High performance, extreme low power
- QuickRAM®
 - Hoher RAM und ROM Speicherdurchsatz
- pASIC® 3
 - Low power



- Minimierung der Verlustleistung
 - Durch Architekturvariationen oder Verändern der Buskonzepte
 - Makros und IPs verlustleistungsarm entwerfen
- Aktivitäten zu immer mehr SoC-Lösungen
 - FPGA mit eingebetteten DSP- und/oder MC-Core, konfigurierbaren Speicherbereichen und dynamisch rekonfigurierbarer Logik
- Bestrebungen zu verbesserter IP-Nutzbarkeit
 - Leistungsfähigkeit von IPs übersteigt gegenwärtige Makros
 - z.B. standardisierte Hochgeschwindigkeits-Bus-Protokolle
- Sicherheit gegen Klonen und Reverse Engineering
- Mehr Flexibilität durch Remote-Programmierbarkeit



- Die steige Steigerung des Integrationsgrades führt zu Problemen, die noch zu lösen sind:
 - Die SIA-Roadmap prognostiziert für das Jahr 2010 eine Steigerung des Integrationsgrades, der Chips mit 500 Millionen Transistoren erlaubt. Daraus ergeben sich Probleme bei Entwurf und Verifikation
 - Komplexitätsproblem: Ein Logikschaltkreis wird heute (2004) von 50 Entwicklern in 12 Monaten entworfen
 - Der Entwurf eines 500-Mio-Chip würde bei gleicher Methodik und Tools 25000 Entwickler für 12 Monaten, oder 50 Entwickler für 500 Jahre benötigen
 - Bei Schaltkreisen unter 100nm dominieren die Verzögerungszeiten der Verbindungsleitungen und nicht mehr die der Transistoren

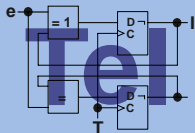


➤ Literatur:

- Hauck/DeHon: *Reconfigurable Computing*
ISBN: 978-0-12-370522-8
- Herrmann/Müller: *ASIC - Entwurf und Test*
ISBN: 3-446-2179-6

➤ Web:

- <http://www.xilinx.com/>
- <http://www.altera.com/>
- <http://www.latticesemi.com/>
- <http://www.actel.de/>
- http://ams.aeroflex.com/ProductPages/RH_fpga.cfm
- <http://www.quicklogic.com/>
- <http://www.mikrocontroller.net/articles/FPGA>
- <http://wikipedia.org/>



**Vielen Dank für Ihre
Aufmerksamkeit!**

