



ASIC-SYNTHESE DER SHAP-MIKROARCHITEKTUR

Vortrag zum großen Beleg

Andrej Olunczek

Andrej.Olunczek@mailbox.tu-dresden.de

Dresden, 01.10.2008

Gliederung

Einführung

Vergleich anderer Prozessoren

Realisierung

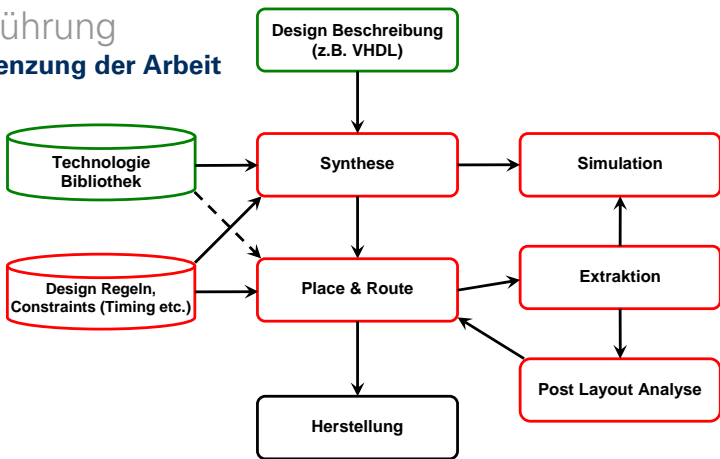
Zusammenfassung

Einführung

Aufgabenstellung

- Literaturstudium zu Flächenbedarf, Taktfrequenz und Leistungsaufnahme anderer eingebetteter Prozessoren
- Analyses des SHAP-VHDL-Designs und ggf. Entwurf/Generierung geeigneter Ersatzmodule mit Hilfe der Design-Tools
- Synthese des modifizierten Designs. Optimierung auf geringe Leistungsaufnahme und hohe Taktrate.
- Bestimmung der Kenndaten Chipfläche, erreichbare Taktfrequenz und Leistungsaufnahme in Abhängigkeit der Design-Parameter
- Zusammenfassung und Dokumentation der Ergebnisse.

Einführung Abgrenzung der Arbeit



Einführung

Motivation

- Vergleich zu anderen eingebetteten Prozessoren
- Vergleich zu den FPGA-Implementierungen
- Abschätzung der Leistungsfähigkeit der Architektur

Vergleich anderer Prozessoren

Vergleich einiger Java-fähiger Prozessoren

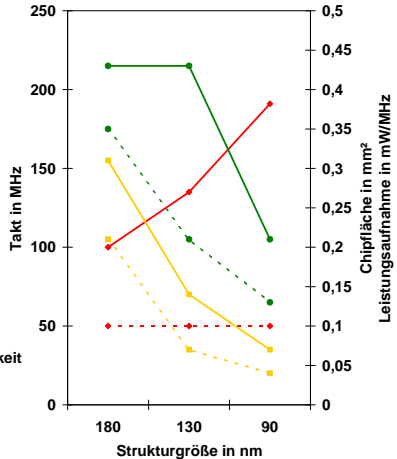
CPU	aJile aj-100	Fujitsu MB86799	ARM926EJ-S
Architektur	32-bit Java Proz. IEEE-754 FPU nativ Java 32K Data Cache 16K Microcode	32-bit Java Proz. IEEE-754 FPU PicoJava-II 8K Data Cache 8K Instr. Cache	32-bit RISC Proz. IEEE-754 FPU Coproz. Java-Coproz. (Jazelle) 8K Data Cache 8K Instr. Cache
Technologie	0.25 μ m	0.25 μ m	0.13 μ m
Takt	100 MHz	66 MHz	200 MHz
Benchmark emb. CM 3.0	2,75 CM/MHz	9,4 CM/MHz	5 CM/MHz
Leistungsaufn.	2,5 mW/Mhz	5,4 mW/Mhz	0,45 mW/Mhz
Chipfläche			2.4mm ²

Vergleich anderer Prozessoren

Vergleich Eckdaten in Ab- hängigkeit der Optimierung

Beispiel ARM Cortex-M3
(nur CM3Core)

- Takt optimiert nach Geschwindigkeit
- - -●- - - Takt optimiert nach Fläche
- Chipfläche optimiert nach Geschwindigkeit
- - -●- - - Chipfläche optimiert nach Fläche
- Leistungsaufnahme optimiert nach Geschwindigkeit
- - -■- - - Leistungsaufnahme optimiert nach Fläche



Vergleich anderer Prozessoren

Vergleich Cachegrößen

Beispiel ARM9

CPU	Cache	Techn.	Takt	Leistungsaufn.	Chipfläche
ARM920T	2 * 16K	0.18 μ m	200 MHz	0,8 mW/MHz	11.8mm ²
ARM922T	2 * 8K	0.18 μ m	200 MHz	0,8 mW/MHz	8.1mm ²
ARM9	ohne (theoret.)	0.18 μ m	200 MHz	0,8 mW/MHz	4.4mm ²
ARM920T	2 * 16K	0.13 μ m	250 MHz	0,25 mW/MHz	4.7mm ²
ARM922T	2 * 8K	0.13 μ m	250 MHz	0,25 mW/MHz	3.2mm ²
ARM9	ohne (theoret.)	0.13 μ m	250 MHz	0,25 mW/MHz	1.7mm ²

Vergleich anderer Prozessoren

Zusammenfassend

- geringere Strukturgröße \Rightarrow geringere Fläche und Leistungsaufnahme, höherer Takt
- Optimierung nach Geschwindigkeit \Rightarrow höhere Fläche, Leistungsaufnahme und Takt
- Optimierung nach Fläche \Rightarrow geringere Fläche, Leistungsaufnahme und Takt
- Cachegröße hat großen Einfluss auf die Chipfläche

Realisierung

Technologie

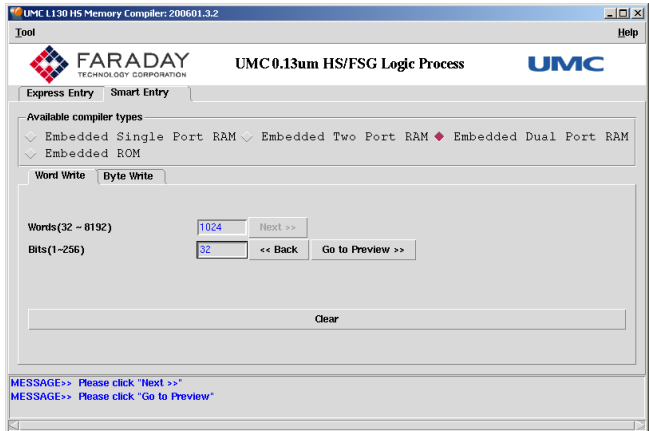
- 0.13 μm von UMC
- für Logik, 8 Metallisierungsebenen
- fsc0h_d_sc - Faraday Standardzellenbibliothek
- Tools: 'Memaker' & 'Synopsys Design Compiler' & 'Cadence SOC'

Realisierung

Arbeitsschritte

- Analyse des Codes und Generierung Ersatzmodule \Rightarrow Erstellung von RAM-Makros \Rightarrow Optimierung der Makros nach gegebenen Punkten
- Hinzufügen der Padzellen, Synthese der Daten \Rightarrow Optimierung durch geeignete Bedingungen (Timing-constraints etc.) einstellen
- Place & Route in iterativen Schritten \Rightarrow Steuerung der Bedingungen, Lage der Makros und Padzellen, etc. durch Skripte
- Nach jedem Schritt Überprüfung der Einhaltung der Bedingung & Test durch Simulation

Realisierung Memaker



Realisierung Memaker

Options Preview...
(word:1024 bit:32 byte:1)

F5COH D SJ (Sync. High Density DPRAM)

Column Max (Aspect Ratio)	Gate Count	Taa(ns) BC,TC,WC loading=0.01pF ckslew=0.01fms	DC Power (uA)	AC Power (mW/MHz)	Area (mm_sq)	Width (um)	Height (um)	InstName	Scene
<input type="checkbox"/> 4 (1024x32x1)	65040	1.445,2,125,3.556	59.738	0.020	0.266	385.200	691.600	SJHD130_1024X32X1CM4	<input type="checkbox"/>
<input checked="" type="checkbox"/> 8 (1024x32x1)	62138	1.892,1.602,2.670	40.275	0.021	0.255	662.800	384.000	SJHD130_1024X32X1CM8	<input checked="" type="checkbox"/>
<input type="checkbox"/> 16 (1024x32x1)	71392	0.957,1.407,2.369	31.228	0.028	0.292	1202.400	243.200	SJHD130_1024X32X1CM16	<input type="checkbox"/>

F5COH D SIBTI (Sync. High Density DPRAM)

Column Max (Aspect Ratio)	Gate Count	Taa(ns) BC,TC,WC loading=0.01pF ckslew=0.01fms	DC Power (uA)	AC Power (mW/MHz)	Area (mm_sq)	Width (um)	Height (um)	InstName	Scene
<input type="checkbox"/> 4 (1024x32x1)	69733	1.468,2,155,3.590	62.214	0.016	0.286	404.800	705.600	SJ8THD130_1024X32X1C4	<input type="checkbox"/>
<input type="checkbox"/> 8 (1024x32x1)	66441	1.895,1.611,2.684	42.974	0.017	0.272	687.800	398.800	SJ8THD130_1024X32X1C8	<input type="checkbox"/>

To Generate...

Setting

Output Loading(pF): 0.01 CK Input Slew(ns): 0.016 Code Version: A Save to: /home/blunzck

Power ring width(um): 10 Data Input Slew(ns): 0.016 ROM Code: Binary Filled by all '0'

I) Front-end models

- Datasheet
- Verilog Model
- VHDL Model
- Synopsys Model
- Mentor Fastscan Model
- Mentor MEIST Model
- TetraMAX ATPG Model
- Novas Verdi MDT Model

II) Back-end models

- LEF File (SJ)
- GDSII Layout
- Spice Netlist

III) Symbol models

- Powerview Symbol
- ECS Symbol

Select All Unselect All Invert

Generate Cancel

Realisierung

Memaker Details

- Auflistung möglicher Konfigurationen

<i>FSC0H_D_SJ (Sync. High Density DPRAM)</i>							
Column Mux (Aspect Ratio)	Gate Count	Taa(ns) BC,TC,WC loading=0.01pF cksllew=0.016ns	DC Power (uA)	AC Power (mA/MHz)	Area (mm_sq)	Width (um)	Height (um)
<input type="checkbox"/> 4 (1024x32x1)	65040	1.445,2.125,3.556	59.738	0.020	0.266	385.200	691.600
<input checked="" type="checkbox"/> 8 (1024x32x1)	62138	1.092,1.602,2.670	40.275	0.021	0.255	662.800	384.000
<input type="checkbox"/> 16 (1024x32x1)	71392	0.957,1.407,2.359	31.228	0.028	0.292	1202.400	243.200

Realisierung

Memaker Details

- Auflistung möglicher Konfigurationen
- Auswahl guter Werte für eine hohe Taktrate

FSC0H_D_SJ (Sync. High Density DPRAM)

Column Mux (Aspect Ratio)	Gate Count	Taa(ns) BC,TC,WC loading=0.01pF cksllew=0.016ns	DC Power (uA)	AC Power (mA/MHz)	Area (mm_sq)	Width (um)	Height (um)
<input type="checkbox"/> 4 (1024x32x1)	65040	1.445,2.125,3.556	59.738	0.020	0.266	385.200	691.600
<input checked="" type="checkbox"/> 8 (1024x32x1)	62138	1.092,1.602,2.670	40.275	0.021	0.255	662.800	384.000
<input type="checkbox"/> 16 (1024x32x1)	71392	0.957,1.407,2.359	31.228	0.028	0.292	1202.400	243.200

Realisierung

Memaker Details

- Auflistung möglicher Konfigurationen
- Auswahl guter Werte für eine hohe Taktrate
- Auswahl guter Werte für eine geringe Leistungsaufnahme

FSC0H_D_SJ (Sync. High Density DPRAM)

	Column Mux (Aspect Ratio)	Gate Count	Taa(ns) BC,TC,WC loading=0.01pF ckslew=0.016ns	DC Power (uA)	AC Power (mA/MHz)	Area (mm_sq)	Width (um)	Height (um)
<input type="checkbox"/>	4 (1024x32x1)	65040	1.445,2.125,3.556	59.738	0.020	0.266	385.200	691.600
<input checked="" type="checkbox"/>	8 (1024x32x1)	62138	1.092,1.602,2.670	40.275	0.021	0.255	662.800	384.000
<input type="checkbox"/>	16 (1024x32x1)	71392	0.957,1.407,2.359	31.228	0.028	0.292	1202.400	243.200

Realisierung

Memaker Details

- Auflistung möglicher Konfigurationen
- Auswahl guter Werte für eine hohe Taktrate
- Auswahl guter Werte für eine geringe Leistungsaufnahme
- Festlegung auf eine Konfiguration für das zu nutzende RAM-Makro

FSC0H_D_SJ (Sync. High Density DPRAM)

Column Mux (Aspect Ratio)	Gate Count	Taa(ns) BC,TC,WC loading=0.01pF cksllew=0.016ns	DC Power (uA)	AC Power (mW/MHz)	Area (mm_sq)	Width (um)	Height (um)
<input type="checkbox"/> 4 (1024x32x1)	65040	1.445,2.125,3.556	59.738	0.020	0.266	385.200	691.600
<input checked="" type="checkbox"/> 8 (1024x32x1)	62138	1.092,1.602,2.670	40.275	0.021	0.255	662.800	384.000
<input type="checkbox"/> 16 (1024x32x1)	71392	0.957,1.407,2.359	31.228	0.028	0.292	1202.400	243.200

Realisierung benötigte Speicher

Speicher	Taa(TC)	DC Power	AC Power	Area
Stack	2.230 ns	65.529 μ A	0.025 mA/MHz	0.453mm ²
Method Cache	1.291 ns	26.813 μ A	0.019 mA/MHz	0.159mm ²
Garbage Collector	0.995 ns	12.451 μ A	0.010 mA/MHz	0.052mm ²
Microtext	1.484 ns	4.529 μ A	0.004 mA/MHz	0.033mm ²
Summe	2.230 ns	109.322 μ A	0.058 mA/MHz	0.697mm ²

Zusammenfassung

- Kompromiss zwischen hoher Taktrate und niedriger Leistungsaufnahme finden
- gute Optimierungsmöglichkeiten schon bei der Generierung der RAM-Makros vorhanden
- Anpassung der RAM-Makros an die funktionalen Besonderheiten der FPGA-Implementierung
- Noch viel Arbeit im Bereich der Synthese und des Place & Route