Statusvortrag

Optimierung rekonfigurierbarer Architekturen für abgegrenzte Anwendungsbereiche.

Timm Bostelmann

Fachhochschule Wedel

5. April 2017

Gliederung

Motivation

Problemstellung

Bei der Erforschung rekonfigurierbarer Architekturen fällt ein hoher Aufwand für die Entwicklung von Entwurfswerkzeugen an.

Motivation

Problemstellung

Bei der Erforschung rekonfigurierbarer Architekturen fällt ein hoher Aufwand für die Entwicklung von Entwurfswerkzeugen an.

Ziele

- Vergrößerung des mit Werkzeugen abgedeckten Entwurfsraumes
- Ermöglichen einer zielgerichteten Erforschung das Raumes

Motivation

Problemstellung

Bei der Erforschung rekonfigurierbarer Architekturen fällt ein hoher Aufwand für die Entwicklung von Entwurfswerkzeugen an.

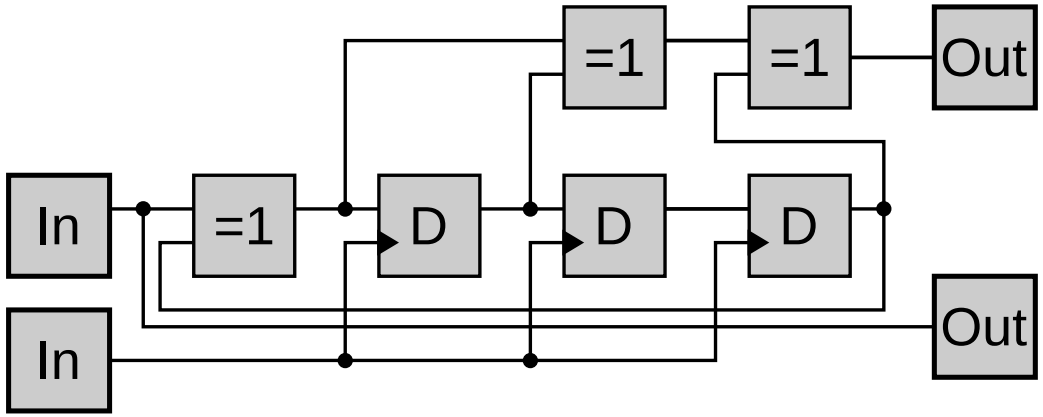
Ziele

- Vergrößerung des mit Werkzeugen abgedeckten Entwurfsraumes
- Ermöglichen einer zielgerichteten Erforschung das Raumes

Lösungsansatz

- Eine flexible Architekturbeschreibung
- Ein grafischer Architektureditor
- Eine schnelle Architekturanalyse für zielgerichtete Optimierung

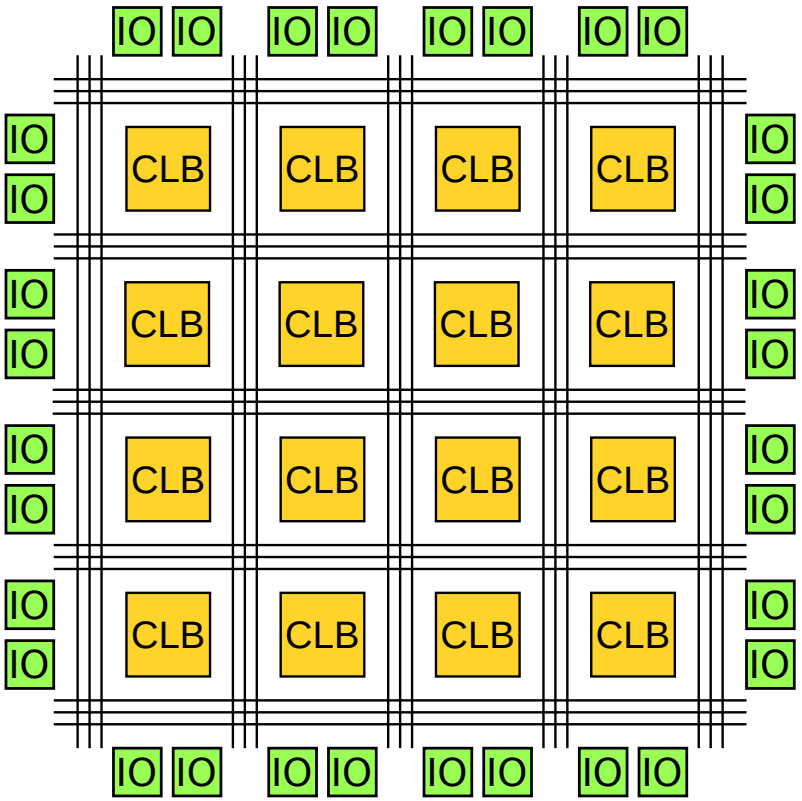
Anwendungsspezifische Schaltkreise



Eigenschaften

- Optimierbar für Geschwindigkeit, Energieeffizienz, geringe Stückkosten
- Hoher Entwicklungsaufwand (Arbeit, Fixkosten, Dauer)

Universelle FPGAs

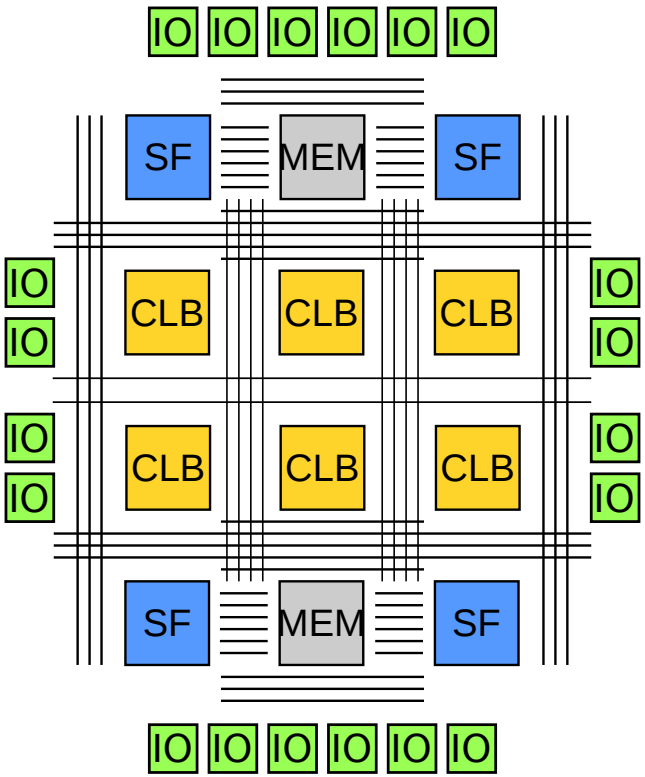


Eigenschaften

- Schnelle Marktreife
- Geringe Entwicklungskosten
- Aktualisierbarkeit
- Mehraufwand für flexible Verbindungselemente (Energiebedarf, Geschwindigkeit, Stückkosten)

Anwendungsbreichsoptimierte rekonfigurierbare Logik

Eintauschen von Flexibilität für Geschwindigkeit, Energieeffizienz oder Flächenkosten.

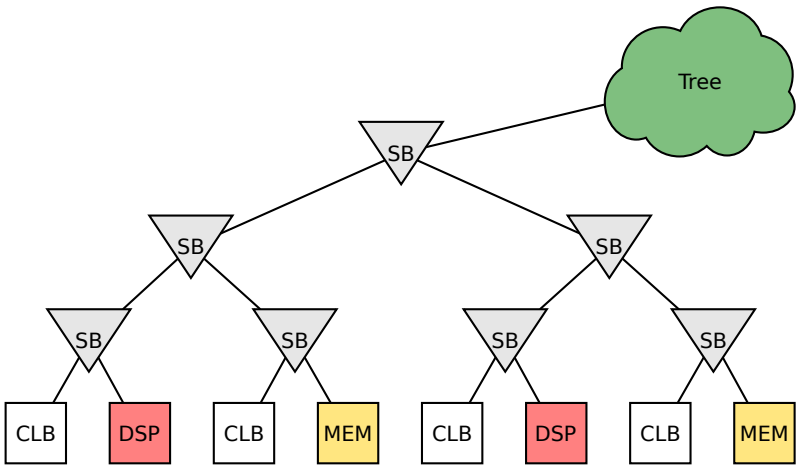


Optimierungspotenzial

- Spezialfunktionen einfügen
- Routing ausdünnen
- Routing ausbauen
- Irreguläre Verdrahtungsstruktur
- Parallele Verdrahtung (CMS)
- Parallele Logik (CMS)

Anwendungsbreichsoptimierte rekonfigurierbare Logik

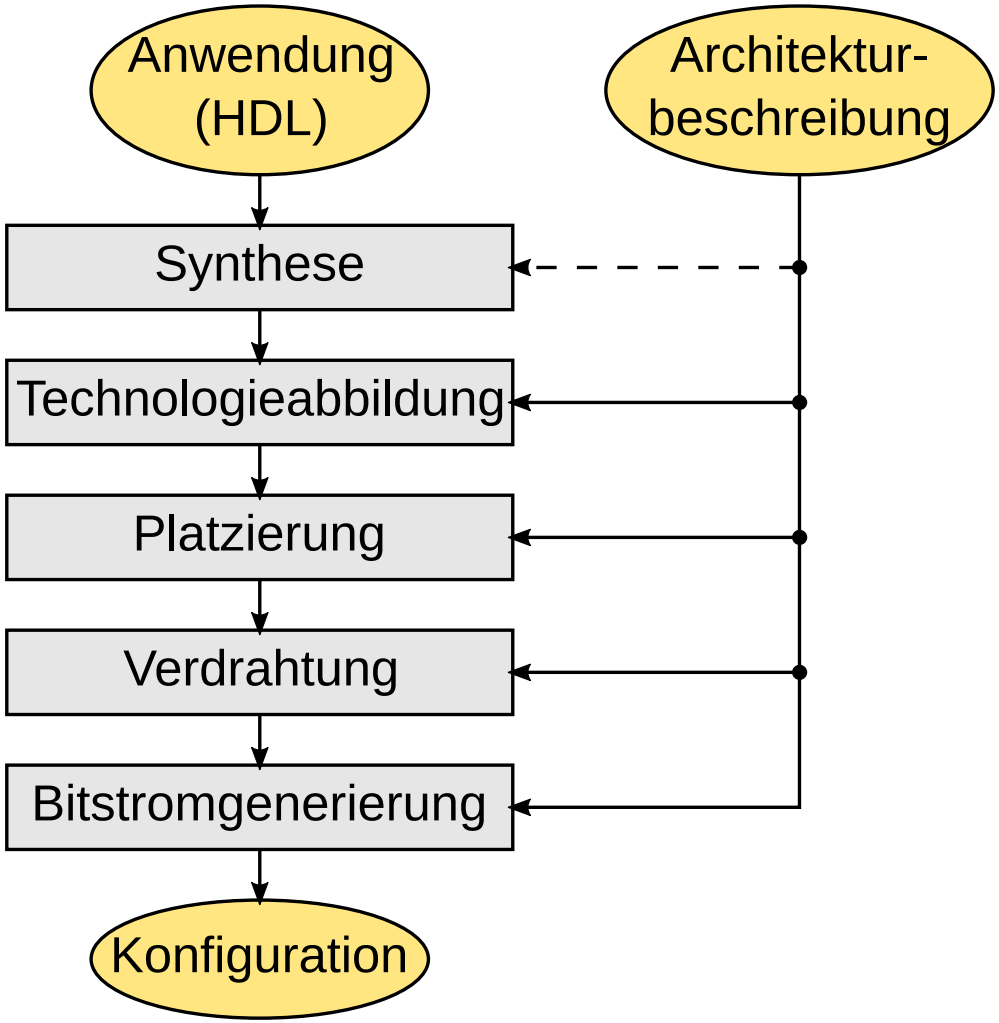
Eintauschen von Flexibilität für Geschwindigkeit, Energieeffizienz oder Flächenkosten.



Optimierungspotenzial

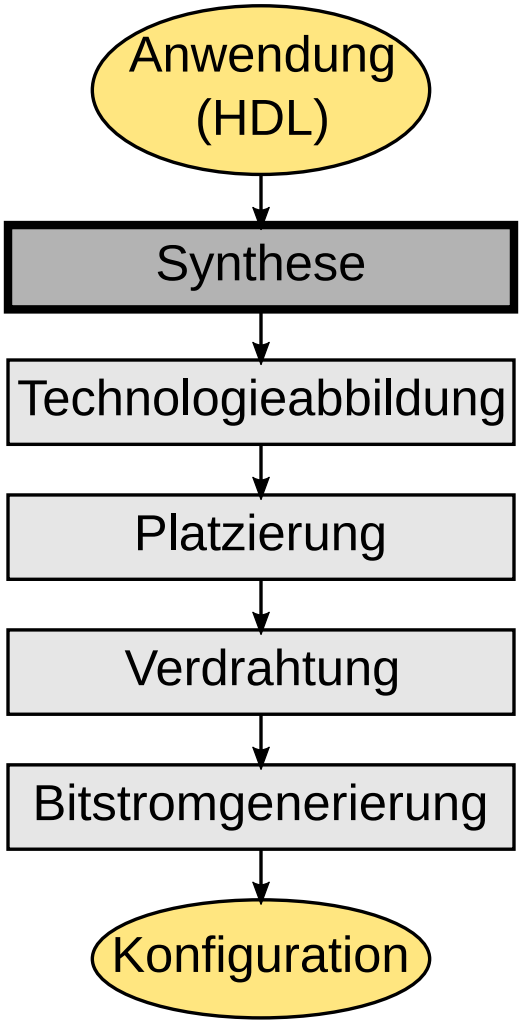
- Spezialfunktionen einfügen
- Routing ausdünnen
- Routing ausbauen
- Irreguläre Verdrahtungsstruktur
- Parallele Verdrahtung (CMS)
- Parallele Logik (CMS)

Entwurfsfluss für rekonfigurierbare Logik



Gliederung

Herausforderungen bei der Synthese



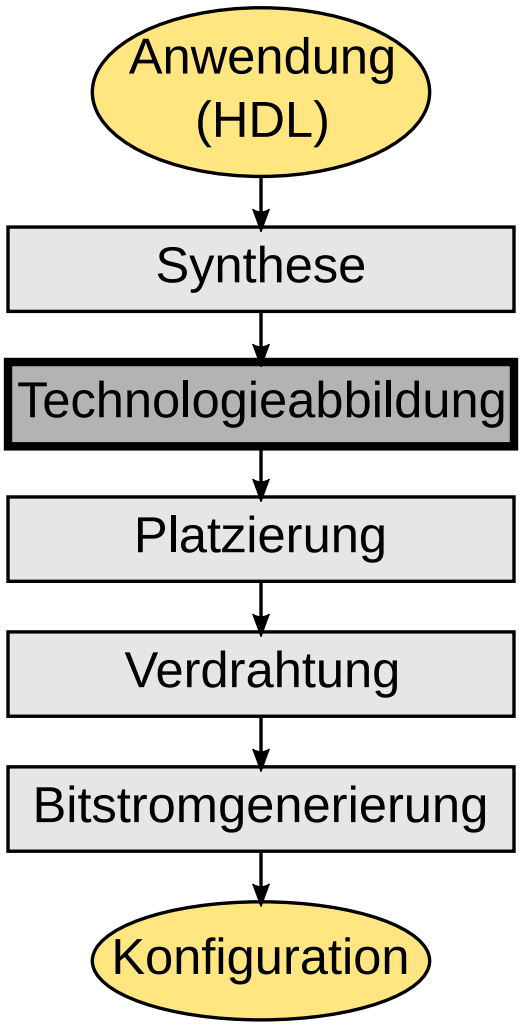
Funktion

Hochsprache $\Longrightarrow$ Netzliste

Herausforderungen

- Verhinderung von Informationsverlust (Hierarchie, Signalzusammengehörigkeit)
- Spezialfunktionen erkennen

Herausforderungen bei der Technologieabbildung



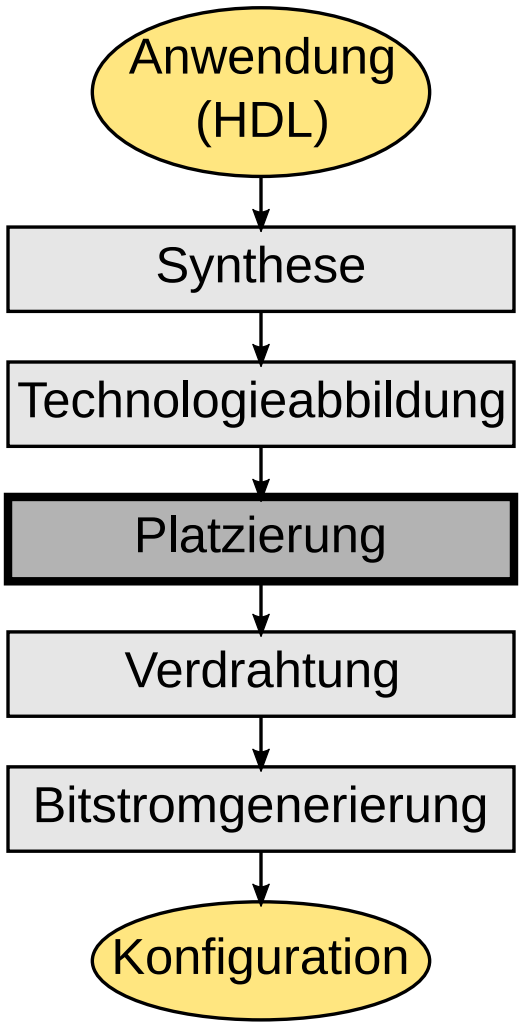
Funktion

Netzliste $\Longrightarrow$ Netzliste

Herausforderungen

- Hohe Flexibilität nötig
- Probleme bei funktionaler Überschneidung von Ressourcen

Herausforderungen bei der Platzierung



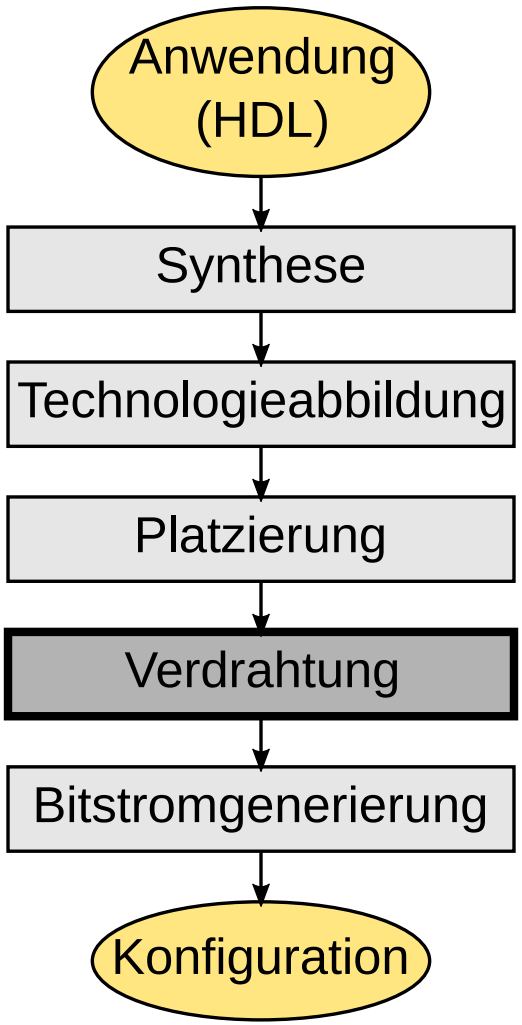
Funktion

Netzliste $\Longrightarrow$ Platzierung

Herausforderungen

- Stark optimierte Algorithmen nicht geeignet
- Probleme, wenn die Verdrahtbarkeit nicht gewährleistet ist
- Mischung aus Grid und Hierarchie problematisch

Herausforderungen bei der Verdrahtung



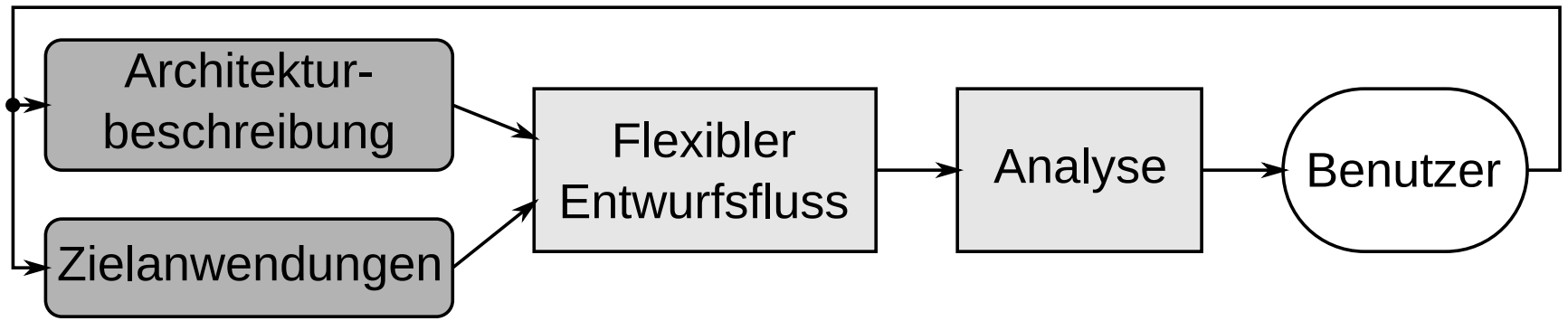
Funktion

Netzliste, Platzierung $\Longrightarrow$ Verdrahtung

Herausforderungen

- Stark optimierte Algorithmen nicht geeignet
- Bei guter Platzierung eher unproblematisch

Herausforderungen bei der Einbindung des Benutzers

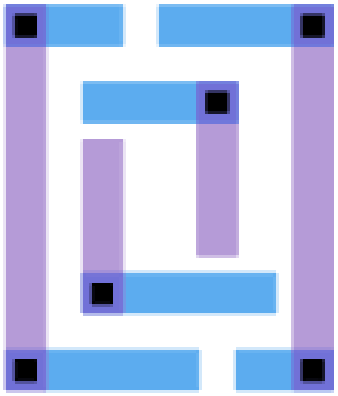


Herausforderungen

- Schnelle Optimierungsschleife nötig
- Kompromiss aus Abstraktion und Flexibilität
- Aussagekräftige Analyse / Statistiken

Gliederung

Qflow – An Open-Source Digital Synthesis Flow



Reichweite

Synthese $\Longrightarrow$ Maskengenerierung

Eigenschaften

- Ausgerichtet auf anwendungsspezifische Schaltkreise
- Keine Unterstützung für rekonfigurierbare Architekturen
- Geeignet um eine optimierte rekonfigurierbare Architektur weiter zu analysieren oder fertigen zu lassen

Rapid Smith – Rapid Creation of FPGA CAD Tools for Xilinx FPGAs

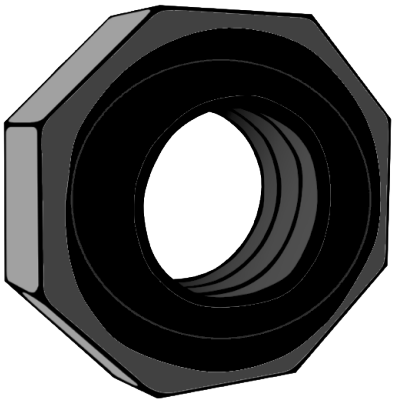
Reichweite

Platzierung $\Longrightarrow$ Bitstromgenerierung

Eigenschaften

- Ausgerichtet auf industrielle FPGAs von Xilinx
- Architekturbeschreibung in der „Xilinx Design Language“ (XDL)

Torc – Tools for Open Reconfigurable Computing



Reichweite

Technologieabbildung $\Longrightarrow$ Bitstromgenerierung

Eigenschaften

- Ausgerichtet auf industrielle FPGAs (insbesondere Xilinx)
- Architekturbeschreibung in der „Xilinx Design Language“ (XDL)

VTR – Verilog-to-Routing

Reichweite

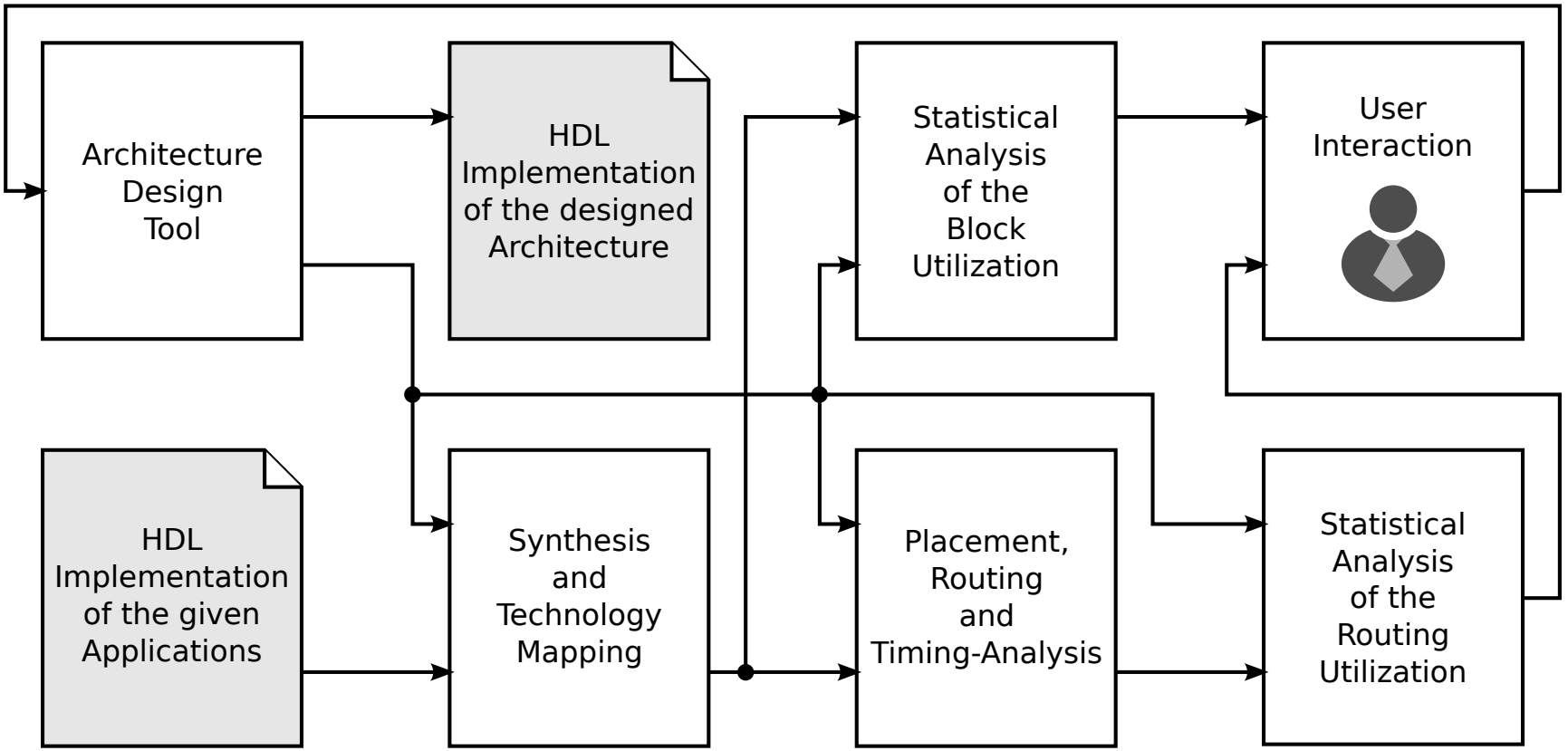
Synthese $\Longrightarrow$ Verdrahtung (Bitstromgenerierung)

Eigenschaften

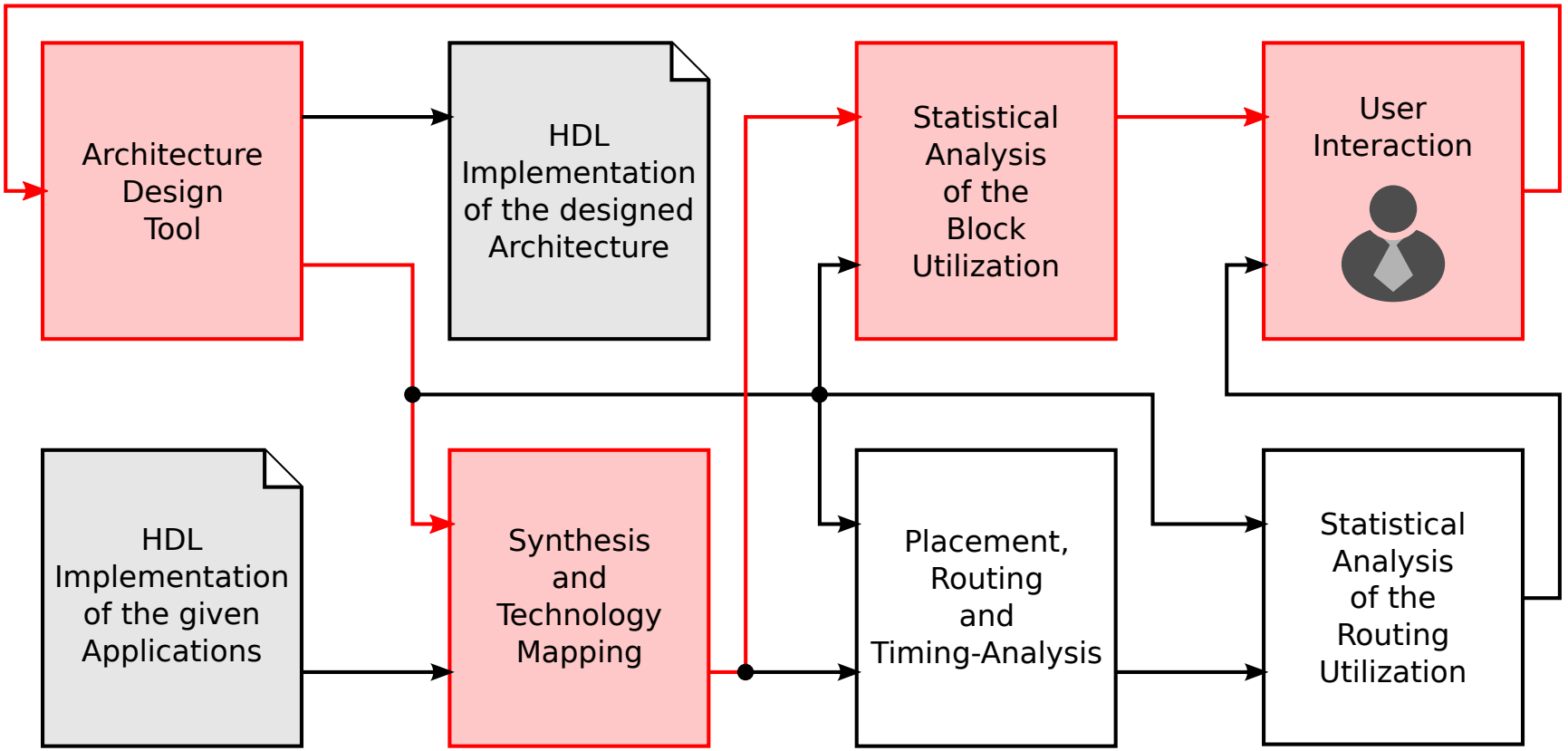
- Ausgerichtet auf gridbasierte FPGAs
- Architekturbeschreibung in eigenem XML-basiertem Format
- Platzierung für hierarchische Logikblöcke problematisch

Gliederung

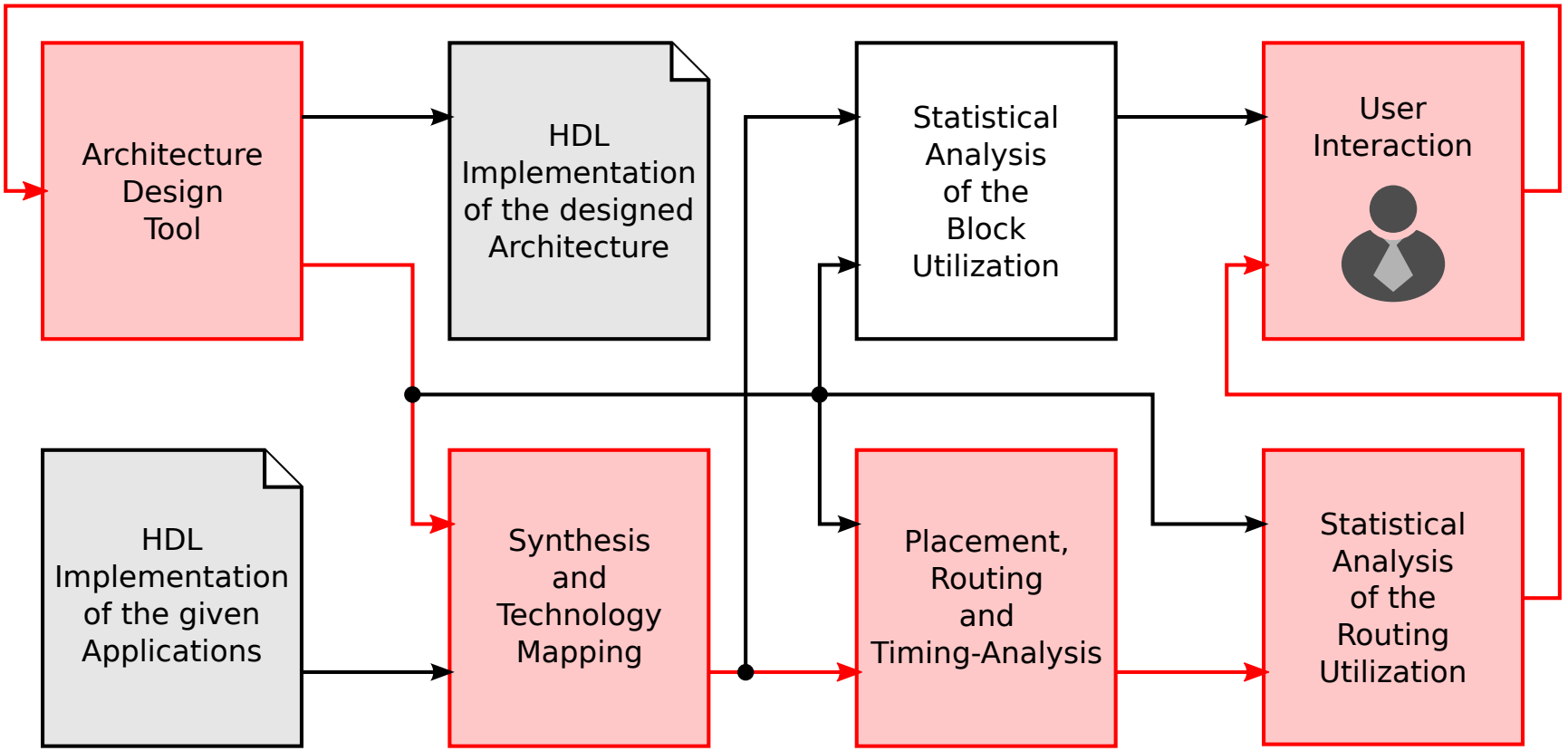
Entwurfsfluss



Schnelle Optimierungsschleife



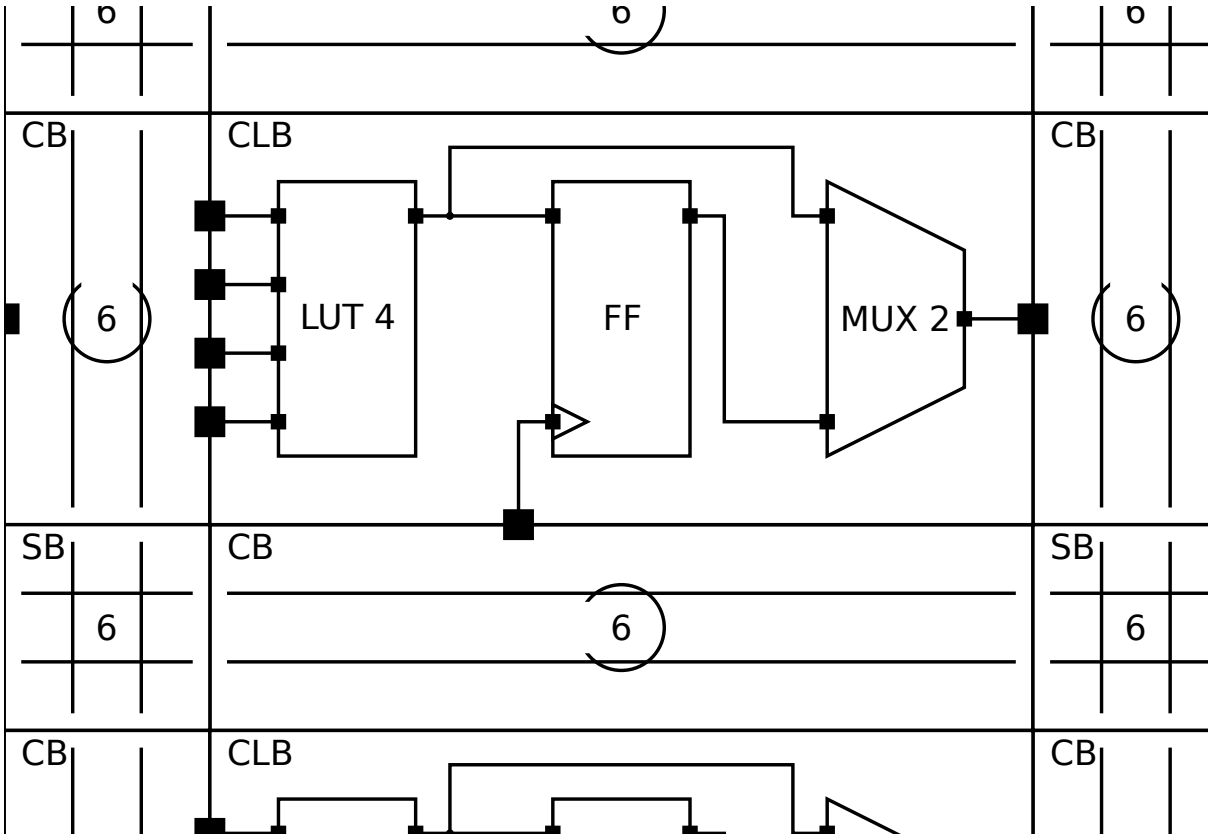
Detaillierte Optimierungsschleife



Beispiel vorgefertigter Funktionsblöcke

Funktion Lookuptable, Flipflop, Speicher, E/A-Puffer

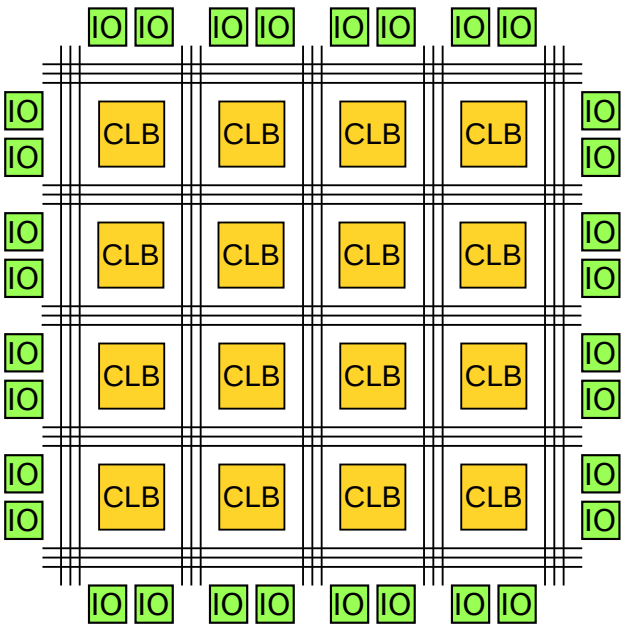
Verbindung Switchbox, Connectionbox, Multiplexer

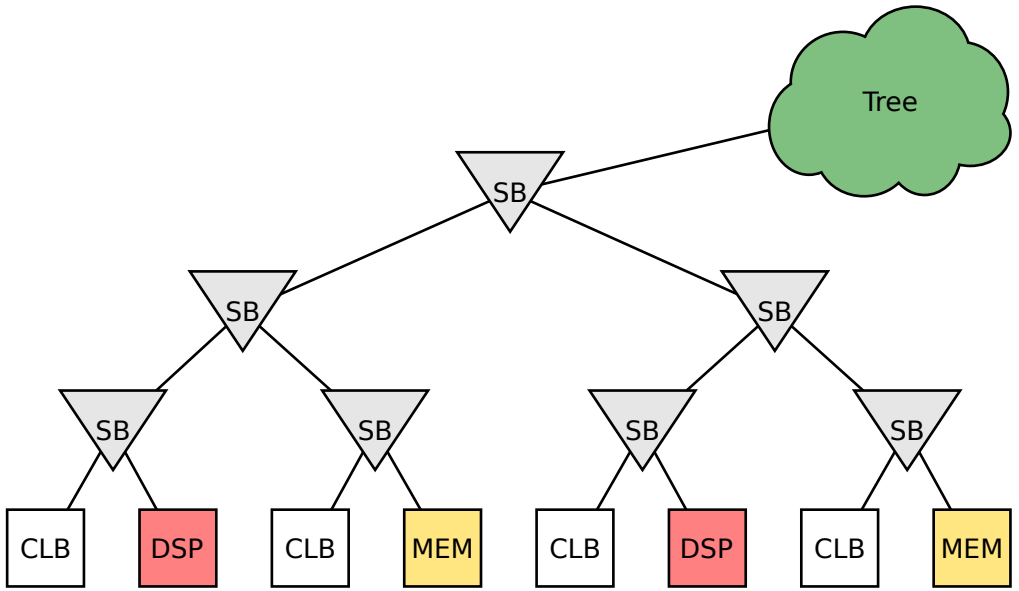


Globaler Architekturaufbau

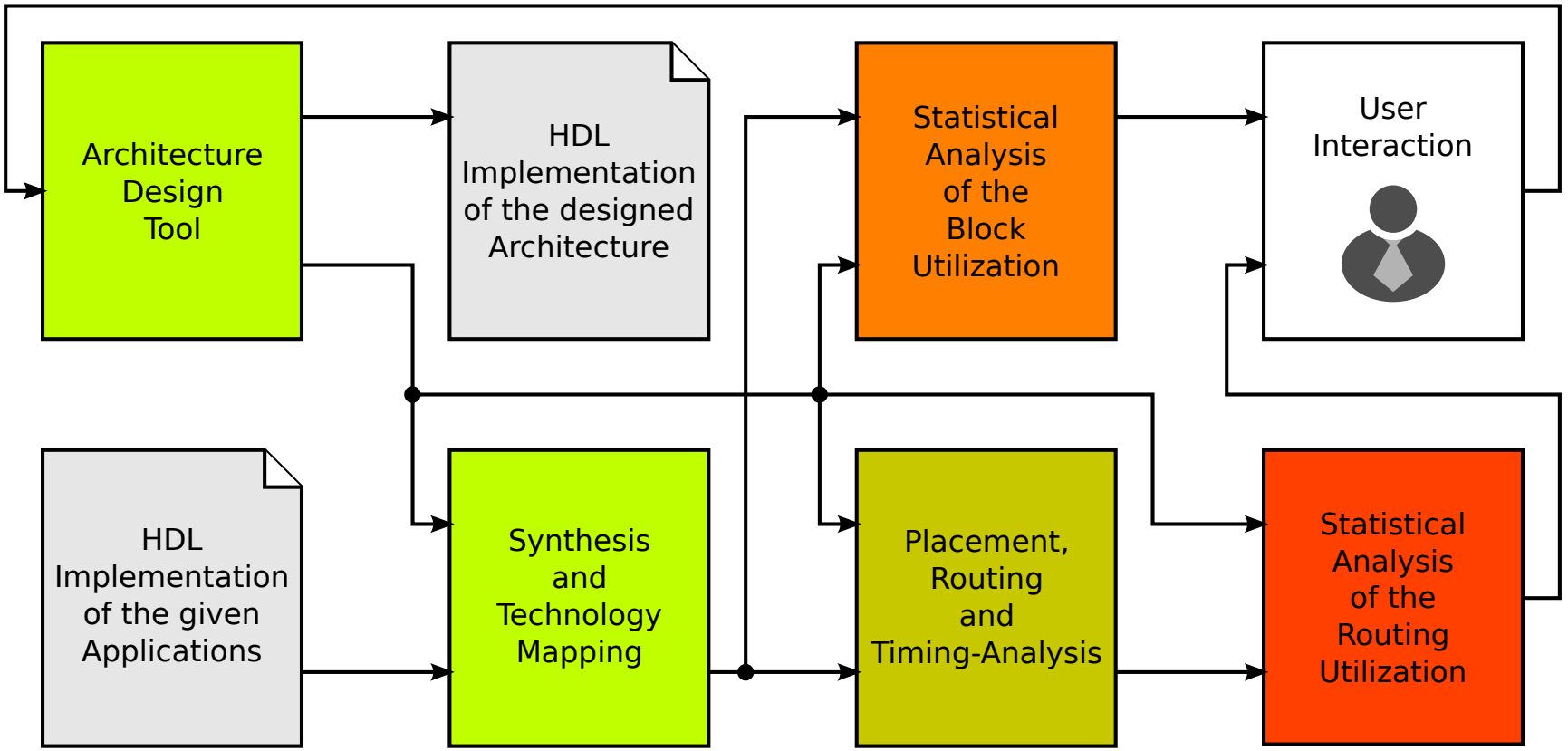
Freiheitsgrade

- Gridbasierter oder hierarchischer Aufbau
- Strukturierte oder freie Verbindungen
- Parallele Datenbusse vorgesehen

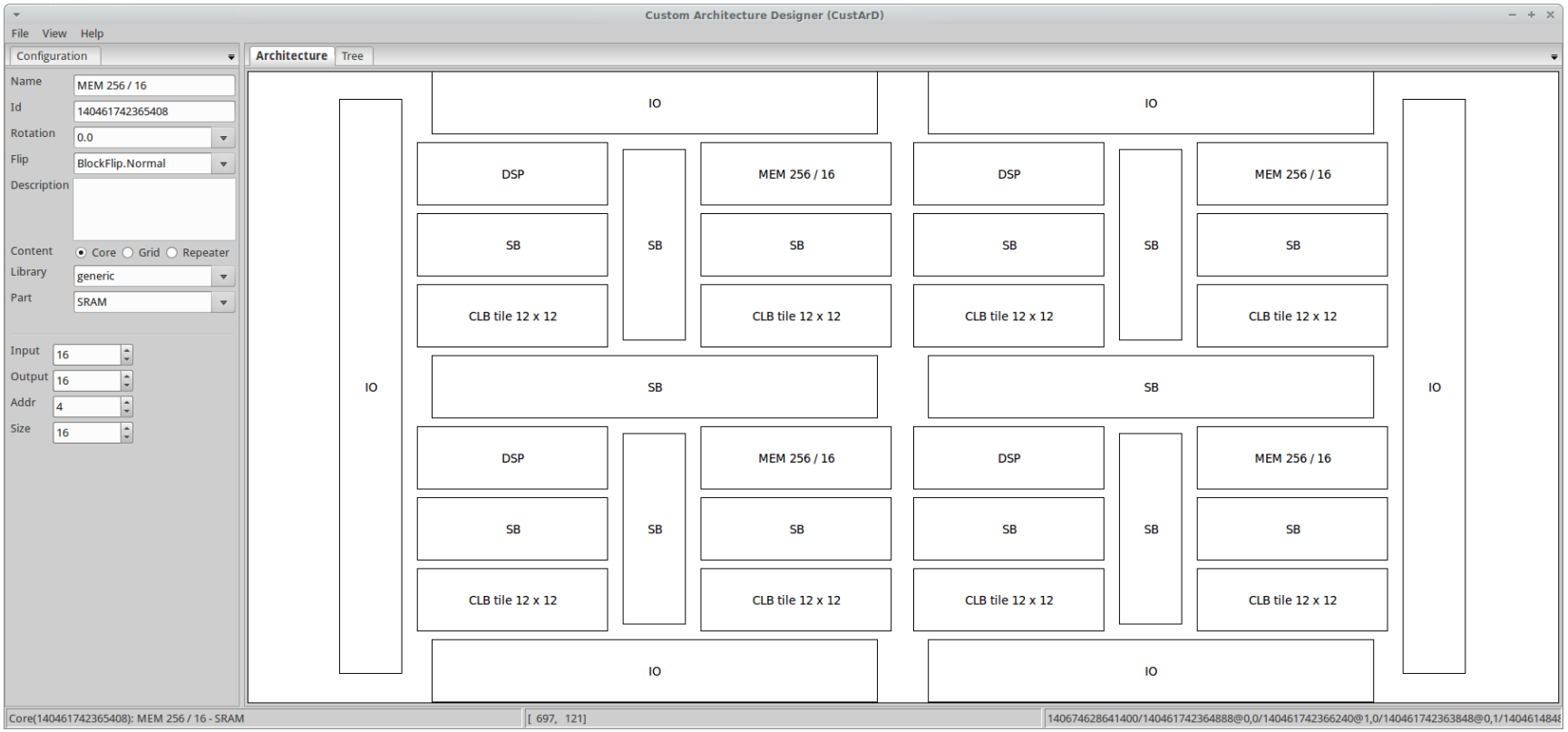




Stand der Umsetzung des Entwurfsflusses

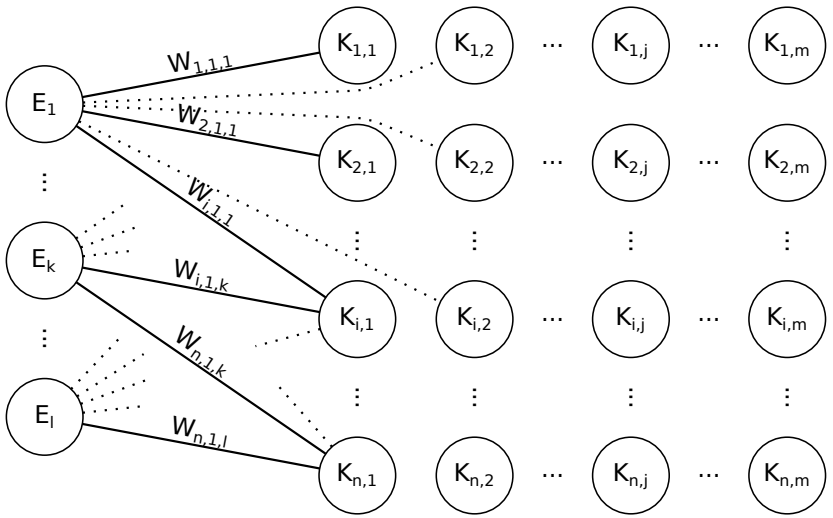


Architektureditor – CustArD



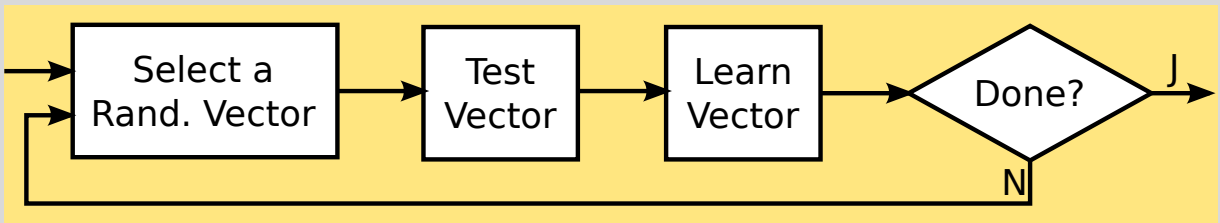
- Erstellung und Veränderung rekonfigurierbarer Architekturen
- Export als synthetisierbarer VHDL-Code
- Synthese, Platzierung und Verdrahtung über offene Schnittstellen, eigene Algorithmen umgesetzt

Platzierung mit selbstorganisierenden Karten



Ablauf der Platzierung

Ablauf des Trainings



Gliederung

Fazit

- Herausforderungen an Entwurfswerkzeuge wurden identifiziert
- Existierende Entwurfswerkzeuge erfüllen diese Herausforderungen nicht vollständig
- Eine grafische Architektureingabe ermöglicht schnelle Änderungen im Einsatz für Forschung und Lehre
- Eine schnelle und eine detaillierte Optimierungsschleife ermöglichen eine gezielte Architekturoptimierung
- Kein Konkurrenzprojekt zu VTR, sondern Ergänzung

Fazit

- Herausforderungen an Entwurfswerkzeuge wurden identifiziert
- Existierende Entwurfswerkzeuge erfüllen diese Herausforderungen nicht vollständig
- Eine grafische Architektureingabe ermöglicht schnelle Änderungen im Einsatz für Forschung und Lehre
- Eine schnelle und eine detaillierte Optimierungsschleife ermöglichen eine gezielte Architekturoptimierung
- Kein Konkurrenzprojekt zu VTR, sondern Ergänzung

Ausblick

- Fertigstellung der statistischen Auswertung
- Untersuchung unterschiedlicher Ansätze für die Platzierung
- Entwurf und Untersuchung optimierter Architekturen

SysMea17v10n12 T. Bostelmann, P. Kewisch, L. Bublies and S. Sawitzki. Improving FPGA-Placement with a Self-Organizing Map Accelerated by GPU-Computing. Invited Journal, Submitted

CENICS 2016 T. Bostelmann and S. Sawitzki. Improving the performance of a SOM-based FPGA-placement-algorithm using SIMD-hardware.

DASS 2016 T. Bostelmann and S. Sawitzki. Ein Entwurfsfluss für die geführte Optimierung rekonfigurierbarer Architekturen.

Austrochip 2015 T. Bostelmann and S. Sawitzki. A heterogeneous architecture template for application domain specific reconfigurable logic. IEEE

FPL 2015 T. Bostelmann and S. Sawitzki. Towards a guided design flow for heterogeneous reconfigurable architectures. IEEE

ReConFig 2014 T. Bostelmann and S. Sawitzki. A conceptual toolchain for an application domain specific reconfigurable logic architecture. IEEE

ReConFig 2013 T. Bostelmann and S. Sawitzki. Improving FPGA placement with a self-organizing map. IEEE

DASS 2013 T. Bostelmann and S. Sawitzki. Einsetzbarkeit selbstorganisierender Karten für die Platzierung von Netzlisten.

DASS 2011 T. Bostelmann and S. Sawitzki. Automatische und teilautomatische Generierung anwendungsspezifischer Beschleunigungshardware aus der Softwarebeschreibung.

SysMea17v10n12 T. Bostelmann, P. Kewisch, L. Bublies and S. Sawitzki. Improving FPGA-Placement with a Self-Organizing Map Accelerated by GPU-Computing. Invited Journal, Submitted

CENICS 2016 T. Bostelmann and S. Sawitzki. Improving the performance of a SOM-based FPGA-placement-algorithm using SIMD-hardware.

DASS 2016 T. Bostelmann and S. Sawitzki. Ein Entwurfsfluss für die geführte Optimierung rekonfigurierbarer Architekturen.

Austrochip 2015 T. Bostelmann and S. Sawitzki. A heterogeneous architecture template for application domain specific reconfigurable logic. IEEE

FPL 2015 T. Bostelmann and S. Sawitzki. Towards a guided design flow for heterogeneous reconfigurable architectures. IEEE

ReConFig 2014 T. Bostelmann and S. Sawitzki. A conceptual toolchain for an application domain specific reconfigurable logic architecture. IEEE

ReConFig 2013 T. Bostelmann and S. Sawitzki. Improving FPGA placement with a self-organizing map. IEEE

DASS 2013 T. Bostelmann and S. Sawitzki. Einsetzbarkeit selbstorganisierender Karten für die Platzierung von Netzlisten.

DASS 2011 T. Bostelmann and S. Sawitzki. Automatische und teilautomatische Generierung anwendungsspezifischer Beschleunigungshardware aus der Softwarebeschreibung.

Vielen Dank für Ihre Aufmerksamkeit!