



ERWEITERUNG EINES MIPSFPGA-SYSTEMS UM EINE SCHNITTSTELLE ZUR DYNAMISCHEN PROGRAMMIERUNG EINES PARTIELL REKONFIGURIERBAREN CHIP-BEREICHES

Verteidigung Diplomarbeit

Roman Guskov
roman.guskov@tu-dresden.de

Dresden, 25. April 2017

- 1 Motivation
- 2 MIPSfpga-Projekt
- 3 Entwurf
- 4 Implementierung
- 5 Zusammenfassung und Ausblick

01 Motivation

- Erweiterung einer MIPSfpga-Plattform um partiellen Rekonfiguration
- Entwicklung eines Coprozessors zur partiellen Rekonfiguration und von rekonfigurierbaren Demonstrationsmodule
- Integration des implementiertes Moduls in einem SoC
- Test des Systems in einem SoC

02 MIPSfpga-Projekt

Überblick auf MIPSfpga

- Das MIPSfpga-Projekt startete im Jahr 2015
- microAptiv Prozessorkern wird als RTL-Design zur Verfügung gestellt
- Weiterentwicklung des Prozessorkerns M14K
- Leistungsfähigkeit Dhrystone von 1.57 DMIPS/MHz oder 3.09 CoreMarks /MHz [17e]
- kleinster und stromsparendster PU-Kern von Imaginations Technologies
- Einsatzbereiche: Mikrocontroller, Automotive, industrielle Controller, Signalverarbeitung, Low Power/Wireless Applications
- Max. Frequenz bis 500 MHz (auf dem FPGA 66MHz)
- Produkte auf dem Markt
 - Mikrocontroller PIC32M von Microchip
 - ARTIK 1 IoT Plattform von Samsung



[17e]

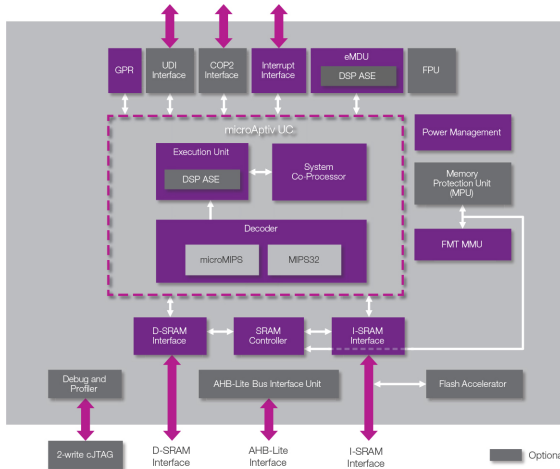


[17f]



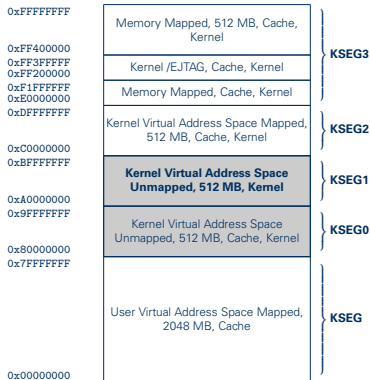
02 MIPSfpga-Projekt

Blockdiagramm des microAptiv Kerns



02 MIPSfpga-Projekt

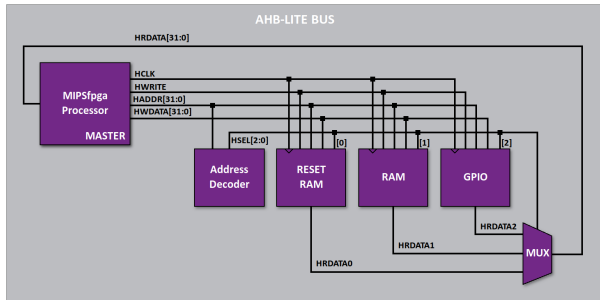
Speicherorganisation



- Virtueller 32-Bit Adressraum (0x00000000 – 0xFFFFFFFF)
- Zwei Mechanismen
 - Translation Lookaside Buffer (TLB)
 - Fixed Mapping Translation (FMT)
- kseg1 wird in TLB übersetzt
- kseg0 und kseg1 werden auf physikalischen Segment ab 0x0 abgebildet
- Beim Reset des Prozessors wird in den Supervisor-Modus umgeschaltet und an der festen Adresse 0xBFC00000 gespeicherte Befehl ausgeführt

02 MIPSfpga-Projekt

Eigenschaften des AHB-Lite Bus Systems



- Die AHB-Lite Schnittstelle ist ein Teil des AHB-Bus-Protokolls und unterstützt nur einen einzigen Schnittstellen-Master
- Gemeinsame 32-Bit Lesen/Schreiben-Adressierung
- Zwei unidirektionale 32-Bit-Data-Schnittstellen fürs Lesen und Schreiben
- Burst-Modus - spezieller Übertragungsmodus zur Beschleunigung von Lese- oder Schreibvorgängen

02 MIPSfpga-Projekt

Einrichten des AHB-Lite Bus Systems

- Jedem Block wird eine Basis Adresse zugewiesen
- Die Größe des Speichers ist als Potenz 2^n in Wörtern definiert
- Default 128 KB für Reset RAM und 256 KB für RAM
 - $128\text{KB} = 2^{17}\text{Bytes} = 2^{15}\text{Words}$
 - $256\text{KB} = 2^{18}\text{Bytes} = 2^{16}\text{Words}$
- Address-Decoder benutzt nur 7 Bits einer Adresse (HADRR[28:22]) - sog. Maske.

Block	Virtuelle Adresse	Physikalische Adresse	Maske
RESET RAM	0xBF000000	0x1FC00000	7'h7F
RAM	0xA0000000	0x00000000	7'h00
GPIO	0xBF800000	0x1F800000	7'h7E

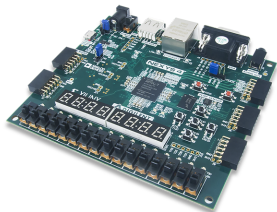
02 MIPSfpga-Projekt

Ressourcenverbrauch vorhandener Portierungen



DE2-115 mit Altera Cyclone IV [17c]

Charakteristik	Ressourcenverbrauch
Logic elements	15,296/114,480 (13%)
Combinational functions	13,806/114,480 (12%)
Dedicated logic registers	7,394/114,480 (6%)
Registers	7425
Memory bits	95,872/3,981,312 (2,5%)



Nexus-4 DDR mit Artix 7 [17h]

Logic Utilization	Used	Available	Utilization
Slice LUTs	9,204	53,200	17,30%
LUTRAM	9	17,400	0,05%
FF	7502	106,400	7,05%
Block RAM/FIFO	1750	140	12,5%
IO	31	200	15,50%
BUFG	3	32	9,38%

02 MIPSfpga-Projekt

Portierung auf anderen Boards

Board	DE0-Nano	DE0-CV	DE1-SoC
FPGA	EP4CE22	5CEBA4F23	5CSEMA5F31
Familie	Cyclone IV	Cyclone V	Cyclone V SoC
LE	22 000	49 000	85 000
Memory, KB	594	3080	4450
Verbrauch	69%	39%	23%

Tabelle: Portierung auf Boards mit FPGA Intel Altera

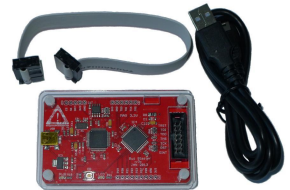
Board	Basys 3	ZedBoard	VC707
FPGA	XC7A35T-1CPG236C	XC7Z020-CLG484	XC7VX485T-2FFG1761C
Familie	Artix 7	Zynq-7000	Virtex-7
Logic Cells	33,280	85,000	485,760
DSP Slices	90	220	2,800
Memory, KB	1,800	4,900	37,080
Verbrauch	45%	17%	3%

Tabelle: Portierung auf Boards mit FPGA Xilinx

02 MIPSfpga-Projekt

Software

- Compiler: Codescape GNU Tools (auch Alternativen verfügbar)
- Ein Programm *.ELF
 - boot.S - Boot-Sequenz
 - main.c - das Benutzerprogramm
 - program.ld - Linker Script
- Kleine Version der Boot-Sequenz.
 - Für Mikrocontroller PIC32M
 - Vorteil: Größe nur 1 Kilobyte
- Das Programm auf dem FPGA starten
 - Mit Board BusBlaster und OpenOCD [17k] über JTAG
 - Nachteil: stabile Arbeit nur unter Windows



BusBlaster [17b]

02 MIPSfpga-Projekt

Alternativen für Bus Blaster

- Das Programm zusammen mit dem Design synthetisieren
- Systemmonitor *nmon* von Bootloader **Barebox** [17a]
 - Vorteile
 - Größe nur 1.2 KByte
 - Kommunikation über UART (pmod USB-to-UART)
 - Nachteil
 - Besitzt nur grundlegende Funktionalität
- Eigenes Debug Board erstellen
 - Auf Basis des Pinboard II [17d] Board mit dem microchip FT232 von FTDI [17g]
 - Voraussetzung: Unterstützung von MPSSE (Multi-Protocol Synchronous Serial Engine) (FT232H, FT2232H, FT4232H, FT2232D)
 - Software: Codescape GNU Tools und OpenOCD über EJTAG

02 MIPSfpga-Projekt

Hardware Bootloader

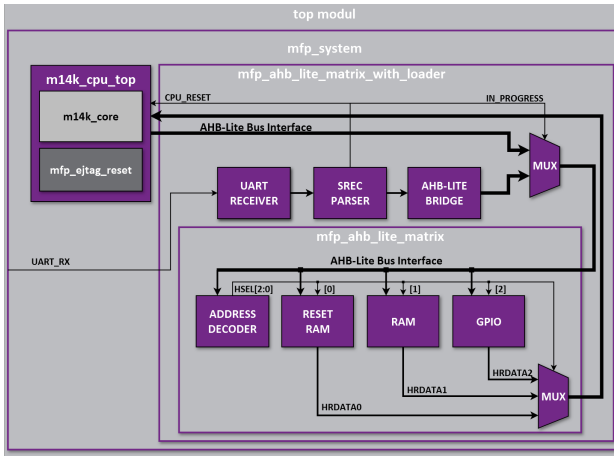
- Implementierung des Datenempfanges, Parsen und Speichern im RAM
- Basiert auf dem Text Format (Motorola SRecord)
- Konvertierung eines Programms in das Textformat *.rec mithilfe Utility *objcopy* aus der Codescape MIPS Toolchain
- `Programm.rec` wird mit Befehl `cat` (in Windows `type`) über UART gesendet
- Vorteile
 - Keine externe Software notwendig
 - Unabhängigkeit von Plattform und Betriebssystem
 - sehr schneller und einfacher Programmaustausch auf dem FPGA
- Nachteile
 - Kein Rückmeldung

S111003848656C6C6F20776F726C642E0A0042

Beispiel eins S-Records

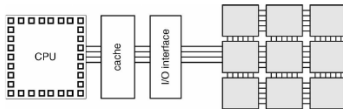
02 MIPSfpga-Projekt

Blockdiagramm des Hardware Bootloaders

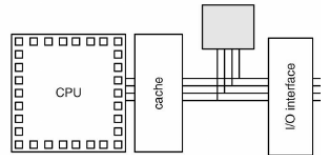


03 Entwurf

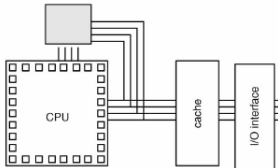
Die Darstellung möglicher Architekturkonzepte



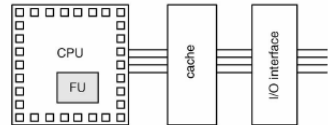
a) stand-alone processing unit
[Sco2]



b) Attached processing unit [Sco2]



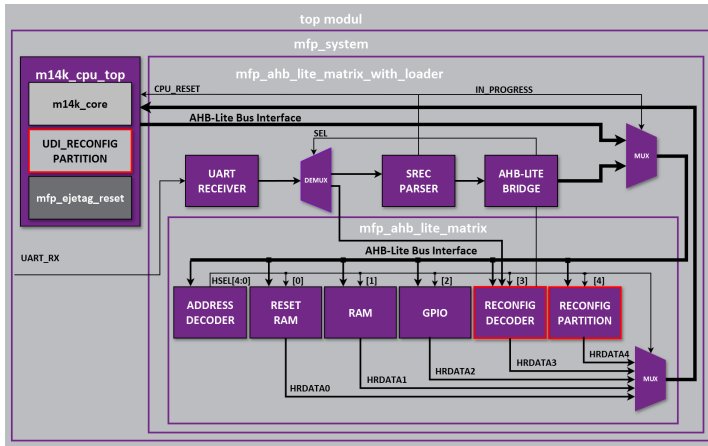
c) Co-processor [Sco2]



d) Reconfigurable functional unit
[Sco2]

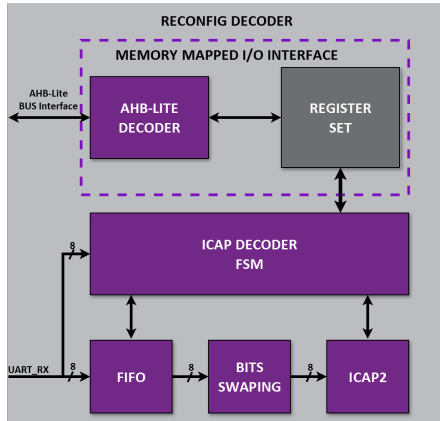
03 Entwurf

Blockdiagramm des Rekonfiguration-Decoders und RM



04 Implementierung

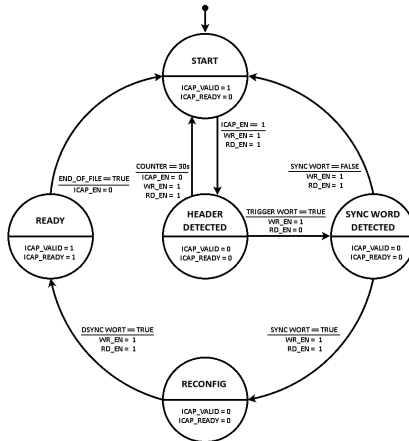
Blockdiagramm des Rekonfiguration-Decoders



- Grundkomponente ist ICAP
- Steuerung und Monitoring erfolgt über MMIO
- Registersatz: 7 Register
- Adressen: 0xBF00000 - 0xBF0001C (Offset 4 Bits)
- Busbreite 8 Bits
 - Vereinfacht das Design
 - Datenangleichung nicht erforderlich
- FIFO wird nur für Header der Konfigurationsdatei benutzt

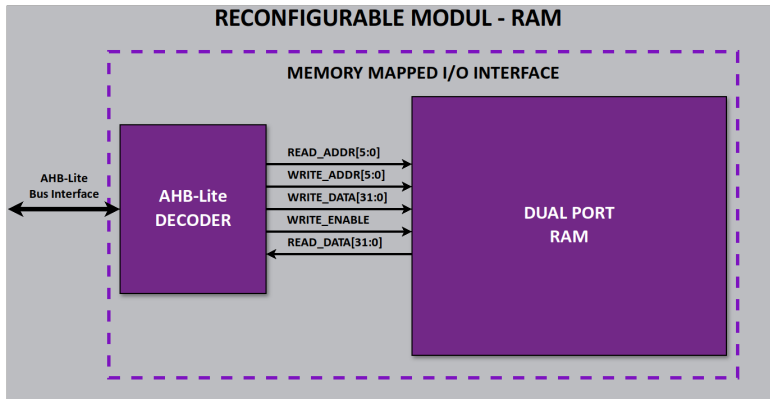
04 Implementierung

FSM des Rekonfiguration-Decoders



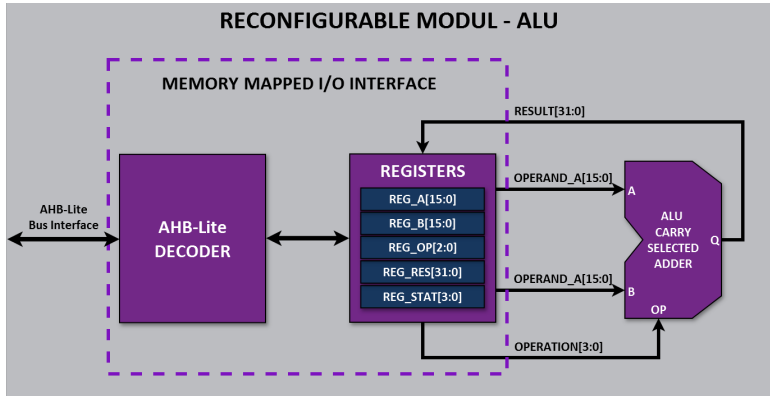
04 Implementierung

Blockdiagramm des reconfigurablen Modul - RAMs



04 Implementierung

Blockdiagramm der reconfigurablen Moduls - ALU



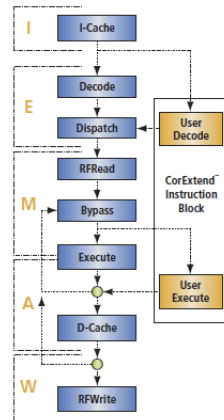
04 Implementierung

Eigenschaften des UDI-Moduls

- Ziel: Erweiterung des Befehlssatzes des Kerns
- Das Modul wird eng mit dem Kern verbunden
- Ausführung der UDI-Befehle stoppten Pipeline nicht
- UDI-Modul kann GPR Register benutzen
- Einsatzbereiche: Kryptografische Algorithmen, DSP-Beschleunigung
- Befehlsformat: Untermenge von **special2**



- Maximal: 16 - UDI-Befehle



04 Implementierung

Implementierung des UDI-Moduls

- Spektrale Leistungsdichte: $P(t) = a^2(t) + b^2(t)$
- $a(t)$ und $b(t)$ sind realer und imaginärer Teil einer komplexen Zahl
- Nutzung: Signaldetektierung
- Alle Befehle (außer UDI3) speichern Ergebnis in GPR
 - Rd: Registeradresse fürs Ergebnis

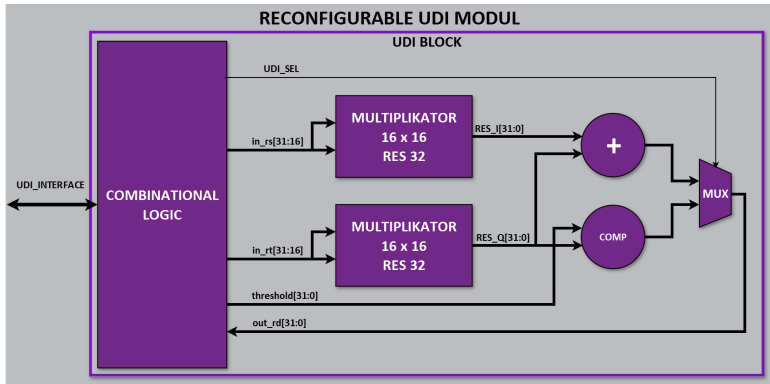
31	26 25	21 20	16 15	12 11	6 5	0
Major opcode 011100	Rs	Rt	Rd	reserved	Funktion Field 01xxxx	

- 6 neue Befehle hinzugefügt

Befehlsname	Syntax	Bedeutung	Funktion Feld
UDI0	udi0 \$d, \$s, \$t	$\$d = \$s[31:16]^2 + \$t[31:16]^2$	6'b010000
UDI1	udi1 \$d, \$s, \$t	$\$d = \$s[31:16]^2 + \$t[31:16]^2 >> 1$	6'b010001
UDI2	udi2 \$d, \$s	$\$d = \$s[31:16]^2$	6'b010010
UDI3	udi3 \$s	stored_threshold = \$s	6'b010011
UDI4	udi4 \$d, \$s, \$t	$\$d = ((\$s[31:16]^2 + \$t[31:16]^2) > \text{stored_threshold}) ? 1 : 0$	6'b010100
UDI5	udi5 \$d, \$s, \$t	$\$d = (((\$s[31:16]^2 + \$t[31:16]^2) >> 1) > \text{stored_threshold}) ? 1 : 0$	6'b010101
UDI5	udi5 \$d, \$s	$\$d = (\$s[31:16]^2 > \text{stored_threshold}) ? 1 : 0$	6'b010110

04 Implementierung

Blockdiagramm des reconfigurablen UDI-Moduls



05 Zusammenfassung und Ausblick

Zusammenfassung

- Untersuchung von Konzepten zur Einbindung dynamisch rekonfigurierbarer Funktionseinheiten in MIPSfpga-Architektur
- Realisierung eines Demonstrationssystems mit entsprechender Befehlssatzerweiterung
- Funktionsnachweis im praktischen Test auf dem FPGA-Board

Ausblick

- Bandbreite ICAP maximieren
- Integration DDR, SDRAM in Design
- PRC (Partial Reconfiguration Controller) statt ICAP
- Neben dem UDI-Modul auch COP2- und Scratchpad RAM-Modul

Literaturüberblick

2013	David Harris	<i>Digital Design and Computer Architecture</i>
2006	Stuart Sutherland	<i>SystemVerilog for Design Second Edition: A Guide to Using SystemVerilog for Hardware Design and Modeling</i>
2010	Spear	<i>SystemVerilog for Verification: A Guide to Learning the Testbench Language Features</i>
2008	Kilts	<i>Advanced FPGA Design: Architecture, Implementation, and Optimization</i>
2006	Sweetman	<i>See MIPS Run, Second Edition</i>
2008	Scott Hauck	<i>Reconfigurable computing: the theory and practice of FPGA-based computation</i>
2005	Todman	<i>Reconfigurable computing: architectures and design methods</i>
2002	Koch	<i>Architectures and Tools for Heterogeneous Reconfigurable Systems</i>

Quellen I



AMBA 3 AHB-Lite Protocol Specification. 2008. URL: <http://infocenter.arm.com/help/topic/com.arm.doc.ih10033a/index.html>.



BareBox. 2017. URL: <http://www.barebox.org/>.



BusBlaster Board. 2017. URL: <https://community.imgtec.com/developers/mips/tools/mips-debug-and-trace-probes/bus-blaster/>.



DE2-115. 2017. URL: <https://market.cizgi.com.tr/product/education/altera-de2-115-academic>.



Debugboard Pinboard II. 2017. URL: <http://shop.easyelectronics.ru/index.php?categoryID=102>.

Quellen II



Imaginations technologies. 2017. URL:
<https://www.imgtec.com/> (besucht am 10.04.2017).



MicroChip. 2017. URL: www.microchip.com/.



microChip FT2232. 2017. URL:
<http://www.ftdichip.com/Products/ICs.htm>.



Nexus4-DDR. 2017. URL:
<https://reference.digilentinc.com/reference/programmable-logic/nexys-4-ddr/start>.



Partial Reconfiguration User Guide (UG909). 2017. URL:
https://www.xilinx.com/support/documentation/sw_manuals/xilinx2016_4/ug909-vivado-partial-reconfiguration.pdf.



Samsung. 2017. URL: www.samsung.com.

Quellen III



Software OpenOCD. 2017. URL: <http://openocd.org/>.



Sarah Harris David Harris. *Digital Design and Computer Architecture*. 2nd Edition. Morgan Kaufmann, 2013.



Steve Kilts. *Advanced FPGA Design: Architecture, Implementation, and Optimization*. 1st Edition. Wiley-IEEE Press, 2008.



Andreas Koch. *Architectures and Tools for Heterogeneous Reconfigurable Systems*. Proceedings of the IEEE Workshop on Heterogeneous Reconfigurable Systems-on-Chip, 2002.



Katherine Compton und Scott Hauck. "Reconfigurable computing: a survey of systems and software". In: (2002).

Quellen IV



André DeHon Scott Hauck. *Reconfigurable computing: the theory and practice of FPGA-based computation*. 1st Edition. Computational Intelligence. Morgan Kaufmann, 2008. ISBN: 9783322868398.



Chris Spear. *SystemVerilog for Verification: A Guide to Learning the Testbench Language Features*. 1st Edition. Springer, 2010.



Peter Flake und P. Moorby Stuart Sutherland
Simon Davidmann. *SystemVerilog for Design Second Edition: A Guide to Using SystemVerilog for Hardware Design and Modeling*. 1st Edition. Springer, 2006.



Dominic Sweetman. *See MIPS Run, Second Edition*. 2nd Edition. Morgan Kaufmann, 2006.

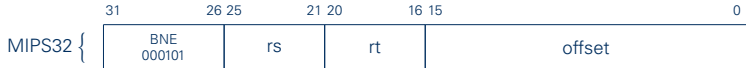
Quellen V



T. J. Todman. *Reconfigurable computing: architectures and design methods*. IEEE Proceedings Computers und Digital Techniques, 2005.

Beispiel MIPS32 und microMIPS

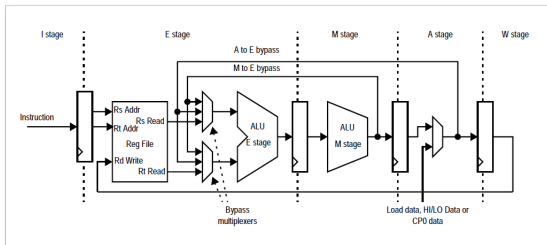
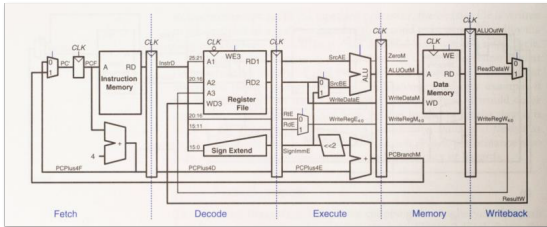
MIPS32: Bedingte Anweisung, falls der Wert von rs nicht gleich dem Wert rt, wenn rt enthält die Adresse des Registers 0 (Da ist immer 0).



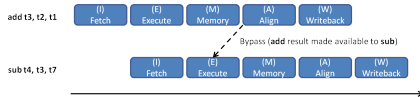
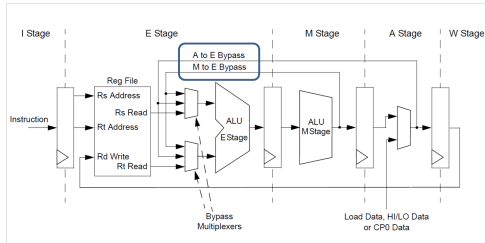
microMIPS: Bedingte Anweisung, falls der Wert von rs nicht gleich 0 ist.



Pipeline des microActiv Kerns

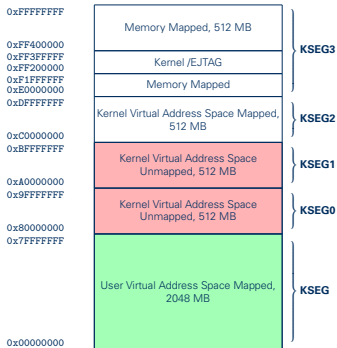


Bypass-Mechanismus des microActiv Kerns

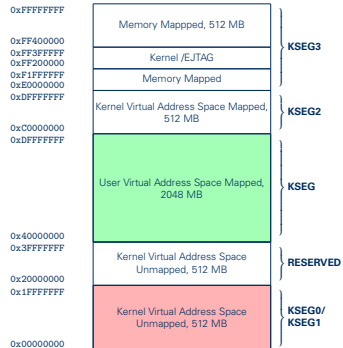


Fixed Mapping Translation (FMT)

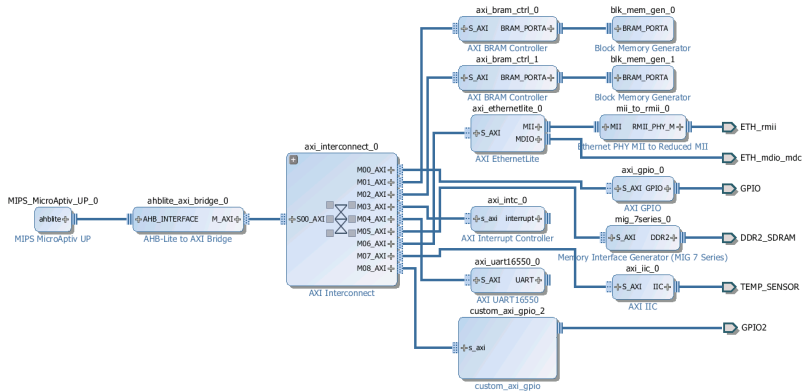
Virtueller Adressraum



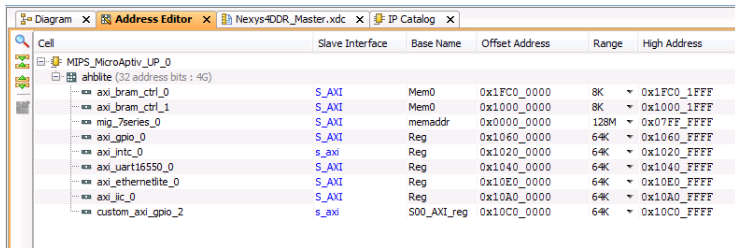
Physikalischer Adressraum



MicroAptiv Kern Integration auf Xilinx FPGA

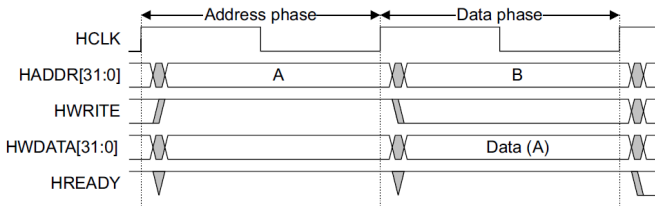


microAptiv Integration und Adressierung

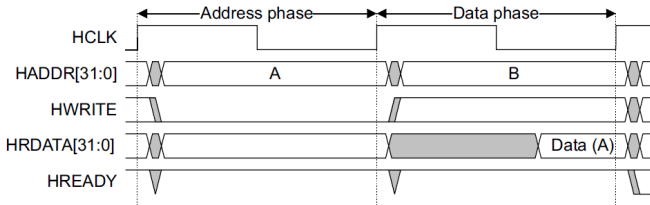


Cell	Slave Interface	Base Name	Offset Address	Range	High Address
MIPS_MicroAptiv_UP_0					
ahblite (32 address bits : 4G)					
axi_bram_ctrl_0	S_AXI	Mem0	0x1FC0_0000	8K	0x1FC0_1FFF
axi_bram_ctrl_1	S_AXI	Mem0	0x1000_0000	8K	0x1000_1FFF
mig_7series_0	S_AXI	memaddr	0x0000_0000	128M	0x07FF_FFFF
axi_gpio_0	S_AXI	Reg	0x1060_0000	64K	0x1060_FFFF
axi_intc_0	s_axi	Reg	0x1020_0000	64K	0x1020_FFFF
axi_uart16550_0	S_AXI	Reg	0x1040_0000	64K	0x1040_FFFF
axi_ethernetlite_0	S_AXI	Reg	0x10E0_0000	64K	0x10E0_FFFF
axi_jic_0	S_AXI	Reg	0x10A0_0000	64K	0x10A0_FFFF
custom_axi_gpio_2	s_axi	S00_AXI_reg	0x10C0_0000	64K	0x10C0_FFFF

Schreiben und Lesen auf dem AHB-Lite Bus

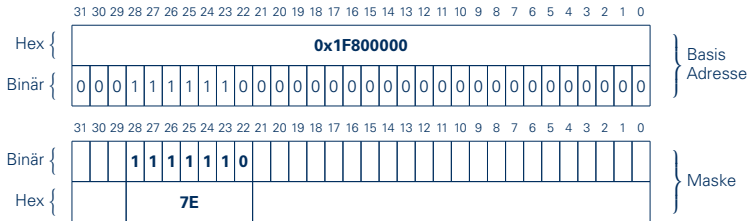


[08]



[08]

AHB-Lite Bus Peripherie Adressierung

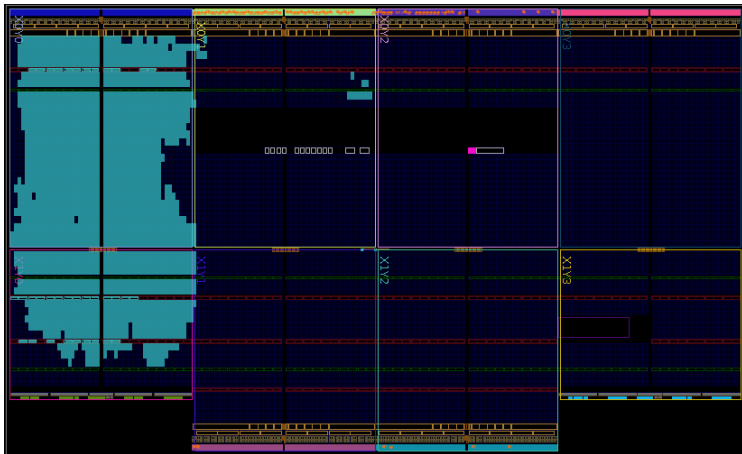


Ressourcenverbrauchs auf Boards

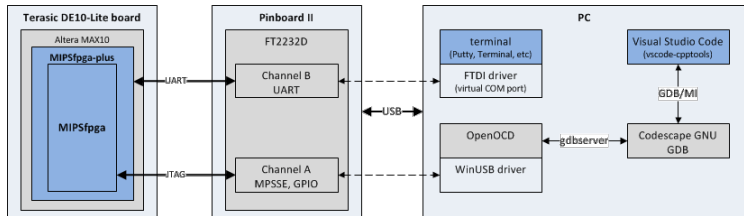
Charakteristik	Ressourcenverbrauch
DE0-Nano (EP4CE22F17C6)	
Total logic elements	15,342/22,320 (69%)
Total combinational functions	14,161/22,320 (63%)
Dedicated logic registers	7,665/22,320 (34%)
Total registers	7665
Total memory bits	95,872/608,256 (16%)
DE0-CV (5CEBA4F23C7)	
Logic utilization (in ALMs)	7,283/18,480 (39%)
Total registers	7976
Total memory bits	95,872/3,153,920 (3%)
DE1-SoC (5CSEMA5F31C6)	
Logic utilization (in ALMs)	7,264/32,070 (23%)
Total registers	7951
Total memory bits	95,616/4,065,280 (2%)

Logic Utilization	Used	Available	Utilization
Basys 3 Artix-7 (XC7A35T-1CPG236C)			
Number of Slice LUTs	9,274	20,800	44.58%
Number of fully used LUTRAM	9	9,600	0.09%
Number of FF	7629	41,600	18.3%
Number of Block RAM/FIFO	175	50	35%
Number of IO	61	106	57.54%
Number of BUFG	4	32	12.5%
ZedBoard Zynq-7000 (XC7Z020-CLG484)			
Number of Slice LUTs	9,204	53,200	17.3%
Number of fully used LUTRAM	9	17,400	0.05%
Number of FF	7502	10,6400	7.05%
Number of Block RAM/FIFO	175	140	12.5%
Number of IO	31	200	15.5%
Number of BUFG	3	32	9.3%
VC707 Virtex-7 (XC7VX485T-2FFG1761C)			
Number of Slice LUTs	9,396	303,600	3.09%
Number of fully used LUTRAM	104	130,800	0.07%
Number of FF	7476	60,7200	1.2%
Number of Block RAM/FIFO	23,5	1,030	2.2%
Number of IO	27	700	9.3%
Number of BUFG	3	32	9.3%

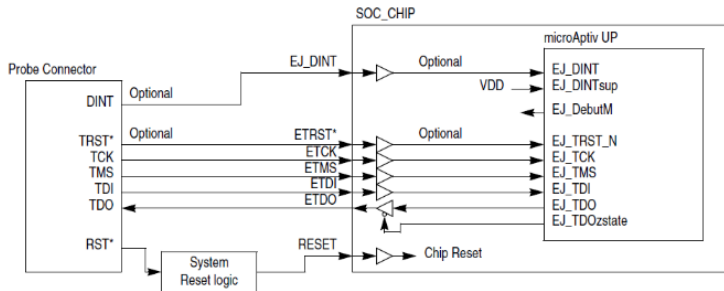
Floorplan des MIPSfpga auf Nexus4 DDR



Verbindung Pinboard II mit FPGA



EJETAG Verbindung



Note: Probe connections should include pull-up, pull-down, or series resistors. See the EJTAG Specification for more details.

S-Record Format

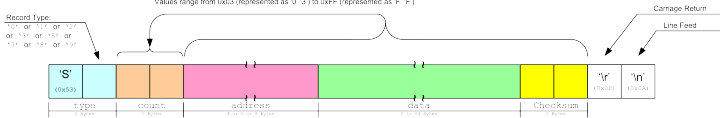
Motorola S-record format ready reckoner

Diagrams based on data presented at:
<http://www.amelek.gda.pl/avr/isp/srecord.htm>

All Bytes (except for the first byte and the two line termination characters) are ASCII Codes of Hexadecimal Digits
 i.e. they can take on the following values:

'0', '1', '2', '3', '4', '5', '6', '7', '8', '9', 'A', 'B', 'C', 'D', 'E', 'F'
 0x30 0x31 0x32 0x33 0x34 0x35 0x36 0x37 0x38 0x39 0x41 0x42 0x43 0x44 0x45 0x46

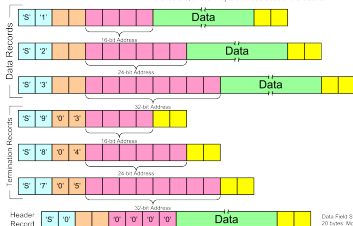
These characters when paired and interpreted as a hexadecimal value, display the count of remaining character pairs in the record.
 Values range from 0x03 (represented as '0' '3') to 0xFF (represented as 'F' 'F')



These characters grouped and interpreted as a hexadecimal value, display the address at which the data field is to be loaded into memory. The length of the field depends on the number of bytes necessary to hold the address. A 2-byte address uses 4 characters, a 3-byte address uses 6 characters, and a 4-byte address uses 8 characters.

These characters when paired and interpreted as hexadecimal values represent the memory loadable data or descriptive information.

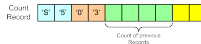
These characters when paired and interpreted as a hexadecimal value display the least significant byte of the ones complement of the sum of the byte values represented by the pairs of characters making up the count, the address, and the data fields.



Data Field Structure:
 20 bytes: Module Name
 2 bytes: Version
 2 bytes: Revision
 0-36 bytes: Text Comment

Possible MOT File Contents

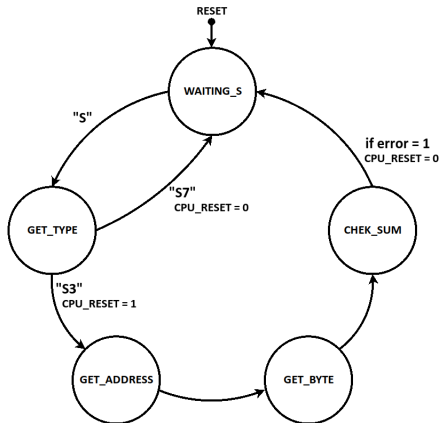
Header:	S0 record	S0 record	S0 record
	S1...	S2...	S3...
Data:	S1...	S2...	S3...
	numerous S1 records	numerous S2 records	numerous S3 records
Record count (optional):	S5 record	S5 record	S5 record
Termination:	S9 record	S8 record	S7 record
	2 byte Addresses	3 byte Addresses	4 byte Addresses



S-Record Satztypen

Datensatz	Typ	Adresse Feld	Daten Feld	Beschreibung
S0	Header	16-Bit 4'h0000	Ja	Der Record enthält herstellerspezifischen ASCII-Text. Das Datenfeld kann jede beliebige Information enthalten. Üblicherweise wird hier eine Null-Zeichenfolge geschrieben.
S1	Data	16-Bit Adresse	Ja	Der Datensatz enthält Daten, die am 16-Bit-Adressfeld beginnen. Es wird typischerweise für 8-Bit-Mikrocontroller wie AVR, PIC, 8051, 68xx, 6502, 80xx, Z80 verwendet.
S2	Data	24-Bit Adresse	Ja	Der Datensatz enthält Daten, die am 24-Bit-Adressfeld beginnen. Es wird beliebig verwendet.
S3	Data	32-Bit Adresse	Ja	Der Datensatz enthält Daten, die am 16-Bit-Adressfeld beginnen. Es wird typischerweise sowohl für 32-Bit-Mikrocontroller als auch für ARM und 680x0 Mikroprozessoren verwendet.
S4	Reserviert	N/A	N/A	Der Datensatz wird reserviert. Er kann nicht verwendet werden.
S5	Count	16-Bit Zähler	Nein	Der Datensatz ist optional. Er enthält eine 16-Bit-Anzahl der S1/S2/S3-Records.
S6	Count	24-Bit Zähler	Nein	Der Datensatz ist optional. Er enthält eine 24-Bit-Anzahl der S1/S2/S3-Records.
S6	Start Address (Ende)	32-Bit Adresse	Nein	Der Datensatz enthält den Start-Ausführungsort bei der 32-Bit-Adresse. Er wird verwendet, um eine Reihe von S3-Datensätzen zu beenden.
S8	Start Address (Ende)	24-Bit Adresse	Nein	Der Datensatz enthält den Start-Ausführungsort bei der 24-Bit-Adresse. Er wird verwendet, um eine Reihe von S2-Datensätzen zu beenden.
S9	Start Address (Ende)	16-Bit Adresse	Nein	Der Datensatz enthält den Start-Ausführungsort bei der 16-Bit-Adresse. Er wird verwendet, um eine Reihe von S1-Datensätzen zu beenden.

FSM des Hardware Bootloaders



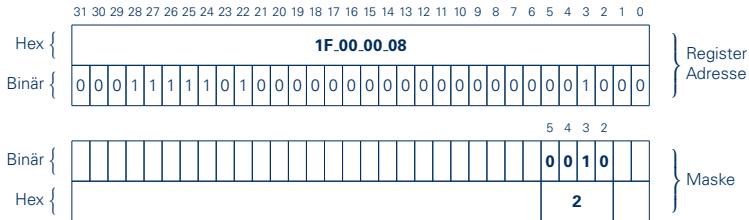
Ressourcenverbrauch Bootloader

Module Name	Ressourcen					
	LUTs	LUTRAM	FF	BRAM	IO	BUF
Bootloader	245	0	144	0	0	0
mfp_uart_receiver	62	0	52	0	0	0
mfp_srec_parser	151	0	60	0	0	0
mfp_srec_bridge	32	0	32	0	0	0

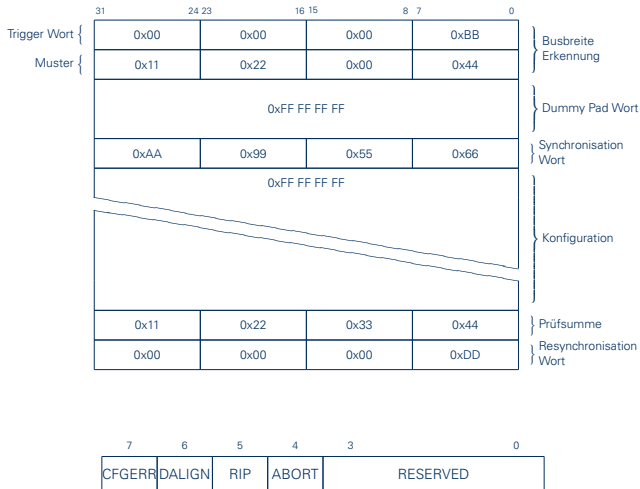
Register des Rekonfiguration-Decoders

Dword Offset	Registername	R/W	Beschreibung	HW Reset
0x00	ICAP_ENABLE	RW/SC	Schaltet den Decoder in das Konfigurationsmodus um.	1'b0
0x04	ICAP_VALID	RO/LH	Informiert über die Bereitschaft zur Rekonfiguration.	1'b1
0x08	ICAP_READY	RO/LH	Informiert über das Ende des Rekonfigurationprozesses	
0x0C	RM_PRESENT	RO	Informiert über den Zustand des RMs auf dem AHB-Lite-Bus.	1'b0
0x10	RM_ID	RO	Bits[31:0] Enthält in sich den Identifikator des RMs auf dem AHB-Bus	32'h00000000
0x14	UDI_PRESENT	RO	Informiert über den Zustand des RMs im Prozessorkern.	1'b0
0x18	UDI_ID	RO	Bits[31:0] Enthält in sich den Identifikator des UDI-RMs	32'h00000000
0x1C	ICAP_ERROR	RO/LH	Bits[0] Informiert über den Fehler der Rekonfiguration Bits[8:1] - Fehlermeldung	7'h00

Basis Adresse und Match-Adresse eines Registers

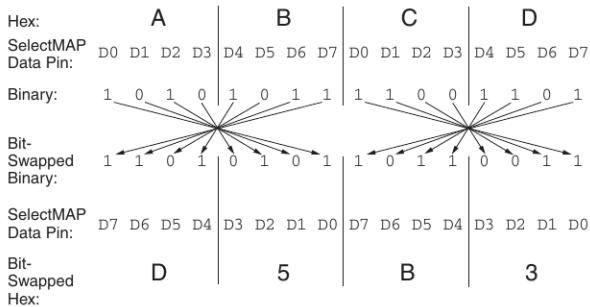


Konfigurationsdatei



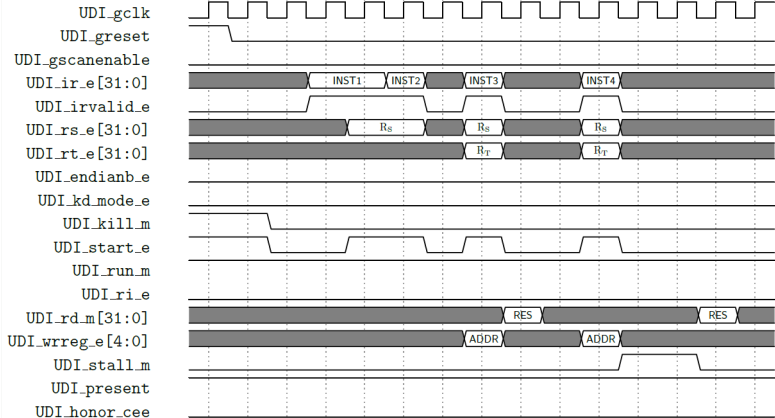
CFGERR	0 - Konfigurationsfehler	1 - kein Konfigurationsfehler	RIP	0 - kein Rücklesen	1 - Rücklesen
DALIGN	0 - kein Synchronisationswort	1 - Synchronisationswort empfangen	ABORT	0 - Abbrechen	1 - nicht Abbrechen

Bit Swapping

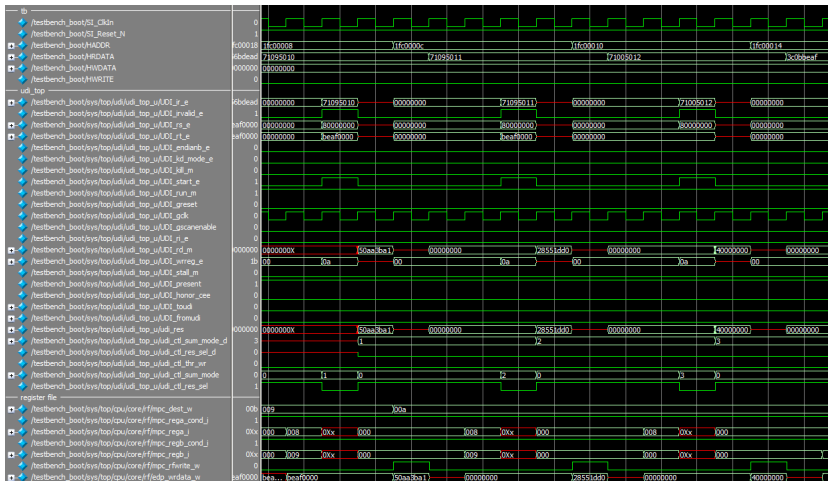


[17i]

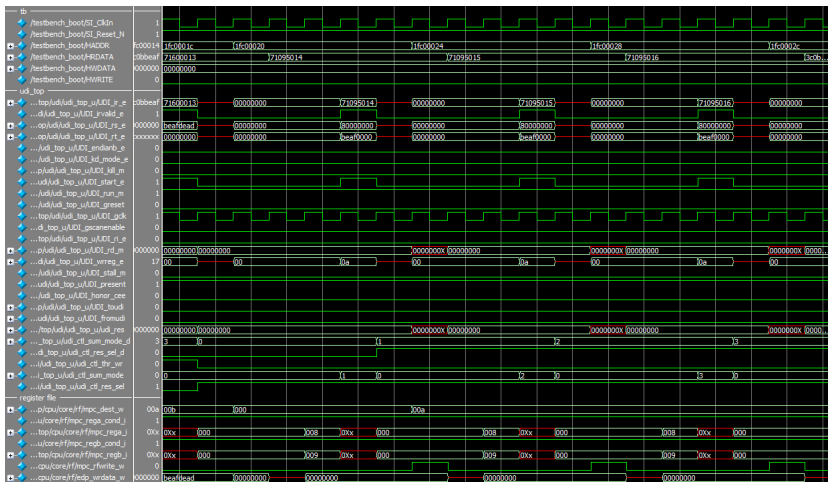
Ausführung der UDI-Befehlen



UDI0, UDI1, UDI2



UDI3, UDI4, UDI5



Rekonfigurierbare Partition

Clock Region X0Y4

Slice Type	Available
Slice LUTs	22000
LUTRAM	8800
FF	44000
Block RAM/FIFO	70
IO	50
BUFG	4

Ressourcenverbrauch des RAM-Moduls

Module Name		Ressource					
		LUTs	LUTRAM	FF	BRAM	IO	BUF
mfp_system		8998 (3%)	54 (1%)	7316 (1%)	25.5 (3%)	0 (0%)	0 (0%)
m14k_top	Allgemein	8581	6	7098	13,5	0	0
	Core	8465	6	7098	0	0	0
	dcache	66	0	0	7,5	0	0
	icache	50	0	0	6	0	0
ahb_lite_matrix_loader	Allgemein	417	48	218	0	0	0
	mfp_srec_parser	148	0	60	0	0	0
	mfp_uart_receiver	102	0	52	0	0	0
	mfp_srec_to_ahb_bridge	32	0	32	0	0	0
	ahb_lite_matrix	135	48	74	12	0	0
ahb_lite_matrix	Allgemein	135	48	74	12	0	0
	mfp_ahb_partition	111	48	33	2	0	0
	mfp_reset_ram	12	0	17	4	0	0
	mfp_ram	0	0	1	6	0	0
	mfp_gpio	4	0	15	0	0	0
	mfp_ahb_reconfig_decoder	6	0	3	0	0	0

Ressourcenverbrauch des ALU-Moduls

Module Name		Ressourcen					
		LUTs	LUTRAM	FF	BRAM	IO	BUF
mfp.system		9031 (3%)	6 (1%)	7322 (1%)	23.5 (3%)	0(0%)	0 (0%)
m14k.top	Allgemein	8577	6	7098	13.5	0	0
	Core	8461	6	7098	0	0	0
	dcache	66	0	0	7.5	0	0
	icache	50	0	0	6	0	0
ahb_lite.matrix_loader	Allgemein	454	0	224	0	0	0
	mfp_srec_parser	174	0	60	0	0	0
	mfp_uart_receiver	63	0	52	0	0	0
	mfp_srec_to_ahb_bridge	33	0	32	0	0	0
	ahb_lite_matrix	185	0	80	0	0	0
ahb_lite.matrix	Allgemein	185	0	80	10	0	0
	mfp_ahb_partition	123	0	46	0	0	0
	mfp_reset_ram	8	0	17	4	0	0
	mfp_ram	0	0	1	6	0	0
	mfp_gpio	0	0	8	0	0	0
	mfp_ahb_reconfig_decoder	6	0	3	0	0	0

Ressourcenverbrauch UDI-Modul

Module Name		Ressourcen					
		LUTs	LUTRAM	FF	BRAM	IO	BUF
m14k.top		9292 (3%)	6 (1%)	7143 (1%)	13.5 (1.5%)	0(0%)	0 (0%)
CPU	Allgemein	9055	6	7108	13.5	0	0
	Core	8939	6	7108	0	0	0
	dcache	66	0	0	7.5	0	0
	icache	50	0	0	6	0	0
Udi		236	0	35	0	0	0

MIPSfpga Utilization auf VC707

