

Institut für Technische Informatik / Professur für VLSI-Entwurfssysteme, Diagnostik und Architektur

DIE EVOLUTION DES DRAM

Sascha Weichel
Dresden, 1 Februar 2018

Gliederung

1. Motivation
2. Aufbau und Funktionsweise
3. SDRAM
4. DDR SDRAM
5. DDR SDRAM Versionen

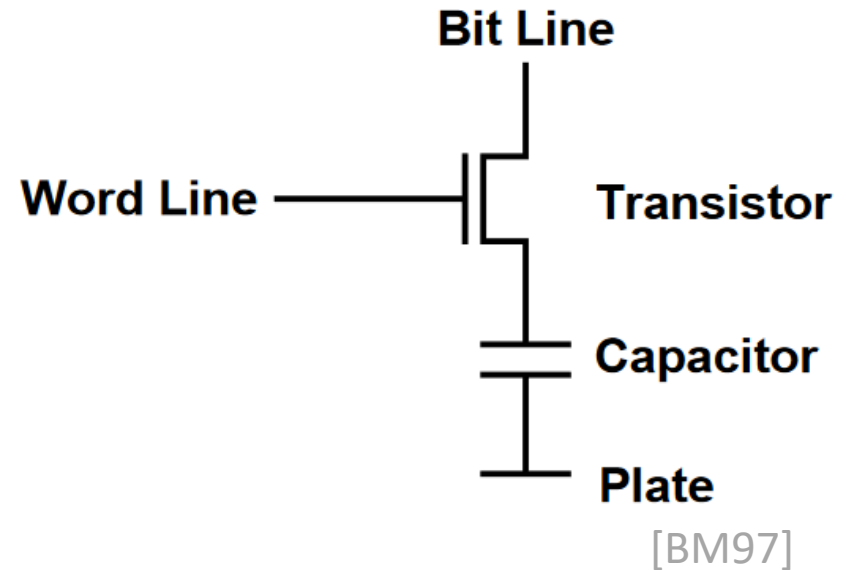
Motivation

- Immer mehr Speicher wird benötigt
- Platzbedarf soll allerdings nicht steigen
- Geringe Kosten
- Speicher soll all diese Dinge erfüllen

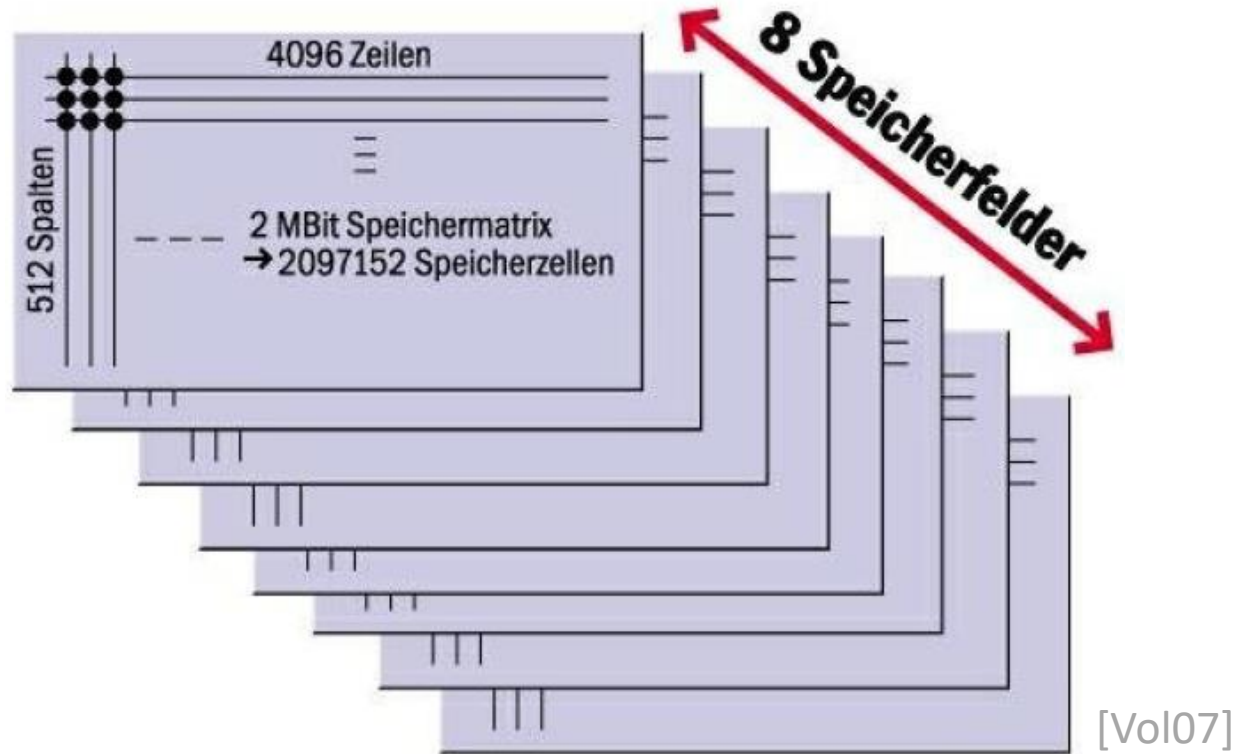
- DRAM ist die Lösung
 - Hohe Datendichte auf kleiner Chipfläche im Vergleich zu SRAM
 - Geringe Herstellungskosten
 - Allerdings langsamere Zugriffszeiten als SRAM

DRAM Zelle

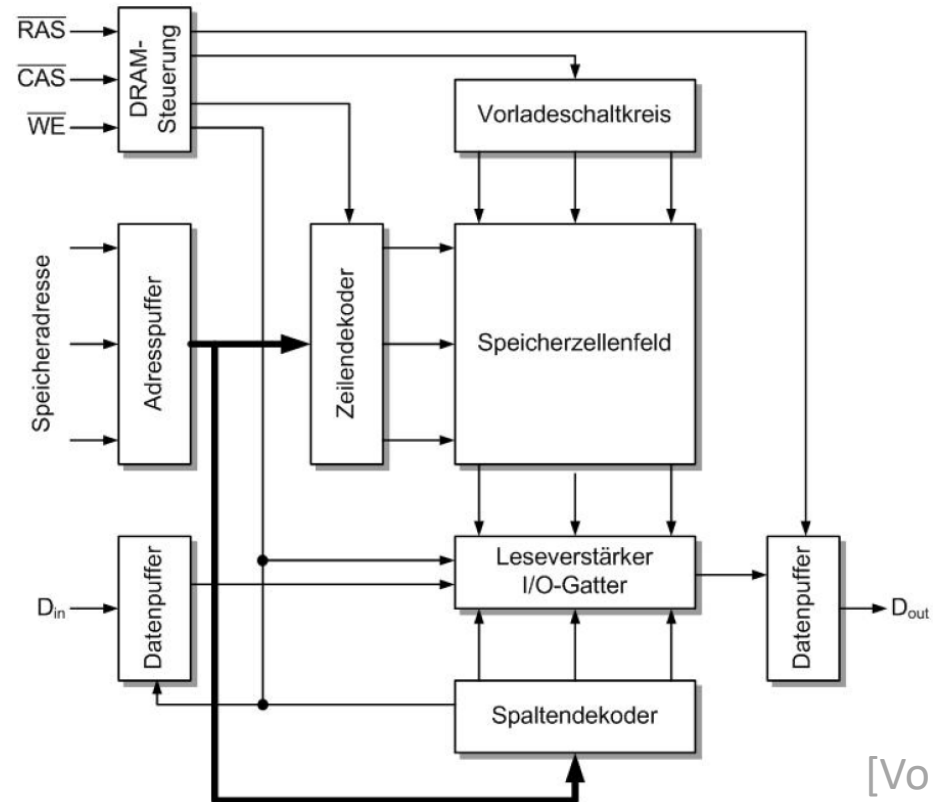
- *Dynamic Random Access Memory*
- MOS Transistor und Kondensator
- Speichern von einem Bit
- Daten durch Kondensator flüchtig
→ Refresh nötig
- Transistor zur Steuerung



Speichermatrix



- DRAM Zellen werden zu Block zusammengefasst
- Mehrere parallele Felder möglich
- Verhältnis aus Zeilen und Spalten ergibt *Refresh-Cycle*
- Prozessor übergibt Zeilen- und Spaltenadresse (Address-Multiplexing)
- \overline{RAS} und \overline{CAS} zur Steuerung
- Ladung des Kondensators wird beim Lesen konsumiert
- Refresh nötig



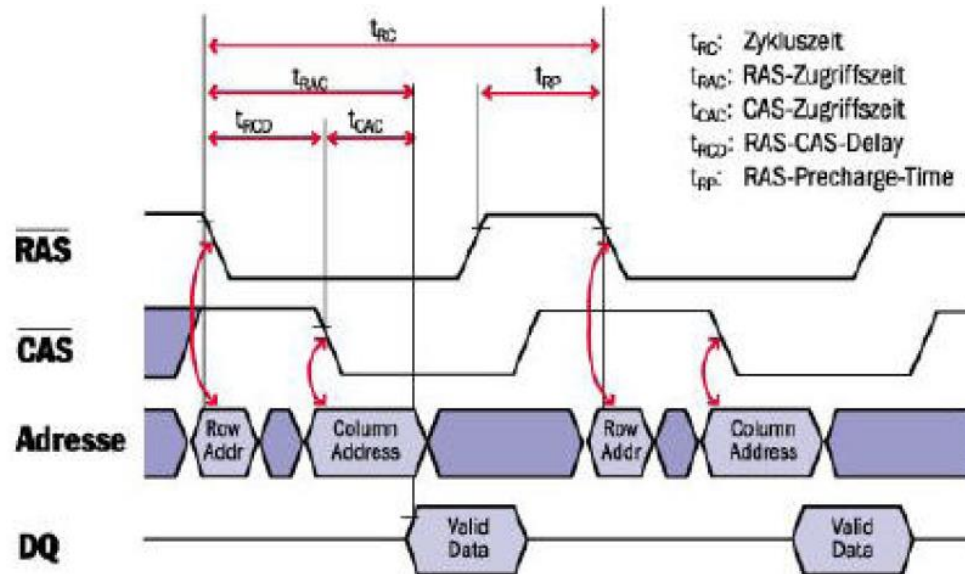
[Vol07]

Lesen und Schreiben

- Lesen und Schreiben durch Steuerung des Transistors
 - LOW → Ladung wird gehalten, HIGH → Kondensator kann entladen/geladen werden
 - Bitleitungspaar wird verwendet (\overline{BL}, BL)
 - Bitleitungspaar wird auf halbe Versorgungsspannung vorgeladen
- *RAS-Precharge-Time*

- Lesen:
 - Aktivierung der Wortleitung
 - HIGH im Kondensator hebt Pegel leicht, LOW senkt ihn
 - Verstärker zieht die Bitleitung entsprechend auf HIGH oder LOW
 - Zweite Bitleitung wird auf den negierten Wert gesetzt
 - \overline{RAS} signalisiert, dass eine Spaltenadresse zur Verfügung steht
 - Zeilenzugriff analog

- Schreiben:
 - Über \overline{RAS} wird Zeilenadresse übergeben
 - Entsprechende Wortleitung in Speichermatrix wird aktiviert
 - WE-Signal wird angelegt um Schreibvorgang zu signalisieren
 - Date können eingelesen werden
 - Analog mit Spaltenadresse
 - Pegel der Bitleitungen gelangen in Kondensator
 - Deaktivierung von Zeilendecoder, Spaltendecoder und Verstärker
 - Bitleitungspaare werden wieder auf halbe Versorgungsspannung geladen



[VoI07]

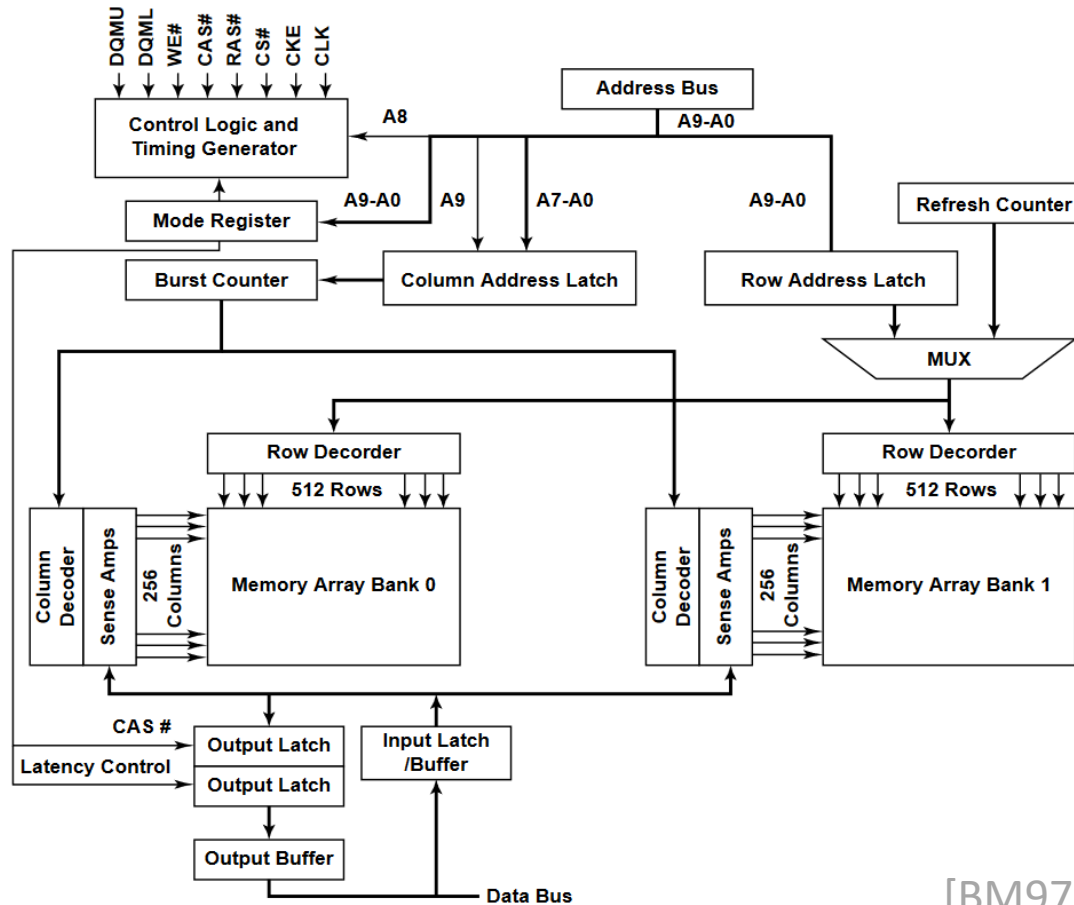
Refresh

- Ladung wird beim Lesen konsumiert
- Ladung muss nach dem Lesen zurückgeschrieben werden
- *Write-Back*

- Kondensatoren verlieren durch Leckströme Spannungszustand
- Dieser muss periodisch wieder aufgeladen werden
- Refresh

SDRAM

- *Synchronous* DRAM
- Kommunikation zwischen CPU, Chipsatz und Speicher über einen Takt
- Steigende Taktflanke wird genutzt
- Bank-Architektur
- Befehlsübermittlung ermöglicht generieren von nachfolgenden Adressen
- Höhere Taktfrequenzen als beim DRAM (100MHz und mehr)



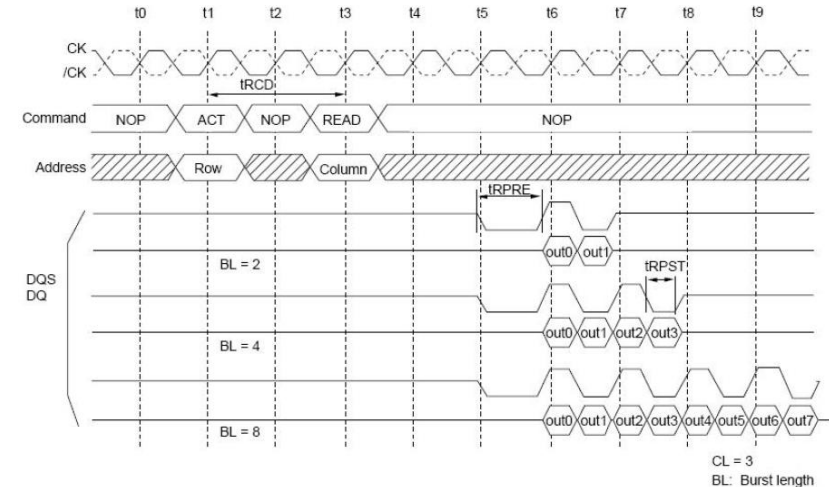
[BM97]

DDR SDRAM

- *Double Data Rate* SDRAM
- Steigende und fallende Taktflanke für die Übertragung von Daten
 - Laufzeitverzögerungen kritisch
 - Bidirektionales Strobe-Signal DQS zur Synchronisation
- 4 unabhängige Bänke
- Laufzeitverzögerungen kritisch

Read Timing

- Intel Chip, 256 MB, 400 MHz, 3-4-4
- *Burst Length (BL)*, gibt an wie viele Datenblöcke gelesen werden
- Nach *READ* noch 3 Takte bis DQS steigende Flanke (CL3)
- Daten liegen an DQ an
- Nächster Datenblock bei fallender DQS Flanke

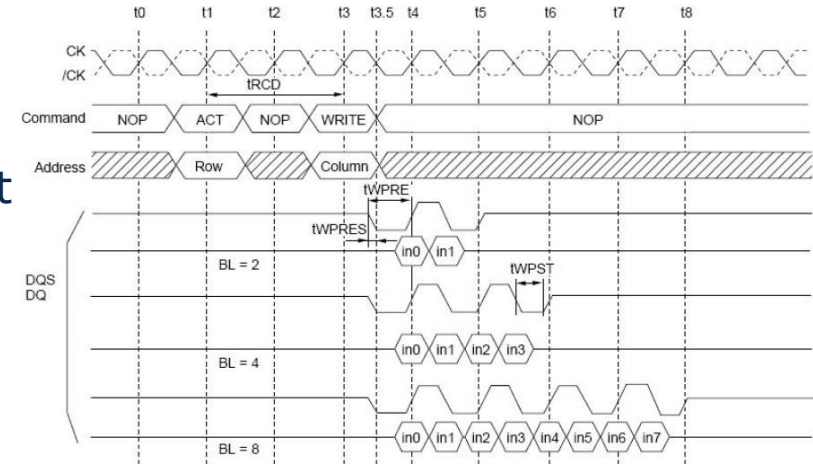


[BM97]

tRCD	RAS-CAS-Delay
tRPRE	Read preamble
tRPST	Read postamble

Write Timing

- Intel Chip, 256 MB, 400 MHz, 3-4-4
- Nach *WRITE* Strobe-Signal generiert
- Daten liegen an DQ an
- DQS steigende Flanke
- Nächster Datenblock bei fallender DQS Flanke



BL: Burst length

[BM97]

tRCD	RAS-CAS-Delay
tWPRES	Write preamble setup time
tWPRE	Write preamble
tWPST	Write postamble

DDR1

- Standard JESD79 der JEDEC
- Dual Inline Memory Module (DIMM) mit 184 Kontakten
- 4 spezifizierte Module
- 2,5 V bzw. 2,6 V für DDR-400

Chip	Modul	Speichertakt	I/O Takt	Übertragungsrate	
				Modul	Dual Channel
DDR-200	PC-1600	100 MHz	100 MHz	1,6 GB/s	3,2 GB/s
DDR-266	PC-2100	133 MHz	133 MHz	2,1 GB/s	4,2 GB/s
DDR-333	PC-2700	166 MHz	166 MHz	2,7 GB/s	5,4 GB/s
DDR-400	PC-3200	200 MHz	200 MHz	3,2 GB/s	6,4 GB/s

[Jes05]

DDR2

- Standard JESD79-2F der JEDEC
- DIMM mit 200 Kontakten
- 5 spezifizierte Module
- 1,8 V
- *Prefetch*:
 - 4 Datenworte statt 2 (Im Vergleich zu DDR1)
 - I/O Takt doppelt so schnell wie Speichertakt
- *On-Die-Termination* (ODT)

Chip	Modul	Speichertakt	I/O Takt	Übertragungsrate	
				Modul	Dual Channel
DDR2-400	PC2-3200	100 MHz	200 MHz	3,2 GB/s	6,4 GB/s
DDR2-533	PC2-4200	133 MHz	266 MHz	4,2 GB/s	8,4 GB/s
DDR2-667	PC2-5300	166 MHz	333 MHz	5,3 GB/s	10,6 GB/s
DDR2-800	PC2-6400	200 MHz	400 MHz	6,4 GB/s	12,8 GB/s
DDR2-1066	PC2-8500	266 MHz	533 MHz	8,5 GB/s	17,0 GB/s

[Jes09]

DDR3

- Standard JESD79-3F der JEDEC
- DIMM mit 240 Kontakten
- Small Outline-DIMM (So-DIMM) mit 204 Kontakten
- 6 spezifizierte Module
- 1,5 V
- *8-fach Prefetch:*
 - 8 Datenworte statt 2 (Im Vergleich zu DDR1)
 - I/O Takt 4 Mal schnell wie Speichertakt

Chip	Modul	Speichertakt	I/O Takt	Übertragungsrate	
				Modul	Dual Channel
DDR3-800	PC3-6400	100 MHz	400 MHz	6,4 GB/s	12,8 GB/s
DDR3-1066	PC3-8500	133 MHz	533 MHz	8,5 GB/s	17,0 GB/s
DDR3-1333	PC3-10600	166 MHz	666 MHz	10,6 GB/s	21,2 GB/s
DDR3-1600	PC3-12800	200 MHz	800 MHz	12,8 GB/s	25,6 GB/s
DDR3-1866	PC3-14900	233 MHz	933 MHz	14,9 GB/s	29,8 GB/s
DDR3-2133	PC3-17000	266 MHz	1066 MHz	17,0 GB/s	34,0 GB/s

[Jes10]

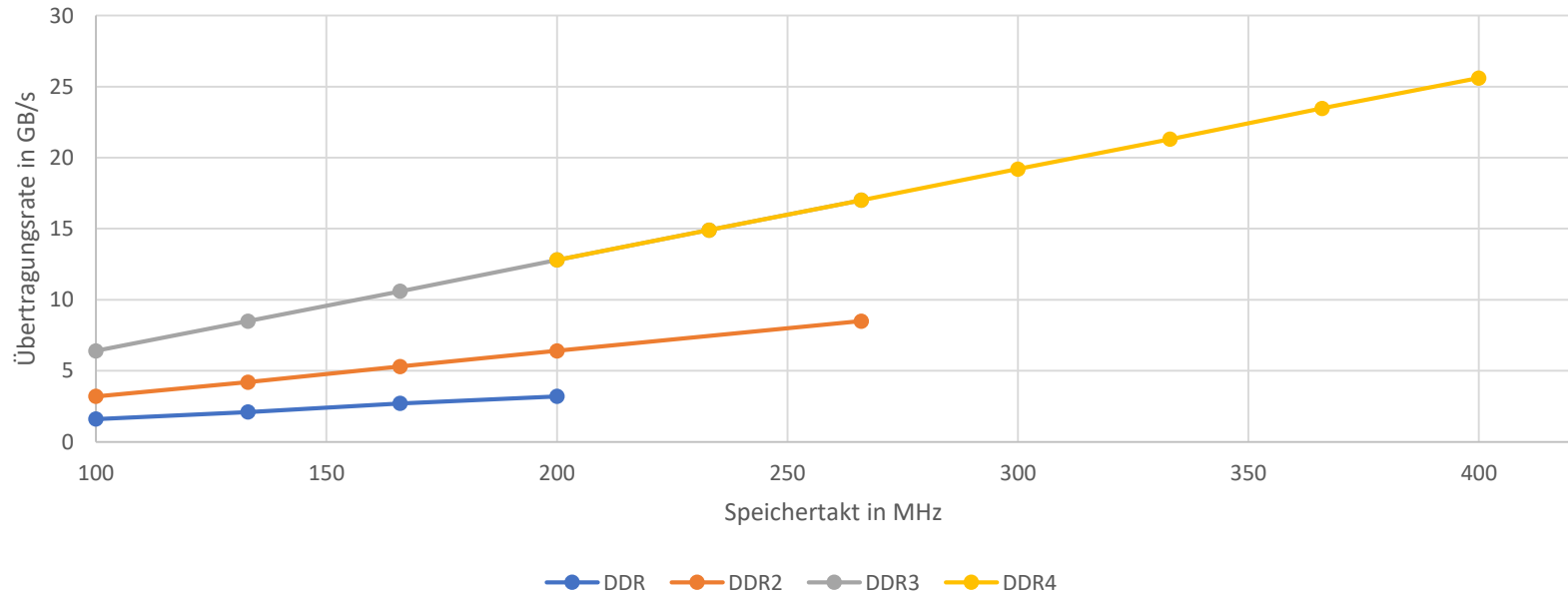
DDR4

- Standard JESD79-4B der JEDEC
- DIMM mit 288 Kontakten
- Small Outline-DIMM (So-DIMM) mit 260 Kontakten
- 7 spezifizierte Module
- 1,2 V
- *8-fach Prefetch:*
 - 8 Datenworte statt 2 (Im Vergleich zu DDR1)
 - I/O Takt 4 Mal schnell wie Speichertakt
- Keine Verdopplung der Übertragungsrate
- 30 nm Verfahren
- Viel höherer Takt möglich

Chip	Modul	Speichertakt	I/O Takt	Übertragungsrate	
				Modul	Dual Channel
DDR4-1600	PC4-12800	200 MHz	800 MHz	12,8 GB/s	25,6 GB/s
DDR4-1866	PC4-14900	233 MHz	933 MHz	14,9 GB/s	29,8 GB/s
DDR4-2133	PC4-17000	266 MHz	1066 MHz	17,0 GB/s	34,0 GB/s
DDR4-2400	PC4-19200	300 MHz	1200 MHz	19,2 GB/s	38,4 GB/s
DDR4-2666	PC4-21300	333 MHz	1333 MHz	21,3 GB/s	42,6 GB/s
DDR4-2933	PC4-23466	366 MHz	1466 MHz	23,466 GB/s	46,932 GB/s
DDR4-3200	PC4-25600	400 MHz	1600 MHz	25,6 GB/s	51,2 GB/s

[Jes17]

Vergleich der DDR Module



Quellen

- [BM97] BRIAN MATAS, Christian de S.: Memory 1997. Scottsdale : Integrated Circuit Engineering Corporation, 1997. -ISBN 1-877750-59-X
- [JES05] Double Data Rate (DDR) SDRAM (JESD79F).
https://www.jedec.org/system/files/docs/JESD79F_0.pdf. Mai 2005
- [JES09] DDR2 SDRAM SPECIFICATION (JESD79-2F). <https://www.jedec.org/system/files/docs/JESD79-2F.pdf>.
November2009
- [JES10] DDR3 SDRAM Standard (JESD79-3F). <https://www.jedec.org/system/files/docs/JESD79-3F-2.pdf>. Juli
2010
- [JES17] JEDEC Standard DDR4 SDRAM (JESD79-4B).
<https://www.jedec.org/system/files/docs/JESD79-4B.pdf>. Juni 2017
- [SNSS12] SOHN, Kyomin ; NA, Taesik ; SONG, Indal ; SHIM, Yong: A 1.2 V 30 nm 3.2 Gb/s/pin 4 Gb DDR4 SDRAM With Dual-Error Detection and PVT-Tolerant Data-Fetch Scheme. In: IEEE Solid-State Circuits Society (2012), S. 168-177
- [Vol07] VOLCIC, Mark. Aktuelle Speichertechnologien (RAM).
https://ti.tuwien.ac.at/ecs/teaching/courses/didevo_ss17/misc/mem. 2007